

LOONGSON

龙芯 2K3000 处理器

数据手册

V1.0

2026 年 08 月

龙芯中科技术股份有限公司

自主决定命运, 创新成就未来

北京市海淀区温泉镇中关村环保科技示范园龙芯产业园2号楼 100095
Loongson Industrial Park, building 2, Zhongguancun environmental protection park
Haidian District, Beijing



www.loongson.cn

阅读指南

《龙芯 2K3000 处理器数据手册》主要介绍龙芯 2K3000 处理器的接口结构，特性，电气规范，以及硬件设计指导。

目 录

图目录	V
表目录	VI
1. 简介	1
1.1 技术指标	1
1.2 订购信息	2
1.3 术语	2
1.4 文档约定	3
2. 接口信号	4
2.1 信号类型定义	4
2.2 接口信号说明	4
2.3 引脚复用信息	20
3. 功能及接口说明	32
3.1 CPU	32
3.2 GPU	32
3.3 VPU	32
3.4 DDR4	32
3.5 PCIE	33
3.6 RapidIO	33
3.7 显示	33
3.8 SATA	34
3.9 USB	34
3.10 GMAC	34
3.11 eMMC	35
3.12 SDIO	35
3.13 HDA	35
3.14 I2S	36
3.15 SPI	36
3.16 LPC	36
3.17 UART	37
3.18 I2C	37
3.19 PWM	38
3.20 HPET	38
3.21 RTC	38
3.22 ACPI	38
3.23 GPIO	38
3.24 CAN	38
3.25 AVS	39
3.26 JTAG	39
3.27 中断控制器	39
4. 时钟	40
4.1 输入时钟	40

4.2 输出时钟	41
5. 电源管理 ACPI	42
5.1 电源域	42
5.2 功能描述	42
6. 热设计	43
6.1 热参数	43
6.2 焊接温度及焊接曲线	43
7. 电气特性	45
7.1 极限工作条件	45
7.2 推荐工作条件	46
7.3 典型应用功耗	47
7.4 功耗与性能关系	48
7.5 电源时序	50
7.5.1 使能 ACPI_EN	50
7.5.2 不使能 ACPI_EN	55
8. 封装信息	57
8.1 封装尺寸和材料	57
8.2 信号位置分布	58
9. 产品标识	68
9.1 标识一（产品壳温范围-40~85℃）	68
9.2 标识二（产品壳温范围-20~70℃）	68
修订记录	70

图目录

图 1-1 龙芯 2K3000 顶层结构图	1
图 6-1 焊接回流曲线	44
图 7-1 冷启动上电时序（RTC 掉电）	50
图 7-2 热复位时序图	52
图 7-3 S0 到 S3 及 S3 到 S0 时序图	53
图 7-4 S0 到 S4/S5 及 S4/5 到 S0 状态时序图	54
图 7-5 不使能 ACPI 功能时的冷启动上电时序（RTC 掉电）	55
图 7-6 不使能 ACPI 功能时的热复位时序图	56
图 8-1 封装尺寸	58
图 8-2 信号引脚分布总览（顶视图）	59
图 9-1 LS2K3000 器件标志图	68

表目录

表 1-1	龙芯 2K3000 芯片分级	2
表 1-2	术语和缩略语表	2
表 2-1	信号类型说明	4
表 4-1	输入时钟说明	40
表 4-2	输出时钟说明	41
表 6-1	龙芯 2K3000 的热阻参数	43
表 6-2	回流焊接温度分类表	43
表 7-1	极限工作条件	45
表 7-2	CPU 工作条件	46
表 7-3	GPU 工作条件	46
表 7-4	芯片工作条件	46
表 7-5	典型应用功耗	47
表 7-6	最大平均功耗	48
表 7-7	DVFS 性能损失	49
表 7-8	上电时序要求	51
表 7-9	热复位时序约束	52
表 7-10	S0 到 S3/S4/S5 及 S3/S4/S5 到 S0 状态时序约束	54
表 7-11	不使能 ACPI 功能时的上电时序要求	56
表 7-12	不使能 ACPI 功能时的热复位时序约束	56

1. 简介

龙芯 2K3000 处理器主要用于移动终端和工控领域。片内集成 8 个 LA364E 处理器核(最高主频 2.2GHz)，内置 GPGPU、视频编解码模块(VPU)、DDR4/LPDDR4 控制器、GMAC 控制器、PCIE3.0 控制器以及众多系统上使用的 IO 接口。

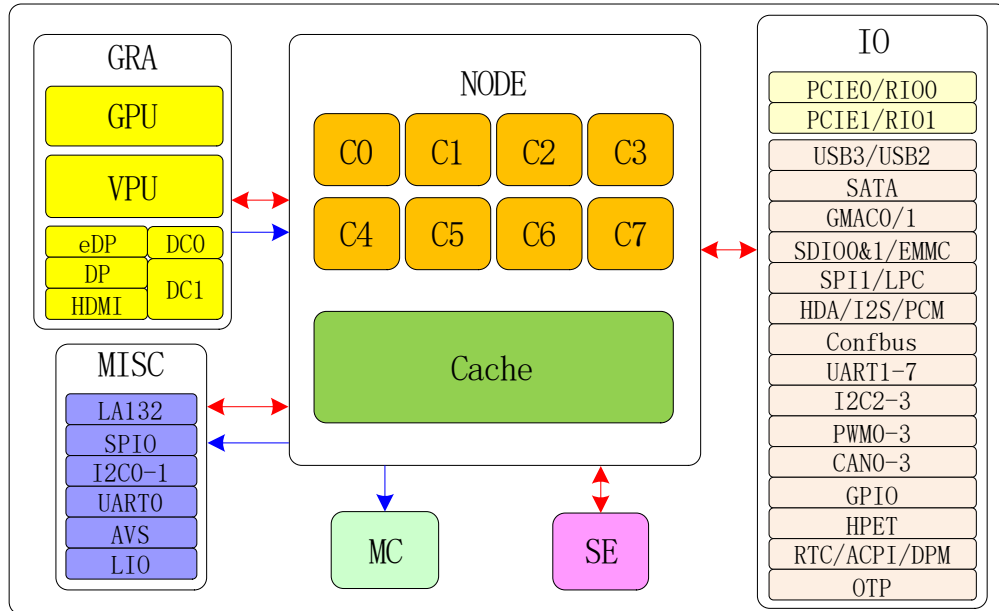


图 1-1 龙芯 2K3000 顶层结构图

1.1 技术指标

- 片内集成 8 个 64 位三发射超标量 LA364E 处理器核，最高工作频率 2.2GHz，L1 Dcache/Icache 64KB
- 片内集成共享 6MB 二级 Cache
- 片内集成自主研发 GPGPU，支持图形加速、通用计算和 AI 加速
- 支持三路显示接口（HDMI+eDP+DP）
- 64 位 DDR4 接口，可配置成 2 个 32 位 LPDDR4
- 1 个 x4 PCIE 3.0 接口，可配置为 4 个 x1 PCIE 3.0 接口或者 1 个 x4 RapidIO 接口
- 1 个 x4 PCIE 3.0 接口，可配置为 2 个 x1 PCIE 3.0 接口或者 1 个 x4 RapidIO 接口
- 最多 4 个 USB 3.1 gen1，最多 8 个 USB2.0
- 2 路网口(RGMII)
- 1 路 SATA3.0 接口(与 USB3.1 复用)
- HDA/I2S
- RTC/HPET 模块

- 8 路 UART 接口
- 4 路 CAN-FD 接口
- 4 路 I2C 接口
- 2 路 SPI 接口
- 1 路 LPC 接口
- 1 路 LIO 接口
- 1 路 eMMC 接口
- 2 路 SDIO 接口
- 1 路视频编解码器
- 4 路 PWM 接口
- 最多 58 路 GPIO，至少 4 路独立中断
- 支持动态调频调压
- ACPI 规范
- 安全模块，实现可信计算，支持 SM2/3/4 算法
- 内置温度传感器
- 采用 BGA 封装

1.2 订购信息

表 1-1 龙芯 2K3000 芯片分级

芯片型号	封装	工作温度(亮温)
LS2K3000	塑封	-20~70℃
LS2K3000	塑封	-40~85℃

1.3 术语

表 1-2 术语和缩略语表

术语	描述	备注
UEFI	Unified Extensible Firmware Interface	
RGMI	Reduced Gigabit Media Independent Interface	
LPC	Low Pin Count	
GPIO	General-purpose input/output	
ACPI	Advanced Configuration and Power Management Interface	
SPI	Serial Peripheral Interface	
WDT	Watchdog Timer	

HDAudio	High Definition Audio	
I2C	Inter Integrated Circuit	
ROM	Read-Only Memory	
ECC	Error Correcting Code	
PCIe	Peripheral Component Interconnect express	
DIMM	Dual Inline Memory Module	
UDIMM	Unbuffered Dual Inline Memory Module	
SODIMM	Small Outline Dual Inline Memory Module	
RDIMM	Registered Dual Inline Memory Modules	
LRDIMM	Load-Reduced Dual Inline Memory Modules	

1.4 文档约定

信号名的选取以方便记忆和明确标识功能为原则。

1. 低电平有效信号以 n 结尾，高有效信号则不带 n；
2. 差分信号以 P/N 结尾；
3. 外接参考电阻以 REFRES 标记；
4. 输入差分参考时钟以 REFCLK 标记，输出差分时钟以 REFCLKOUT 标记；

2. 接口信号

本节对芯片的信号进行说明。

2.1 信号类型定义

表 2-1 信号类型说明

信号类型	说明
DIFF IN	差分输入
DIFF OUT	差分输出
DIFF INOUT	差分输入输出
I	输入
IO	双向
O	输出
OD	开漏输出

2.2 接口信号说明

名称	方向	上下拉	电源域	描述
ACPI_EN	I	PU	VDDE_ACPI_H	ACPI 使能输入 0=disable：该模式下仅保留 ACPI_SYSRSTn 和 ACPI_RSMRSTn 信号的功能，其他 ACPI 相关信号功能不可用

名称	方向	上下拉	电源域	描述
				1=enable
ACPI_GPI00	IO		VDDE_ACPI_H	通用输入输出 0
ACPI_GPI01	IO		VDDE_ACPI_H	通用输入输出 1
ACPI_GPI02	IO		VDDE_ACPI_H	通用输入输出 2
ACPI_GPI03	IO		VDDE_ACPI_H	通用输入输出 3
ACPI_PLTRSTn	0	PU	VDDE_ACPI_H	系统平台复位输出
ACPI_PWRBTNn	I		VDDE_ACPI_H	电源开关输入
ACPI_PWROK	I		VDDE_ACPI_H	电源好状态输入
ACPI_RSMRSTn	I		VDDE_ACPI_H	RSM 域复位输入
ACPI_S3n	0	PU	VDDE_ACPI_H	进入 S3 状态输出
ACPI_S4n	0	PU	VDDE_ACPI_H	进入 S4 状态输出
ACPI_S5n	0	PU	VDDE_ACPI_H	进入 S5 状态输出
ACPI_SYSRSTn	I		VDDE_ACPI_H	系统复位输入
ACPI_VSBGATEn	0		VDDE_ACPI_H	STANDBY 电源切换控制, VSB 门控信号输出
ACPI_WAKEn	I		VDDE_ACPI_H	PCIE 唤醒输入
SYS_DOTESTn	I		VDDE_ACPI_H	测试/功能模式选择输入, 0=test mode, 1=Func mode
USB_CLKSELO	I		VDDE_ACPI_H	USB PHY 输入时钟选择:
USB_CLKSEL1	I		VDDE_ACPI_H	00=保留 10=保留 01=25MHz 单端输入; 11=25MHz 差分输入;
DDR_A00	0		VDDE_MEM	DDR4 地址总线信号 00
DDR_A01	0		VDDE_MEM	DDR4 地址总线信号 01
DDR_A02	0		VDDE_MEM	DDR4 地址总线信号 02
DDR_A03	0		VDDE_MEM	DDR4 地址总线信号 03
DDR_A04	0		VDDE_MEM	DDR4 地址总线信号 04
DDR_A05	0		VDDE_MEM	DDR4 地址总线信号 05

名称	方向	上下拉	电源域	描述
DDR_A06	0		VDDE_MEM	DDR4 地址总线信号 06
DDR_A07	0		VDDE_MEM	DDR4 地址总线信号 07
DDR_A08	0		VDDE_MEM	DDR4 地址总线信号 08
DDR_A09	0		VDDE_MEM	DDR4 地址总线信号 09
DDR_A10	0		VDDE_MEM	DDR4 地址总线信号 10
DDR_A11	0		VDDE_MEM	DDR4 地址总线信号 11
DDR_A12	0		VDDE_MEM	DDR4 地址总线信号 12
DDR_A13	0		VDDE_MEM	DDR4 地址总线信号 13
DDR_ACTn	0		VDDE_MEM	DDR4 行激活信号
DDR_ALERTn	1		VDDE_MEM	DDR4 出错警告信号
DDR_BA0	0		VDDE_MEM	DDR4 BANK 地址位 0
DDR_BA1	0		VDDE_MEM	DDR4 BANK 地址位 1
DDR_BG0	0		VDDE_MEM	DDR4 BANK 组地址位 0
DDR_BG1	0		VDDE_MEM	DDR4 BANK 组地址位 1
DDR_CASn	0		VDDE_MEM	DDR4 列选通信号
DDR_CKE0	0		VDDE_MEM	DDR4 时钟使能信号 0
DDR_CKE1	0		VDDE_MEM	DDR4 时钟使能信号 1
DDR_CKN0	DIFF OUT		VDDE_MEM	DDR4 时钟 0 负端输出
DDR_CKN1	DIFF OUT		VDDE_MEM	DDR4 时钟 1 负端输出
DDR_CKP0	DIFF OUT		VDDE_MEM	DDR4 时钟 0 正端输出
DDR_CKP1	DIFF OUT		VDDE_MEM	DDR4 时钟 1 正端输出
DDR_ODT0	0		VDDE_MEM	DDR4 片上终结器控制输出端 0
DDR_ODT1	0		VDDE_MEM	DDR4 片上终结器控制输出端 1
DDR_PAR	0		VDDE_MEM	DDR4 寄存器校验输出
DDR_RASn	0		VDDE_MEM	DDR4 行地址选通输出
DDR_REFRES	IO		VDDE_MEM	DDR4 控制器参考电阻, 通过 240ohm/1%接地

名称	方向	上下拉	电源域	描述
DDR_RESETn	0		VDDE_MEM	DDR4 复位输出端
DDR_SCS0n	0		VDDE_MEM	DDR4 片选控制输出 0
DDR_SCS1n	0		VDDE_MEM	DDR4 片选控制输出 1
DDR_WEn	0		VDDE_MEM	DDR4 写允许输出端
DDR_DM0n	IO		VDDE_MEM	DDR4 数据屏蔽位 0
DDR_DM1n	IO		VDDE_MEM	DDR4 数据屏蔽位 1
DDR_DM2n	IO		VDDE_MEM	DDR4 数据屏蔽位 2
DDR_DM3n	IO		VDDE_MEM	DDR4 数据屏蔽位 3
DDR_DM4n	IO		VDDE_MEM	DDR4 数据屏蔽位 4
DDR_DM5n	IO		VDDE_MEM	DDR4 数据屏蔽位 5
DDR_DM6n	IO		VDDE_MEM	DDR4 数据屏蔽位 6
DDR_DM7n	IO		VDDE_MEM	DDR4 数据屏蔽位 7
DDR_DQ00	IO		VDDE_MEM	DDR4 数据输入输出端 00
DDR_DQ01	IO		VDDE_MEM	DDR4 数据输入输出端 01
DDR_DQ02	IO		VDDE_MEM	DDR4 数据输入输出端 02
DDR_DQ03	IO		VDDE_MEM	DDR4 数据输入输出端 03
DDR_DQ04	IO		VDDE_MEM	DDR4 数据输入输出端 04
DDR_DQ05	IO		VDDE_MEM	DDR4 数据输入输出端 05
DDR_DQ06	IO		VDDE_MEM	DDR4 数据输入输出端 06
DDR_DQ07	IO		VDDE_MEM	DDR4 数据输入输出端 07
DDR_DQ08	IO		VDDE_MEM	DDR4 数据输入输出端 08
DDR_DQ09	IO		VDDE_MEM	DDR4 数据输入输出端 09
DDR_DQ10	IO		VDDE_MEM	DDR4 数据输入输出端 10
DDR_DQ11	IO		VDDE_MEM	DDR4 数据输入输出端 11
DDR_DQ12	IO		VDDE_MEM	DDR4 数据输入输出端 12
DDR_DQ13	IO		VDDE_MEM	DDR4 数据输入输出端 13

名称	方向	上下拉	电源域	描述
DDR_DQ14	IO		VDDE_MEM	DDR4 数据输入输出端 14
DDR_DQ15	IO		VDDE_MEM	DDR4 数据输入输出端 15
DDR_DQ16	IO		VDDE_MEM	DDR4 数据输入输出端 16
DDR_DQ17	IO		VDDE_MEM	DDR4 数据输入输出端 17
DDR_DQ18	IO		VDDE_MEM	DDR4 数据输入输出端 18
DDR_DQ19	IO		VDDE_MEM	DDR4 数据输入输出端 19
DDR_DQ20	IO		VDDE_MEM	DDR4 数据输入输出端 20
DDR_DQ21	IO		VDDE_MEM	DDR4 数据输入输出端 21
DDR_DQ22	IO		VDDE_MEM	DDR4 数据输入输出端 22
DDR_DQ23	IO		VDDE_MEM	DDR4 数据输入输出端 23
DDR_DQ24	IO		VDDE_MEM	DDR4 数据输入输出端 24
DDR_DQ25	IO		VDDE_MEM	DDR4 数据输入输出端 25
DDR_DQ26	IO		VDDE_MEM	DDR4 数据输入输出端 26
DDR_DQ27	IO		VDDE_MEM	DDR4 数据输入输出端 27
DDR_DQ28	IO		VDDE_MEM	DDR4 数据输入输出端 28
DDR_DQ29	IO		VDDE_MEM	DDR4 数据输入输出端 29
DDR_DQ30	IO		VDDE_MEM	DDR4 数据输入输出端 30
DDR_DQ31	IO		VDDE_MEM	DDR4 数据输入输出端 31
DDR_DQ32	IO		VDDE_MEM	DDR4 数据输入输出端 32
DDR_DQ33	IO		VDDE_MEM	DDR4 数据输入输出端 33
DDR_DQ34	IO		VDDE_MEM	DDR4 数据输入输出端 34
DDR_DQ35	IO		VDDE_MEM	DDR4 数据输入输出端 35
DDR_DQ36	IO		VDDE_MEM	DDR4 数据输入输出端 36
DDR_DQ37	IO		VDDE_MEM	DDR4 数据输入输出端 37
DDR_DQ38	IO		VDDE_MEM	DDR4 数据输入输出端 38
DDR_DQ39	IO		VDDE_MEM	DDR4 数据输入输出端 39

名称	方向	上下拉	电源域	描述
DDR_DQ40	IO		VDDE_MEM	DDR4 数据输入输出端 40
DDR_DQ41	IO		VDDE_MEM	DDR4 数据输入输出端 41
DDR_DQ42	IO		VDDE_MEM	DDR4 数据输入输出端 42
DDR_DQ43	IO		VDDE_MEM	DDR4 数据输入输出端 43
DDR_DQ44	IO		VDDE_MEM	DDR4 数据输入输出端 44
DDR_DQ45	IO		VDDE_MEM	DDR4 数据输入输出端 45
DDR_DQ46	IO		VDDE_MEM	DDR4 数据输入输出端 46
DDR_DQ47	IO		VDDE_MEM	DDR4 数据输入输出端 47
DDR_DQ48	IO		VDDE_MEM	DDR4 数据输入输出端 48
DDR_DQ49	IO		VDDE_MEM	DDR4 数据输入输出端 49
DDR_DQ50	IO		VDDE_MEM	DDR4 数据输入输出端 50
DDR_DQ51	IO		VDDE_MEM	DDR4 数据输入输出端 51
DDR_DQ52	IO		VDDE_MEM	DDR4 数据输入输出端 52
DDR_DQ53	IO		VDDE_MEM	DDR4 数据输入输出端 53
DDR_DQ54	IO		VDDE_MEM	DDR4 数据输入输出端 54
DDR_DQ55	IO		VDDE_MEM	DDR4 数据输入输出端 55
DDR_DQ56	IO		VDDE_MEM	DDR4 数据输入输出端 56
DDR_DQ57	IO		VDDE_MEM	DDR4 数据输入输出端 57
DDR_DQ58	IO		VDDE_MEM	DDR4 数据输入输出端 58
DDR_DQ59	IO		VDDE_MEM	DDR4 数据输入输出端 59
DDR_DQ60	IO		VDDE_MEM	DDR4 数据输入输出端 60
DDR_DQ61	IO		VDDE_MEM	DDR4 数据输入输出端 61
DDR_DQ62	IO		VDDE_MEM	DDR4 数据输入输出端 62
DDR_DQ63	IO		VDDE_MEM	DDR4 数据输入输出端 63
DDR_DQSN0	DIFF INOUT		VDDE_MEM	DDR4 差分数据选通负引脚端 0
DDR_DQSN1	DIFF INOUT		VDDE_MEM	DDR4 差分数据选通负引脚端 1

名称	方向	上下拉	电源域	描述
DDR_DQSN2	DIFF INOUT		VDDE_MEM	DDR4 差分数据选通负引脚端 2
DDR_DQSN3	DIFF INOUT		VDDE_MEM	DDR4 差分数据选通负引脚端 3
DDR_DQSN4	DIFF INOUT		VDDE_MEM	DDR4 差分数据选通负引脚端 4
DDR_DQSN5	DIFF INOUT		VDDE_MEM	DDR4 差分数据选通负引脚端 5
DDR_DQSN6	DIFF INOUT		VDDE_MEM	DDR4 差分数据选通负引脚端 6
DDR_DQSN7	DIFF INOUT		VDDE_MEM	DDR4 差分数据选通负引脚端 7
DDR_DQSP0	DIFF INOUT		VDDE_MEM	DDR4 差分数据选通正引脚端 0
DDR_DQSP1	DIFF INOUT		VDDE_MEM	DDR4 差分数据选通正引脚端 1
DDR_DQSP2	DIFF INOUT		VDDE_MEM	DDR4 差分数据选通正引脚端 2
DDR_DQSP3	DIFF INOUT		VDDE_MEM	DDR4 差分数据选通正引脚端 3
DDR_DQSP4	DIFF INOUT		VDDE_MEM	DDR4 差分数据选通正引脚端 4
DDR_DQSP5	DIFF INOUT		VDDE_MEM	DDR4 差分数据选通正引脚端 5
DDR_DQSP6	DIFF INOUT		VDDE_MEM	DDR4 差分数据选通正引脚端 6
DDR_DQSP7	DIFF INOUT		VDDE_MEM	DDR4 差分数据选通正引脚端 7
DP_AUXN	DIFF INOUT		VDDE_DP_L	DP 辅助通道负端输出
DP_AUXP	DIFF INOUT		VDDE_DP_L	DP 辅助通道正端输出
DP_TXN0	DIFF OUT		VDDE_DP_L	DP 数据通道 0 负端输出
DP_TXN1	DIFF OUT		VDDE_DP_L	DP 数据通道 1 负端输出
DP_TXN2	DIFF OUT		VDDE_DP_L	DP 数据通道 2 负端输出
DP_TXN3	DIFF OUT		VDDE_DP_L	DP 数据通道 3 负端输出
DP_TXP0	DIFF OUT		VDDE_DP_L	DP 数据通道 0 正端输出
DP_TXP1	DIFF OUT		VDDE_DP_L	DP 数据通道 1 正端输出
DP_TXP2	DIFF OUT		VDDE_DP_L	DP 数据通道 2 正端输出
DP_TXP3	DIFF OUT		VDDE_DP_L	DP 数据通道 3 正端输出
EDP_AUXN	DIFF INOUT		VDDE_DP_L	EDP 辅助通道负端输出
EDP_AUXP	DIFF INOUT		VDDE_DP_L	EDP 辅助通道正端输出

名称	方向	上下拉	电源域	描述
EDP_TXN0	DIFF OUT		VDDE_DP_L	EDP 数据通道 0 负端输出
EDP_TXN1	DIFF OUT		VDDE_DP_L	EDP 数据通道 1 负端输出
EDP_TXN2	DIFF OUT		VDDE_DP_L	EDP 数据通道 2 负端输出
EDP_TXN3	DIFF OUT		VDDE_DP_L	EDP 数据通道 3 负端输出
EDP_TXP0	DIFF OUT		VDDE_DP_L	EDP 数据通道 0 正端输出
EDP_TXP1	DIFF OUT		VDDE_DP_L	EDP 数据通道 1 正端输出
EDP_TXP2	DIFF OUT		VDDE_DP_L	EDP 数据通道 2 正端输出
EDP_TXP3	DIFF OUT		VDDE_DP_L	EDP 数据通道 3 正端输出
DP_HPDP	I	PD	VDDE_HDMI_H	DP 热插拔检测输入
EDP_HPDP	I	PD	VDDE_HDMI_H	EDP 热插拔检测输入
HDMI_CKN	DIFF OUT		VDDE_HDMI_L	HDMI 通道时钟负端输出
HDMI_CKP	DIFF OUT		VDDE_HDMI_L	HDMI 通道时钟正端输出
HDMI_HPDP	I	PD	VDDE_HDMI_H	HDMI 通道热插拔检测
HDMI_REFCLKN	DIFF IN		VDDE_HDMI_L	HDMI 通道参考时钟负端输入
HDMI_REFCLKP	DIFF IN		VDDE_HDMI_L	HDMI 通道参考时钟正端输入
HDMI_REFRES	IO		—	HDMI 通道参考电阻，通过 200ohm/1%下拉到地
HDMI_SCL	OD		VDDE_HDMI_H	HDMI 通道 I2C 串行时钟
HDMI_SDA	OD		VDDE_HDMI_H	HDMI 通道 I2C 串行数据
HDMI_TXN0	DIFF OUT		VDDE_HDMI_L	HDMI 通道数据负端输出位 0
HDMI_TXN1	DIFF OUT		VDDE_HDMI_L	HDMI 通道数据负端输出位 1
HDMI_TXN2	DIFF OUT		VDDE_HDMI_L	HDMI 通道数据负端输出位 2
HDMI_TXP0	DIFF OUT		VDDE_HDMI_L	HDMI 通道数据正端输出位 0
HDMI_TXP1	DIFF OUT		VDDE_HDMI_L	HDMI 通道数据正端输出位 1
HDMI_TXP2	DIFF OUT		VDDE_HDMI_L	HDMI 通道数据正端输出位 2
EMMC_CLK	IO		VDDE_SOC	EMMC 时钟输出
EMMC_CMD	IO		VDDE_SOC	EMMC 命令输入输出

名称	方向	上下拉	电源域	描述
EMMC_DATA0	IO		VDDE_SOC	EMMC 数据输入输出位 0
EMMC_DATA1	IO		VDDE_SOC	EMMC 数据输入输出位 1
EMMC_DATA2	IO		VDDE_SOC	EMMC 数据输入输出位 2
EMMC_DATA3	IO		VDDE_SOC	EMMC 数据输入输出位 3
EMMC_DATA4	IO		VDDE_SOC	EMMC 数据输入输出位 4
EMMC_DATA5	IO		VDDE_SOC	EMMC 数据输入输出位 5
EMMC_DATA6	IO		VDDE_SOC	EMMC 数据输入输出位 6
EMMC_DATA7	IO		VDDE_SOC	EMMC 数据输入输出位 7
EMMC_DS	IO		VDDE_SOC	EMMC 数据选通信号
GPI00	IO		VDDE_SOC	通用输入输出 0
GPI01	IO		VDDE_SOC	通用输入输出 1
GPI02	IO		VDDE_SOC	通用输入输出 2
GPI03	IO		VDDE_SOC	通用输入输出 3
HDA_BCLK	IO		VDDE_SOC	HDA 位时钟输入
HDA_RESETn	IO		VDDE_SOC	HDA 复位输出
HDA_SDIO	IO		VDDE_SOC	HDA 数据输入 0
HDA_SDI1	IO		VDDE_SOC	HDA 数据输入 1
HDA_SDI2	IO		VDDE_SOC	HDA 数据输入 2
HDA_SDO	IO		VDDE_SOC	HDA 数据输出
HDA_SYNC	IO		VDDE_SOC	HDA 同步输出
I2C0_SCL	OD		VDDE_SOC	I2C 通道 0 串行时钟
I2C0_SDA	OD		VDDE_SOC	I2C 通道 0 串行数据
I2C1_SCL	OD		VDDE_SOC	I2C 通道 1 串行时钟
I2C1_SDA	OD		VDDE_SOC	I2C 通道 1 串行数据
TCK	I	PD	VDDE_SOC	JTAG 时钟输入
TDI	I		VDDE_SOC	JTAG 数据输入

名称	方向	上下拉	电源域	描述
TDO	0		VDDE_SOC	JTAG 数据输出
TMS	I		VDDE_SOC	JTAG 模式输入
TRSTn	I	PD	VDDE_SOC	JTAG 复位输入, 需下拉
TSEL0	I	PD	VDDE_SOC	JTAG 模式选择 0
TSEL1	I	PD	VDDE_SOC	JTAG 模式选择 1
LPC_CLKOUT	IO		VDDE_SOC	LPC 33MHz 时钟输出
LPC_LAD0	IO	PU	VDDE_SOC	LPC 地址/数据 0
LPC_LAD1	IO	PU	VDDE_SOC	LPC 地址/数据 1
LPC_LAD2	IO	PU	VDDE_SOC	LPC 地址/数据 2
LPC_LAD3	IO	PU	VDDE_SOC	LPC 地址/数据 3
LPC_LFRAMEn	IO		VDDE_SOC	LPC 帧起始信号
LPC_RESETh	IO		VDDE_SOC	LPC 复位输出信号
LPC_SIRQ	IO	PU	VDDE_SOC	LPC 串行中断信号
PWM0	IO		VDDE_SOC	PWM0 脉冲输出
PWM1	IO		VDDE_SOC	PWM1 脉冲输出
PWM2	IO		VDDE_SOC	PWM2 脉冲输出
SDIO_CLK	0		VDDE_SOC	SDIO 时钟输出
SDIO_CMD	IO		VDDE_SOC	SDIO 命令输入输出
SDIO_DATA0	IO		VDDE_SOC	SDIO 数据信号 0
SDIO_DATA1	IO		VDDE_SOC	SDIO 数据信号 1
SDIO_DATA2	IO		VDDE_SOC	SDIO 数据信号 2
SDIO_DATA3	IO		VDDE_SOC	SDIO 数据信号 3
SE_GPIO0	IO		VDDE_SOC	安全模块通用输入输出 0
SE_GPIO1	IO		VDDE_SOC	安全模块通用输入输出 1
SE_GPIO2	IO		VDDE_SOC	安全模块通用输入输出 2
SE_I2C_SCL	OD		VDDE_SOC	安全模块 I2C 总线数据

名称	方向	上下拉	电源域	描述
SE_I2C_SDA	0D		VDDE_SOC	安全模块 I2C 总线时钟
SE_QSPI_CLK	0		VDDE_SOC	安全模块 QSPI 时钟输出
SE_QSPI_CS _n	0		VDDE_SOC	安全模块 QSPI 片选输出
SE_QSPI_IO0	IO		VDDE_SOC	安全模块 QSPI 数据 0
SE_QSPI_IO1	IO		VDDE_SOC	安全模块 QSPI 数据 1
SE_QSPI_IO2	IO		VDDE_SOC	安全模块 QSPI 数据 2
SE_QSPI_IO3	IO		VDDE_SOC	安全模块 QSPI 数据 3
SE_UART_RX	I		VDDE_SOC	安全模块串口数据接收
SE_UART_TX	0		VDDE_SOC	安全模块串口数据发送
SPI0_CS0 _n	0		VDDE_SOC	SPI0 片选信号 0
SPI0_CS1 _n	0		VDDE_SOC	SPI0 片选信号 1
SPI0_HOLD _n	IO		VDDE_SOC	SPI0 地址保持输入输出
SPI0_SCK	0		VDDE_SOC	SPI0 串行时钟输出
SPI0_SDI	IO	PU	VDDE_SOC	SPI0 串行数据输入
SPI0_SDO	IO	PU	VDDE_SOC	SPI0 串行数据输出
SPI0_WP _n	IO		VDDE_SOC	SPI0 写保护输出
SPI1_CS _n	IO		VDDE_SOC	SPI1 片选信号 0
SPI1_HOLD _n	IO		VDDE_SOC	SPI1 地址保持
SPI1_SCK	0		VDDE_SOC	SPI1 串行时钟输出
SPI1_SDI	IO	PU	VDDE_SOC	SPI1 串行数据输入
SPI1_SDO	IO	PU	VDDE_SOC	SPI1 串行数据输出
SPI1_WP _n	IO		VDDE_SOC	SPI1 写保护输出
CHIP_CONFIG0	I	PD	VDDE_SOC	系统配置输入 0, 系统时钟选择输入, 0=SYS_CLKIN, 1=PHY 输出时钟
CHIP_CONFIG1	I	PD	VDDE_SOC	系统配置输入 1, PRG 参考时钟选择, 0=选择 USB3 输出的 25MHz 参考时钟, 1=选择 PCIE_REFCLK _{p/n} 作为参考时钟
CHIP_CONFIG2	I	PU	VDDE_SOC	系统配置输入 3:2, CLKSEL, PLL 时钟配置

名称	方向	上下拉	电源域	描述
CHIP_CONFIG3	I	PD	VDDE_SOC	00: 硬件低频模式 01: 硬件高频模式 10: 软件模式 11: bypass 模式
CHIP_CONFIG4	I	PD	VDDE_SOC	系统配置输入 4, SE enable, 1=enable, 0=disable
CHIP_CONFIG5	I	PD	VDDE_SOC	系统配置输入 5, GPU enable, 1=enable, 0=disable
CHIP_CONFIG6	IO	PD	VDDE_SOC	系统配置输入 6, 板级接地或者悬空
CHIP_CONFIG7	IO	PD	VDDE_SOC	系统配置输入 7, 板级接地或者悬空
NMIIn	IO	PU	VDDE_SOC	不可屏蔽中断输入
PCIE0_RSTn	0		VDDE_SOC	PCIE0 复位输出
PCIE1_RSTn	0		VDDE_SOC	PCIE1 复位输出
PROCHOTn	IO	PU	VDDE_SOC	处理器过热中断
SATA_LEDn	IO		VDDE_SOC	SATA 工作状态指示灯输出
SYS_TCLK	I		VDDE_SOC	测试时钟输入
THERMTRIPn	IO	PU	VDDE_SOC	过热提醒中断输入
UART0_RXD	I		VDDE_SOC	UART0 接收数据
UART0_TXD	0		VDDE_SOC	UART0 发送数据
UART1_CTS	IO		VDDE_SOC	UART1 设备接收数据就绪
UART1_RTS	IO		VDDE_SOC	UART1 数据传输请求
UART1_RXD	IO		VDDE_SOC	UART1 接收数据
UART1_TXD	IO		VDDE_SOC	UART1 发送数据
PCIE_REFRES	IO		VDDE_PCIE_L	PCIE 外部参考电阻, 通过 400ohm(+/-1%) 连接至 VDDE_PCIE_L 电源
PCIE0_RXN0	DIFF IN		VDDE_PCIE_L	PCIE0 差分数据负端输入 0
PCIE0_RXN1	DIFF IN		VDDE_PCIE_L	PCIE0 差分数据负端输入 1
PCIE0_RXN2	DIFF IN		VDDE_PCIE_L	PCIE0 差分数据负端输入 2
PCIE0_RXN3	DIFF IN		VDDE_PCIE_L	PCIE0 差分数据负端输入 3

名称	方向	上下拉	电源域	描述
PCIE0_RXP0	DIFF IN		VDDE_PCIE_L	PCIE0 差分数据正端输入 0
PCIE0_RXP1	DIFF IN		VDDE_PCIE_L	PCIE0 差分数据正端输入 1
PCIE0_RXP2	DIFF IN		VDDE_PCIE_L	PCIE0 差分数据正端输入 2
PCIE0_RXP3	DIFF IN		VDDE_PCIE_L	PCIE0 差分数据正端输入 3
PCIE0_TXN0	DIFF OUT		VDDE_PCIE_L	PCIE0 差分数据负端输出 0
PCIE0_TXN1	DIFF OUT		VDDE_PCIE_L	PCIE0 差分数据负端输出 1
PCIE0_TXN2	DIFF OUT		VDDE_PCIE_L	PCIE0 差分数据负端输出 2
PCIE0_TXN3	DIFF OUT		VDDE_PCIE_L	PCIE0 差分数据负端输出 3
PCIE0_TXP0	DIFF OUT		VDDE_PCIE_L	PCIE0 差分数据正端输出 0
PCIE0_TXP1	DIFF OUT		VDDE_PCIE_L	PCIE0 差分数据正端输出 1
PCIE0_TXP2	DIFF OUT		VDDE_PCIE_L	PCIE0 差分数据正端输出 2
PCIE0_TXP3	DIFF OUT		VDDE_PCIE_L	PCIE0 差分数据正端输出 3
PCIE1_RXN0	DIFF IN		VDDE_PCIE_L	PCIE1 差分数据负端输入 0
PCIE1_RXN1	DIFF IN		VDDE_PCIE_L	PCIE1 差分数据负端输入 1
PCIE1_RXN2	DIFF IN		VDDE_PCIE_L	PCIE1 差分数据负端输入 2
PCIE1_RXN3	DIFF IN		VDDE_PCIE_L	PCIE1 差分数据负端输入 3
PCIE1_RXP0	DIFF IN		VDDE_PCIE_L	PCIE1 差分数据正端输入 0
PCIE1_RXP1	DIFF IN		VDDE_PCIE_L	PCIE1 差分数据正端输入 1
PCIE1_RXP2	DIFF IN		VDDE_PCIE_L	PCIE1 差分数据正端输入 2
PCIE1_RXP3	DIFF IN		VDDE_PCIE_L	PCIE1 差分数据正端输入 3
PCIE1_TXN0	DIFF OUT		VDDE_PCIE_L	PCIE1 差分数据负端输出 0
PCIE1_TXN1	DIFF OUT		VDDE_PCIE_L	PCIE1 差分数据负端输出 1
PCIE1_TXN2	DIFF OUT		VDDE_PCIE_L	PCIE1 差分数据负端输出 2
PCIE1_TXN3	DIFF OUT		VDDE_PCIE_L	PCIE1 差分数据负端输出 3
PCIE1_TXP0	DIFF OUT		VDDE_PCIE_L	PCIE1 差分数据正端输出 0
PCIE1_TXP1	DIFF OUT		VDDE_PCIE_L	PCIE1 差分数据正端输出 1

名称	方向	上下拉	电源域	描述
PCIE1_TXP2	DIFF OUT		VDDE_PCIE_L	PCIE1 差分数据正端输出 2
PCIE1_TXP3	DIFF OUT		VDDE_PCIE_L	PCIE1 差分数据正端输出 3
RIO_REFCLKNO	DIFF IN		VDDE_PCIE_H	RAPID IO 差分参考时钟负端输入
RIO_REFCLKN1	DIFF IN		VDDE_PCIE_H	RAPID IO 差分参考时钟负端输入
RIO_REFCLKP0	DIFF IN		VDDE_PCIE_H	RAPID IO 差分参考时钟正端输入
RIO_REFCLKP1	DIFF IN		VDDE_PCIE_H	RAPID IO 差分参考时钟正端输入
PCIE_REFCLKOUTN0	DIFF OUT		VDDE_PCIE_H	100MHz PCIE 差分时钟 0 负端输出
PCIE_REFCLKOUTN1	DIFF OUT		VDDE_PCIE_H	100MHz PCIE 差分时钟 1 负端输出
PCIE_REFCLKOUTN2	DIFF OUT		VDDE_PCIE_H	100MHz PCIE 差分时钟 2 负端输出
PCIE_REFCLKOUTN3	DIFF OUT		VDDE_PCIE_H	100MHz PCIE 差分时钟 3 负端输出
PCIE_REFCLKOUTP0	DIFF OUT		VDDE_PCIE_H	100MHz PCIE 差分时钟 0 正端输出
PCIE_REFCLKOUTP1	DIFF OUT		VDDE_PCIE_H	100MHz PCIE 差分时钟 1 正端输出
PCIE_REFCLKOUTP2	DIFF OUT		VDDE_PCIE_H	100MHz PCIE 差分时钟 2 正端输出
PCIE_REFCLKOUTP3	DIFF OUT		VDDE_PCIE_H	100MHz PCIE 差分时钟 3 正端输出
PCIE_REFCLKN	DIFF IN		VDDE_DP_H	PCIE 参考 100MHz 差分时钟负端输入
PCIE_REFCLKP	DIFF IN		VDDE_DP_H	PCIE 参考 100MHz 差分时钟正端输入
SYSCLK	I		VDDE_DP_H	系统时钟输入
RGMIIO_MDCK	O		VDDE_RSM	RGMIIO 接口时钟
RGMIIO_MDIO	IO		VDDE_RSM	RGMIIO 接口数据
RGMIIO_RCLK	I		VDDE_RSM	RGMIIO 接收时钟
RGMIIO_RCTL	I		VDDE_RSM	RGMIIO 接收控制
RGMIIO_RXD0	I		VDDE_RSM	RGMIIO 接收数据 0
RGMIIO_RXD1	I		VDDE_RSM	RGMIIO 接收数据 1
RGMIIO_RXD2	I		VDDE_RSM	RGMIIO 接收数据 2
RGMIIO_RXD3	I		VDDE_RSM	RGMIIO 接收数据 3
RGMIIO_TCLK	O		VDDE_RSM	RGMIIO 发送时钟

名称	方向	上下拉	电源域	描述
RGMIIO_TCTL	0		VDDE_RSM	RGMIIO 发送控制
RGMIIO_TXD0	0		VDDE_RSM	RGMIIO 发送数据 0
RGMIIO_TXD1	0		VDDE_RSM	RGMIIO 发送数据 1
RGMIIO_TXD2	0		VDDE_RSM	RGMIIO 发送数据 2
RGMIIO_TXD3	0		VDDE_RSM	RGMIIO 发送数据 3
RGMI11_MDCK	IO		VDDE_RSM	RGMI11 接口时钟
RGMI11_MDIO	IO		VDDE_RSM	RGMI11 接口数据
RGMI11_RCLK	IO		VDDE_RSM	RGMI11 接收时钟
RGMI11_RCTL	IO		VDDE_RSM	RGMI11 接收控制
RGMI11_RXD0	IO		VDDE_RSM	RGMI11 接收数据 0
RGMI11_RXD1	IO		VDDE_RSM	RGMI11 接收数据 1
RGMI11_RXD2	IO		VDDE_RSM	RGMI11 接收数据 2
RGMI11_RXD3	IO		VDDE_RSM	RGMI11 接收数据 3
RGMI11_TCLK	IO		VDDE_RSM	RGMI11 发送时钟
RGMI11_TCTL	IO		VDDE_RSM	RGMI11 发送控制
RGMI11_TXD0	IO		VDDE_RSM	RGMI11 发送数据 0
RGMI11_TXD1	IO		VDDE_RSM	RGMI11 发送数据 1
RGMI11_TXD2	IO		VDDE_RSM	RGMI11 发送数据 2
RGMI11_TXD3	IO		VDDE_RSM	RGMI11 发送数据 3
RTC_RSTn	I		VDD_RTC	RTC 域复位输入
RTC_XI	I		VDD_RTC	32.768KHz 晶体输入，或者外部 32.768KHz 时钟输入
RTC_XO	0		VDD_RTC	32.768KHz 晶体输出
USB3_REFCLKN	DIFF IN		VDDE_USB3_H	USB3 参考时钟输入负端
USB3_REFCLKP	DIFF IN		VDDE_USB3_H	USB3 参考时钟输入正端
USB3_REFRES	IO		VDDE_USB3_L	USB3 外部参考电阻输入，通过 400ohm(+/-1%) 电阻连至 VDDE_USB3_L
USB3_RXN0	DIFF IN		VDDE_USB3_L	USB3 端口 0 差分接收数据负端

名称	方向	上下拉	电源域	描述
USB3_RXN1	DIFF IN		VDDE_USB3_L	USB3 端口 1 差分接收数据负端
USB3_RXN2	DIFF IN		VDDE_USB3_L	USB3 端口 2 差分接收数据负端
USB3_RXN3	DIFF IN		VDDE_USB3_L	USB3 端口 3 差分接收数据负端
USB3_RXP0	DIFF IN		VDDE_USB3_L	USB3 端口 0 差分接收数据正端
USB3_RXP1	DIFF IN		VDDE_USB3_L	USB3 端口 1 差分接收数据正端
USB3_RXP2	DIFF IN		VDDE_USB3_L	USB3 端口 2 差分接收数据正端
USB3_RXP3	DIFF IN		VDDE_USB3_L	USB3 端口 3 差分接收数据正端
USB3_TXN0	DIFF OUT		VDDE_USB3_L	USB3 端口 0 差分发送数据负端
USB3_TXN1	DIFF OUT		VDDE_USB3_L	USB3 端口 1 差分发送数据负端
USB3_TXN2	DIFF OUT		VDDE_USB3_L	USB3 端口 2 差分发送数据负端
USB3_TXN3	DIFF OUT		VDDE_USB3_L	USB3 端口 3 差分发送数据负端
USB3_TXP0	DIFF OUT		VDDE_USB3_L	USB3 端口 0 差分发送数据正端
USB3_TXP1	DIFF OUT		VDDE_USB3_L	USB3 端口 1 差分发送数据正端
USB3_TXP2	DIFF OUT		VDDE_USB3_L	USB3 端口 2 差分发送数据正端
USB3_TXP3	DIFF OUT		VDDE_USB3_L	USB3 端口 3 差分发送数据正端
USB2_DN0	DIFF INOUT		VDDE_USB2	USB2 端口 0 差分数据负端
USB2_DN1	DIFF INOUT		VDDE_USB2	USB2 端口 1 差分数据负端
USB2_DN2	DIFF INOUT		VDDE_USB2	USB2 端口 2 差分数据负端
USB2_DN3	DIFF INOUT		VDDE_USB2	USB2 端口 3 差分数据负端
USB2_DN4	DIFF INOUT		VDDE_USB2	USB2 端口 4 差分数据负端
USB2_DN5	DIFF INOUT		VDDE_USB2	USB2 端口 5 差分数据负端
USB2_DN6	DIFF INOUT		VDDE_USB2	USB2 端口 6 差分数据负端
USB2_DN7	DIFF INOUT		VDDE_USB2	USB2 端口 7 差分数据负端
USB2_DP0	DIFF INOUT		VDDE_USB2	USB2 端口 0 差分数据正端
USB2_DP1	DIFF INOUT		VDDE_USB2	USB2 端口 1 差分数据正端
USB2_DP2	DIFF INOUT		VDDE_USB2	USB2 端口 2 差分数据正端

名称	方向	上下拉	电源域	描述
USB2_DP3	DIFF INOUT		VDDE_USB2	USB2 端口 3 差分数据正端
USB2_DP4	DIFF INOUT		VDDE_USB2	USB2 端口 4 差分数据正端
USB2_DP5	DIFF INOUT		VDDE_USB2	USB2 端口 5 差分数据正端
USB2_DP6	DIFF INOUT		VDDE_USB2	USB2 端口 6 差分数据正端
USB2_DP7	DIFF INOUT		VDDE_USB2	USB2 端口 7 差分数据正端
USB_OC0	IO		VDDE_RSM	USB 过流检测输入 0
USB_OC1	IO		VDDE_RSM	USB 过流检测输入 1
USB2_REFRES	IO		—	通过 200ohm+/- 1%电阻下拉至地

注：片内上拉电阻约为 47K 欧，下拉电阻约为 41K 欧。

2.3 引脚复用信息

名称	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	说明
DDR_A00	LPDDR0_A0						需按组配置复用
DDR_A01	LPDDR0_A1						
DDR_A02	LPDDR0_A2						
DDR_A03	LPDDR0_A3						
DDR_A04	LPDDR0_A4						
DDR_A05	LPDDR0_A5						
DDR_A06	LPDDR1_A0						
DDR_A07	LPDDR1_A1						

DDR_A08	LPDDR1_A2					
DDR_A09	LPDDR1_A3					
DDR_A10	LPDDR1_A4					
DDR_A11	LPDDR1_A5					
DDR_A12	LPDDR1_CS0n					
DDR_A13	LPDDR1_CS1n					
DDR_ACTn						
DDR_CASn	LPDDR1_CKE1					
DDR_CKE0	LPDDR0_CKE0					
DDR_CKE1	LPDDR0_CKE1					
DDR_CKN0	LPDDR0_CKN					
DDR_CKN1	LPDDR1_CKN					
DDR_CKP0	LPDDR0_CKP					
DDR_CKP1	LPDDR1_CKP					
DDR_ODT0	LPDDR_ODT0					
DDR_ODT1	LPDDR_ODT1					
DDR_RASn						
DDR_RESETn	LPDDR_RESETn					

DDR_SCS0n	LPDDR0_CS0n					
DDR_SCS1n	LPDDR0_CS1n					
DDR_WEn	LPDDR1_CKE0					
DDR_DM0n	LPDDR0_DMI0					
DDR_DM1n	LPDDR0_DMI1					
DDR_DM2n	LPDDR0_DMI2					
DDR_DM3n	LPDDR0_DMI3					
DDR_DM4n	LPDDR1_DMI0					
DDR_DM5n	LPDDR1_DMI1					
DDR_DM6n	LPDDR1_DMI2					
DDR_DM7n	LPDDR1_DMI3					
DDR_DQ00	LPDDR0_DQ00					
DDR_DQ01	LPDDR0_DQ01					
DDR_DQ02	LPDDR0_DQ02					
DDR_DQ03	LPDDR0_DQ03					
DDR_DQ04	LPDDR0_DQ04					
DDR_DQ05	LPDDR0_DQ05					
DDR_DQ06	LPDDR0_DQ06					

DDR_DQ07	LPDDR0_DQ07					
DDR_DQ08	LPDDR0_DQ08					
DDR_DQ09	LPDDR0_DQ09					
DDR_DQ10	LPDDR0_DQ10					
DDR_DQ11	LPDDR0_DQ11					
DDR_DQ12	LPDDR0_DQ12					
DDR_DQ13	LPDDR0_DQ13					
DDR_DQ14	LPDDR0_DQ14					
DDR_DQ15	LPDDR0_DQ15					
DDR_DQ16	LPDDR0_DQ16					
DDR_DQ17	LPDDR0_DQ17					
DDR_DQ18	LPDDR0_DQ18					
DDR_DQ19	LPDDR0_DQ19					
DDR_DQ20	LPDDR0_DQ20					
DDR_DQ21	LPDDR0_DQ21					
DDR_DQ22	LPDDR0_DQ22					
DDR_DQ23	LPDDR0_DQ23					
DDR_DQ24	LPDDR0_DQ24					

DDR_DQ25	LPDDR0_DQ25					
DDR_DQ26	LPDDR0_DQ26					
DDR_DQ27	LPDDR0_DQ27					
DDR_DQ28	LPDDR0_DQ28					
DDR_DQ29	LPDDR0_DQ29					
DDR_DQ30	LPDDR0_DQ30					
DDR_DQ31	LPDDR0_DQ31					
DDR_DQ32	LPDDR1_DQ00					
DDR_DQ33	LPDDR1_DQ01					
DDR_DQ34	LPDDR1_DQ02					
DDR_DQ35	LPDDR1_DQ03					
DDR_DQ36	LPDDR1_DQ04					
DDR_DQ37	LPDDR1_DQ05					
DDR_DQ38	LPDDR1_DQ06					
DDR_DQ39	LPDDR1_DQ07					
DDR_DQ40	LPDDR1_DQ08					
DDR_DQ41	LPDDR1_DQ09					
DDR_DQ42	LPDDR1_DQ10					

DDR_DQ43	LPDDR1_DQ11					
DDR_DQ44	LPDDR1_DQ12					
DDR_DQ45	LPDDR1_DQ13					
DDR_DQ46	LPDDR1_DQ14					
DDR_DQ47	LPDDR1_DQ15					
DDR_DQ48	LPDDR1_DQ16					
DDR_DQ49	LPDDR1_DQ17					
DDR_DQ50	LPDDR1_DQ18					
DDR_DQ51	LPDDR1_DQ19					
DDR_DQ52	LPDDR1_DQ20					
DDR_DQ53	LPDDR1_DQ21					
DDR_DQ54	LPDDR1_DQ22					
DDR_DQ55	LPDDR1_DQ23					
DDR_DQ56	LPDDR1_DQ24					
DDR_DQ57	LPDDR1_DQ25					
DDR_DQ58	LPDDR1_DQ26					
DDR_DQ59	LPDDR1_DQ27					
DDR_DQ60	LPDDR1_DQ28					

DDR_DQ61	LPDDR1_DQ29					
DDR_DQ62	LPDDR1_DQ30					
DDR_DQ63	LPDDR1_DQ31					
DDR_DQSN0	LPDDR0_DQSN0					
DDR_DQSN1	LPDDR0_DQSN1					
DDR_DQSN2	LPDDR0_DQSN2					
DDR_DQSN3	LPDDR0_DQSN3					
DDR_DQSN4	LPDDR1_DQSN0					
DDR_DQSN5	LPDDR1_DQSN1					
DDR_DQSN6	LPDDR1_DQSN2					
DDR_DQSN7	LPDDR1_DQSN3					
DDR_DQSP0	LPDDR0_DQSP0					
DDR_DQSP1	LPDDR0_DQSP1					
DDR_DQSP2	LPDDR0_DQSP2					
DDR_DQSP3	LPDDR0_DQSP3					
DDR_DQSP4	LPDDR1_DQSP0					
DDR_DQSP5	LPDDR1_DQSP1					
DDR_DQSP6	LPDDR1_DQSP2					

DDR_DQSP7	LPDDR1_DQSP3						
EMMC_CLK						GPI018	需按组配置复用
EMMC_CMD						GPI019	
EMMC_DATA0						GPI020	
EMMC_DATA1						GPI021	
EMMC_DATA2						GPI022	
EMMC_DATA3						GPI023	
EMMC_DATA4						GPI024	
EMMC_DATA5						GPI025	
EMMC_DATA6						GPI026	
EMMC_DATA7						GPI027	HDA 和 LIO 不可与其他功能同时用； I2S 可与 I2C3/CAN3/UART 2/GPIO[39:38] 同时用；
EMMC_DS						GPI028	
GPI03	LIO_AD06						
HDA_BCLK	LIO_A06	I2S_BCLK				GPI033	
HDA_RESETn	LIO_AD00	I2S_LR				GPI034	
HDA_SDI0	LIO_AD03	I2S_SDI				GPI037	
HDA_SDI1	LIO_AD04	I2C3_SCL	CAN3_TX	UART2_TX		GPI038	
HDA_SDI2	LIO_AD05	I2C3_SDA	CAN3_RX	UART2_RX		GPI039	

HDA_SDO	LIO_AD02	I2S_SDO				GPI036	
HDA_SYNC	LIO_AD01	I2S_MCLK				GPI035	
LPC_CLKOUT	LIO_AD12					GPI060	
LPC_LAD0	LIO_AD08					GPI056	
LPC_LAD1	LIO_AD09					GPI057	
LPC_LAD2	LIO_AD10					GPI058	
LPC_LAD3	LIO_AD11					GPI059	
LPC_LFRAME _n	LIO_AD13					GPI061	
LPC_RESET _n	LIO_AD14					GPI062	
LPC_SIRQ	LIO_AD15					GPI063	
PWM0	LIO_CS00					GPI050	可单独配置复用
PWM1	LIO_CS01					GPI051	可单独配置复用
PWM2	LIO_AD07					GPI052	可单独配置复用
SDIO_CLK	LIO_A00		CAN0_TX	UART3_TX			SDIO 和 LIO 不可与其他功能同时用；
SDIO_CMD	LIO_A01		CAN0_RX	UART3_RX			
SDIO_DATA0	LIO_A02		CAN1_TX	UART4_TX			CAN0 与 UART3 可单独配置复用；
SDIO_DATA1	LIO_A03		CAN1_RX	UART4_RX			CAN1 与 UART4 可单独配置复用；
SDIO_DATA2	LIO_A04		CAN2_TX	UART5_TX			CAN2 与 UART5 可

SDIO_DATA3	LIO_A05		CAN2_RX	UART5_RX			单独配置复用；
SPI0_HOLDn	SPI0_CS3n						
SPI0_WPn	SPI0_CS2n						
SPI1_CSn	LIO_CS02	SDIO1_D3	PWM3				SPI1/LIO/SDIO1 不可与其他功能 同时用； PWM3/I2C2/AVS 可同时使用； PWM3/UART7/AVS 可同时使用；
SPI1_HOLDn	LIO_RDY	SDIO1_D2	I2C2_SDA	SPI1_CS3n	UART7_RX		
SPI1_SCK	LIO_CS03	SDIO1_CLK	AVS_CLK				
SPI1_SDI	LIO_ADLOCK	SDIO1_D0	AVS_MDATA				
SPI1_SDO	LIO_WRn	SDIO1_CMD	AVS_SDATA				
SPI1_WPn	LIO_RDn	SDIO1_D1	I2C2_SCL	SPI1_CS2n	UART7_TX		
CHIP_CONFIG6						GPI046	复位阶段为输入，作为配置信号；复位撤销后可作为 GPIO
CHIP_CONFIG7						GPI047	
PROCHOTn						GPI049	可单独配置复用
SATA_LEDn						GPI053	可单独配置复用
THERMTRIPn						GPI048	可单独配置复用
UART1_CTS	UART6_RX					GPI032	UART1 双线模式下可与 UART6 同时使用 UART6 可与 GPIO[30:29]同时使用
UART1_RTS	UART6_TX					GPI031	
UART1_RXD						GPI030	
UART1_TXD						GPI029	

RGMI11_MDCK						GPI04	需按组配置复用
RGMI11_MDIO						GPI05	
RGMI11_RCLK						GPI07	
RGMI11_RCTL						GPI06	
RGMI11_RXD0						GPI08	
RGMI11_RXD1						GPI09	
RGMI11_RXD2						GPI010	
RGMI11_RXD3						GPI011	
RGMI11_TCLK						GPI013	
RGMI11_TCTL						GPI012	
RGMI11_TXD0						GPI014	
RGMI11_TXD1						GPI015	
RGMI11_TXD2						GPI016	需按组配置复用
RGMI11_TXD3						GPI017	
USB3_RXN3	SATA_RXN3						
USB3_RXP3	SATA_RXP3						
USB3_TXN3	SATA_TXN3						需按组配置复用
USB3_TXP3	SATA_TXP3						

USB_OC0						GPI054	可单独配置复用
USB_OC1						GPI055	可单独配置复用

3. 功能及接口说明

3.1 CPU

- 8 个 LA364E 处理器核
- 采用 LoongArch 指令系统(龙架构)
- 64KB 数据 Cache 和 64KB 指令 Cache
- 6MB 共享二级 Cache
- 通过目录协议维护 IO DMA 访问的 Cache 一致性

3.2 GPU

- LG200
- 集成一路 DMA
- 集成 MMU
- 支持 4x MSAA
- 支持内存压缩
- 支持动态功耗管理

3.3 VPU

- 解码格式 HEVC/H264/VP8/VP7/AV1/MPEG4/JPEG
- 编码格式 HEVC/H264/JPEG

3.4 DDR4

- 支持 DDR4-3200/LPDDR4-3200
- 64 位 DDR4 接口，可配置成 2 个 32 位 LPDDR4
- DDR4 模式下最大内存容量 32GB
- LPDDR4 模式下最大内存容量 16GB

- 可配置为 64/32/16 位模式 (DDR4)
- 支持 x8、x16 颗粒，不支持 x4 颗粒 (DDR4)

3.5 PCIE

- 2 个 PCIE 接口，仅支持 RC
- 一个 PCIE 包含 4 个 LANE，可配置为 1x4/4x1，最高支持 PCIE3.0 速率；可配置为 x4 RapidIO 2.2 使用；
- 一个 PCIE 包含 4 个 LANE，可配置为 1x4/2x1，最高支持 PCIE3.0 速率；可配置为 x4 RapidIO 2.2 使用；
- 输出 4 路 PCIE 差分参考时钟
- 支持极性反转
- 支持线序反转

3.6 RapidIO

- 两路 RapidIO 接口，分别与 PCIE0/1 复用
- 兼容 RapidIO 2.2
- 使用串行接口，支持 1.25/2.5/3.125/5.0Gbps 速率
- 支持 RapidIO 协议 34/50 位地址的访问
- 支持 8/16 位 ID
- 支持 RapidIO 协议的 NREAD、NWRITE、NWRITE_R、SWRITE、Maintenance Packet、Response Packet、Doorbell Packet、Message Packet
- x4/x2/x1 链路宽度自适应

3.7 显示

- HDMI/DP/eDP 各一路，分辨率均可达 4K@30Hz
- HDMI/DP 显示内容相同
- DP/eDP 不支持音频
- RGB444、RGB555、RGB565、RGB888 四种色深

- 输出抖动和伽马校正
- 支持线性显示缓冲，可切换的双路线性帧缓冲
- 中断和软复位
- 上电序列控制
- 低功耗管理

3.8 SATA

- 1 路 SATA 接口，与一路 USB3 接口复用
- 支持 SATA 1.5Gbps、SATA2 代 3Gbps 和 SATA3 代 6Gbps 的传输
- 兼容串行 ATA 2.6、AHCI 1.1 和 AHCI 1.3.1 规范

3.9 USB

- 4 路 USB3.1 gen1 (5Gbps) 接口
- 8 路 USB2.0 接口(其中 4 路与 USB3.1 组成 USB3 接口)
- 兼容 XHCI Rev1.1 协议

3.10 GMAC

- 两路 10/100/1000Mbps 自适应以太网 MAC
- RGMII 接口
- 均兼容 IEEE 802.3
- 半双工/全双工自适应
- Timestamp 功能
- 半双工时，支持碰撞检测与重发 (CSMA/CD) 协议
- 支持 CRC 校验码的自动生成与校验，支持前置符生成与删除
- 两路均支持网络唤醒
- 支持 TSN
- 支持四通道 DMA 收发
- 支持硬件时间戳，支持 IEEE 1588/802.1AS 时间同步，支持 PPS 输出

- 支持 IEEE 802.1Qbv 协议，支持纳秒级精度控制，支持配置四通道门控状态，表项最大支持配置 256 项
- 支持 IEEE 802.1Qav 协议，支持对通道 1, 2, 3 进行信用值配置

3.11 eMMC

- 一路 eMMC 接口
- 8 位预分频逻辑（频率=系统时钟/(p+1)）
- DMA 数据传输模式
- 专用独立 DMA 通道
- 1 位/4 位/8 位的总线模式

3.12 SDIO

- 两路 SDIO 接口
- 8 字（32 字节）数据发送/接收 FIFO
- 扩展的 256 位 SD 卡状态寄存器
- 8 位预分频逻辑（频率=系统时钟/(p+1)）
- DMA 数据传输模式
- 专用独立 DMA 通道
- 1 位/4 位（宽总线）的 SD 模式

3.13 HDA

- 支持 16、18 和 20 位采样精度，支持可变速率
- 最高采样频率 192KHz
- 7.1 频道环绕立体声输出
- 三路音频输入

3.14 I2S

- 支持 18、20、24、32 位的音频数据采样位宽。
- 支持 8、16、32 位的左右声道处理字宽。
- 包含两个缓存 FIFO，FIFO 的缓存容量为 8bytes。
- I2S 的中断处理模式可配，在 I2S 的发送和接收中断功能都使能后，当两个通道的缓存 fifo 为满仍要写以及为空仍要读时，则向 CPU 发出中断信号。
- I2S 可以为 codec 芯片提供系统时钟，时钟频率可配。
- 支持 master/slave 模式下 I2S 输入
- 支持 master/slave 模式下 I2S 输出
- 支持单声道和立体声道音频数据
- 支持 (16、22.05、32、44.1、48) KHz 采样频率
- 支持 DMA 传输模式

3.15 SPI

- 2 路独立 SPI 控制器，均支持 4 线模式
- SPI0 支持系统启动
- 双缓冲接收器
- 极性和相位可编程的串行时钟
- 主模式支持
- 支持到 4 个的变长字节传输
- 支持标准读、连续地址读、快速读、双路 I/O 等 SPI Flash 读模式

3.16 LPC

- 1 路 LPC 接口
- 符合 LPC1.1 规范
- 支持 LPC 访问超时计数器
- 支持 Memory Read/write 访问类型
- 支持 Firmware Memory Read/Write 访问类型（单字节）

- 支持 I/O read/write 访问类型
- 支持 TPM I/O read/write 访问类型
- 支持 Memory 访问类型地址转换
- 支持 Serial IRQ 规范，支持 17 个中断源

3.17 UART

- 最多 8 路 2 线 UART，其中两路可作为 1 个 4 线使用
- 在寄存器与功能上兼容 NS16550A
- 两路全双工异步数据接收/发送
- 可编程的数据格式
- 16 位可编程时钟计数器
- 支持接收超时检测
- 带仲裁的多中断系统

3.18 I2C

- 4 路 I2C
- I2C0/2/3 可配置为 slave，读取芯片内部温度
- 兼容 SMBUS（100Kbps）
- 与 PHILIPS I2C 标准相兼容
- 履行双向同步串行协议
- 主从设备支持
- 能够支持多主设备的总线
- 总线的时钟频率可编程
- 可以产生开始/停止/应答等操作
- 能够对总线的状态进行探测
- 支持低速和快速模式
- 支持 7 位寻址和 10 位寻址
- 支持时钟延伸和等待状态

3.19 PWM

- 4 路 32 位可配置 PWM 定时器
- 支持定时器功能
- 支持计数器功能
- 支持防死区发生控制

3.20 HPET

- 支持 1 个周期性中断
- 支持 2 个非周期性中断

3.21 RTC

- 可产生 3 个定时中断
- 支持定时开关机功能

3.22 ACPI

- USB/GMAC 可 S3 唤醒
- 来电可自动启动
- 支持 S0, S3, S4, S5 状态

3.23 GPIO

- 4 个专用 GPIO 引脚，54 个复用 GPIO 引脚
- 输入中断功能
- 中断极性、触发类型可设置

3.24 CAN

- 4 路 CAN 接口

- 支持 CAN-FD

3.25 AVS

- 一路 AVS 接口

3.26 JTAG

- JTAG 测试接口

3.27 中断控制器

- 支持软件设置中断
- 支持电平与边沿触发
- 支持中断屏蔽与使能
- 支持多种中断分发模式

4. 时钟

4.1 输入时钟

表 4-1 输入时钟说明

时钟	频率	说明	电平标准
SYSCLK	100MHz	芯片 100 MHz 主参考时钟	TBD
RTC_XI	32.768KHz	32.768KHz 晶体输入，或者外部 32.768KHz 时钟输入	-
RTC_XO	32.768KHz	32.768KHz 晶体输出	-
SYS_TCLK	-	功能模式下，必须下拉	-
HDMI_REFCLKP/N	27MHz	HDMI 差分参考时钟，当 HDMI 使用内部参考时钟时，可不接	LP-HCSL
PCIE_REFCLKP/N	100MHz	PCIE 差分参考时钟，当 PCIE 使用 USB 的参考时钟时可不接	LP-HCSL
RIO_REFCLKP/N[1:0]	156.25MHz	RapidIO 参考时钟输入，当不用 RapidIO 功能时可不接	LP-HCSL
USB3_REFCLKP/N	25MHz	USB 差分参考时钟，可接单端/差分时钟。	LP-HCSL

注：晶体参考时钟(RTC_XI/XO)必须保留，否则影响正常开机以及会导致软件访问电源管理模块的寄存器时死机。

● 系统参考时钟

芯片的系统参考时钟有三个来源，分别为：

1. 单端输入时钟 SYS_SYSCLK，频率为 100MHz；
2. PCIE 参考时钟输入 PCIE_REFCLKP/N，频率为 100MHz；
3. USB 参考时钟输入 USB_REFCLKP/N，频率为 25MHz (根据引脚配置可选单端/差分输入)；

● RTC 时钟

RTC 时钟频率要求为 32.768KHz。可选择外接晶体或者晶振，芯片内部 RTC 模块可以自适应这两种时钟输入，无需特别控制。

● PCIe PHY 参考时钟

2K3000 的 PCIe 有 2 个 PHY，它们共用内部参考时钟。可以从下面三个时钟源对参考时钟进行选择：

- 1、外部 100MHz 单端参考时钟 SYS_SYSCLK
- 2、外部 100MHz 差分输入(PCIE_REFCLKP/N)

3、USB PHY 的参考时钟(如下文)

另外，PCIE 作为 RapidIO 使用时由外部提供 156.25MHz 的差分参考时钟。这种情况下，另一路 PCIE 仍可从以上三种参考时钟进行选择。

● USB PHY 参考时钟

USB3 PHY 的参考时钟有以下两种选择方式，通过芯片引脚 USB_CLKSEL 进行选择：

- 1、外接 25MHz 差分输入(芯片引脚 USB_REFCLKP/N)；
- 2、外接 25MHz 单端输入(芯片引脚 USB_REFCLK)；

当系统需要 USB 唤醒功能时，必须提供 USB PHY 参考时钟；

4.2 输出时钟

表 4-2 输出时钟说明

时钟	频率	说明	电平标准
PCIE_REFCLKOUTP/N[3:0]	100MHz	PCIE 输出参考时钟	LP-HCSL

5. 电源管理 ACPI

5.1 电源域

所有电源域清单请参见第 7.2 节。

5.2 功能描述

芯片电源管理模块提供系统功耗管理功能。支持 Advanced Configuration and Power Interface, Version 4.0a(ACPI)，提供相应的功耗管理功能。

系统休眠与唤醒，支持 ACPI S3（待机到内存），ACPI S4（待机到硬盘），ACPI S5（软关机），并且支持电源失效检测和自动系统恢复。支持多种唤醒方式（USB S3 唤醒，GMAC S3 唤醒，电源开关等）。

集成一个看门狗。在使能 ACPI 情况下可使能看门狗，最大定时时间约 82s。

6. 热设计

6.1 热参数

表 6-1 龙芯 2K3000 的热阻参数

热阻	典型值
芯片整体热阻 R_{th}	1.36K/W
芯片基底热阻 $R_{th(J-B)}$	1.27K/W
芯片硅片热阻 $R_{th(J-C)}$	0.09K/W

6.2 焊接温度及焊接曲线

表 6-2 回流焊接温度分类表

Profile Feature		Pb-Free Assembly
Average ramp-up rate (T _{smax} to T _p)		3° C/second max.
Preheat	Temperature Min (T _{smin})	150 ° C
	Temperature Max (T _{smax})	200 ° C
	Time (T _{smin} to T _{smax}) (ts)	60-180 seconds
Time maintained above	Temperature (T _L)	217 ° C
	Time (t _L)	60-150 seconds
Peak Temperature (T _p)		245° C
Time within 5° C of actual Peak Temperature (tp) ²		20-40 seconds
Ramp-down Rate		6 ° C/second max.
Time 25° C to Peak Temperature		8 minutes max.

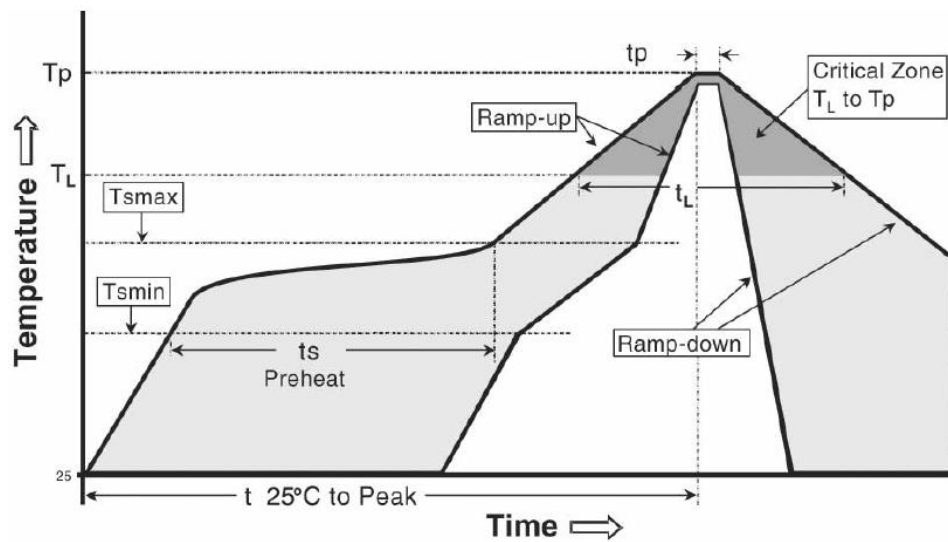


图 6-1 焊接回流曲线

7. 电气特性

7.1 极限工作条件

表 7-1 极限工作条件

电源域	电源名称	描述	Min. (V)	Max. (V)
RTC	VDD_RTC	RTC 电源	-0.3	3.6
ACPI	VDD_ACPI	ACPI 域数字电	-0.3	0.9
	VDDE_ACPI_L	ACPI 域低压 IO 电源	-0.3	2.0
	VDDE_ACPI_H	ACPI 域高压 IO 电源	-0.3	3.7
RSM	VDD_RSM	RESUME 域数字电源(包括 USB 和 GMAC 控制器、USB2 PHY 数字电)	-0.3	0.9
	VDDE_USB3_L	USB3 PHY 低压电源	-0.3	1.15
	VDDE_USB3_H	USB3 PHY 高压电源(含 USB2 1.8V 供电)	-0.3	2.0
	VDDE_USB2	USB2 PHY 电源	-0.3	3.7
	VDDE_RSM	RESUME 域 IO 电源	-0.3	2.0
NODE	VDD_NODE	NODE 电源(包括处理器核、互连网络和 scache)	-0.3	1.3
GPU	VDD_GPU	GPU 核电源	-0.3	1.3
SOC	VDD_SOC	SOC 数字电源	-0.3	1.2
	VDDE_SOC	SOC 域 IO 电源(含 SE PLL 和 VTsens)	-0.3	2.0
	VDDE_MEM	DDR PHY IO 电源(DDR4 模式)	-0.3	1.3
		DDR PHY IO 电源(LPDDR4 模式)	-0.3	1.2
	VDD_MEM	DDR 数字电源	-0.3	1.2
	VDDE_PCIE_L	PCIE PHY 低压供电	-0.3	1.15
	VDDE_PCIE_H	PCIE PHY 高压供电(含 PRG IO 电)	-0.3	2.0
	VDDE_DP_L	DP PHY 低压电源	-0.3	1.15
	VDDE_DP_H	DP PHY 高压电源(含系统时钟 IO 和 PRG PLL)	-0.3	2.0
	VDDE_HDMI_L	HDMI PHY 低压电源	-0.3	0.9
	VDDE_HDMI_H	HDMI PHY 高压电源(含 HPD 和 I2C IO 电)	-0.3	2.0
	VDD_PLL	内部 PLL 供电	-0.3	2.0
	VDD_FUSE	FUSE 供电	-0.3	2.0

7.2 推荐工作条件

对于 CPU 和 GPU 两个模块，支持不同电压-频率组合，以适应各种应用场景的需求，如表 7-2 和表 7-3 所示。除以下固定电压和频率的工作条件外，龙芯 2K3000 还支持 CPU 和 GPU 的 DVFS（动态调频调压），使能 DVFS 情况下系统可根据工作负载、温度和功耗墙等条件自动调整 CPU 和 GPU 的工作频率和电压。

表 7-2 CPU 工作条件

Min. (V)	Typ. (V)	Max. (V)	最高频率 (GHz)	最大电流 (A)
1.08	1.1	1.12	2.2	40
0.98	1.0	1.02	2.0	30
0.83	0.85	0.87	1.5	15
0.68	0.7	0.72	1.0	7

表 7-3 GPU 工作条件

Min. (V)	Typ. (V)	Max. (V)	最高频率 (MHz)	最大电流 (A)
1.08	1.1	1.12	800	9
0.98	1.0	1.02	750	7
0.83	0.85	0.87	600	4
0.68	0.7	0.72	450	2

表 7-4 芯片工作条件

电源域	电源名称	描述	Min. (V)	Typ. (V)	Max. (V)	最大电流	上电顺序
RTC	VDD_RTC	RTC 电源	2.7	3.0	3.5	10uA	1
ACPI	VDD_ACPI	ACPI 域数字电	0.75	0.8	0.88	1mA	4
	VDDE_ACPI_L	ACPI 域低压 IO 电源	1.72	1.8	1.98	1mA	2
	VDDE_ACPI_H	ACPI 域高压 IO 电源	2.97	3.3	3.63	2mA	3
RSM	VDD_RSM	RESUME 域数字电源(包括 USB 和 GMAC 控制器、USB2 PHY 数字电)	0.75	0.8	0.88	0.1A	7 ^a
	VDDE_USB3_L	USB3 PHY 低压电源	0.95	1.0	1.1	0.4A	
	VDDE_USB3_H	USB3 PHY 高压电源(含 USB2 1.8V 供电)	1.72	1.8	1.98	0.2A	5 ^a
	VDDE_USB2	USB2 PHY 电源	2.97	3.3	3.63	0.2A	6
	VDDE_RSM	RESUME 域 IO 电源	1.72	1.8	1.98	0.1A	5 ^a
NODE	VDD_NODE	NODE 电源(包括处理器核、互连网络和 scache)	参见表 7-2				8 ^a
GPU	VDD_GPU	GPU 核电源	参见表 7-3				
SOC	VDD_SOC	SOC 数字电源	0.75	1.1	1.15	2.5A	

	VDDE_SOC	SOC 域 IO 电源(含 SE PLL、FUSE 和 VTsens)	1.72	1.8	1.98	1A	9
	VDDE_MEM	DDR PHY IO 电源(DDR4 模式)	1.14	1.2	1.26	1A	8 ^a
		DDR PHY IO 电源(LPDDR4 模式)	1.06	1.1	1.17	TBD	
	VDD_MEM	DDR 数字电源	0.75	1.1	1.15	2A	
	VDDE_PCIE_L	PCIE PHY 低压供电	0.95	1.0	1.05	1.5A	
	VDDE_PCIE_H	PCIE PHY 高压供电(含 PRG IO 电)	1.72	1.8	1.98	0.5A	
	VDDE_DP_L	DP PHY 低压电源	0.95	1.0	1.05	0.3A	
	VDDE_DP_H	DP PHY 高压电源(含系统时钟 IO 和 PRG PLL)	1.72	1.8	1.98	0.2A	
	VDDE_HDMI_L	HDMI PHY 低压电源	0.75	0.8	0.88	0.1A	
	VDDE_HDMI_H	HDMI PHY 高压电源(含 HPD 和 I2C IO 电)	1.72	1.8	1.98	0.2A	
	VDD_PLL	内部 PLL 供电	1.72	1.8	1.98	0.3A	
	VDD_FUSE	FUSE 供电	1.72	1.8	1.98	0.2A	
GND	VSS_PLL	PLL 地	0	0	0	-	
	VSS_PCIE0	PCIE PHY0 地	0	0	0	-	
	VSS_PCIE1	PCIE PHY1 地	0	0	0	-	
	VSS	芯片地	0	0	0	-	

注 a：同序号内上电顺序可任意调整。

7.3 典型应用功耗

表 7-5 典型应用功耗

测试场景	功耗（单位/w）
场景 1：桌面系统下静置 内存：DDR4 PCIE：NVME 显示：HDMI 4K@60Hz GMAC：一路千兆网 USB：一路键盘、一路 USB3.0 盘, 1 路鼠标	5.5
场景 2：桌面系统下办公应用（动态打开文档、翻页、关闭等操作，遍历多种格式 word、excel、pdf 等） 内存：DDR4 PCIE：NVME 显示：HDMI 4K@60Hz GMAC：一路千兆网 USB：一路键盘、一路 USB3.0 盘, 1 路鼠标	10.9

场景 3: 桌面系统下网络视频播放 内存: DDR4 VPU: 4K H264 解码; PCIE: NVME 显示: HDMI 4K@60Hz GMAC: 一路千兆网 (在线视频) USB: 一路键盘、一路 USB3.0 盘, 1 路鼠标	10.4
场景 4: 系统最高功耗测试 (NODE 功耗墙为 20W) VPU: 4K HEVC 60FPS 解码 内存: DDR4 PCIE: NVME FIO × 2 路 显示: eDP 4K@60Hz + HDMI 4K@60Hz (双路点亮) GMAC: 一路千兆网 USB: 4 路 USB3.0 盘; 1 路键盘, 1 路鼠标	31
S3 状态	0.382
S4 状态	TBD
S5 状态 (RTC 域功耗)	12uW

注:

1. 以上数据为内部开发板在室温下测得 (带散热器、开启 CPU DVFS), 仅供参考。
2. 功耗数据均为稳定后多次测量进行平均后得出。
3. 芯片功耗与工作温度、工作负载和散热方案关系较大, 如需深度优化, 可与技术人员联系。

7.4 功耗与性能关系

表 7-6 列出了芯片在不同工作条件下的最大平均功耗。测试时保持壳温 70 度, 并对 CPU 和 GPU 同时运行大压力测试程序, 以模拟极端情况下的芯片功耗, 为板级散热设计提供参考。另外, 表 7-7 为 DVFS 使能之后不同功耗墙设置下的 CPU 性能损失。可见随着最大限制功耗的极大降低, CPU 性能并未成比例下降, 而只是略有降低。因此建议使用 DVFS 对性能和功耗进行动态平衡。

表 7-6 最大平均功耗

电压	CPU 频率	GPU 频率	最大平均功耗 (壳温 70 度)
1.1V	2.2GHz	800MHz	35W
1.0V	2.0GHz	750MHz	28W
0.85V	1.5GHz	600MHz	18W
0.7V	1.0GHz	450MHz	10W

注:

1. 外设: 2 个 NVME, 1 个 SATA, 4 个 U 盘, 2 个显示器 (DP+HDMI, 4K@30Hz), 1 路千兆网
2. 测试程序为 SPEC2000 189 测试项和 glmark2 terrain 测试项

表 7-7 DVFS 性能损失

最大限制功耗（壳温 70 度）	性能损失
30	2%
21	6.20%
17	9.40%
11	18.50%
8	24.60%

注：

1. 测试程序为 SPEC2006 REF

7.5 电源时序

7.5.1 使能 ACPI_EN

● 冷启动上电时序

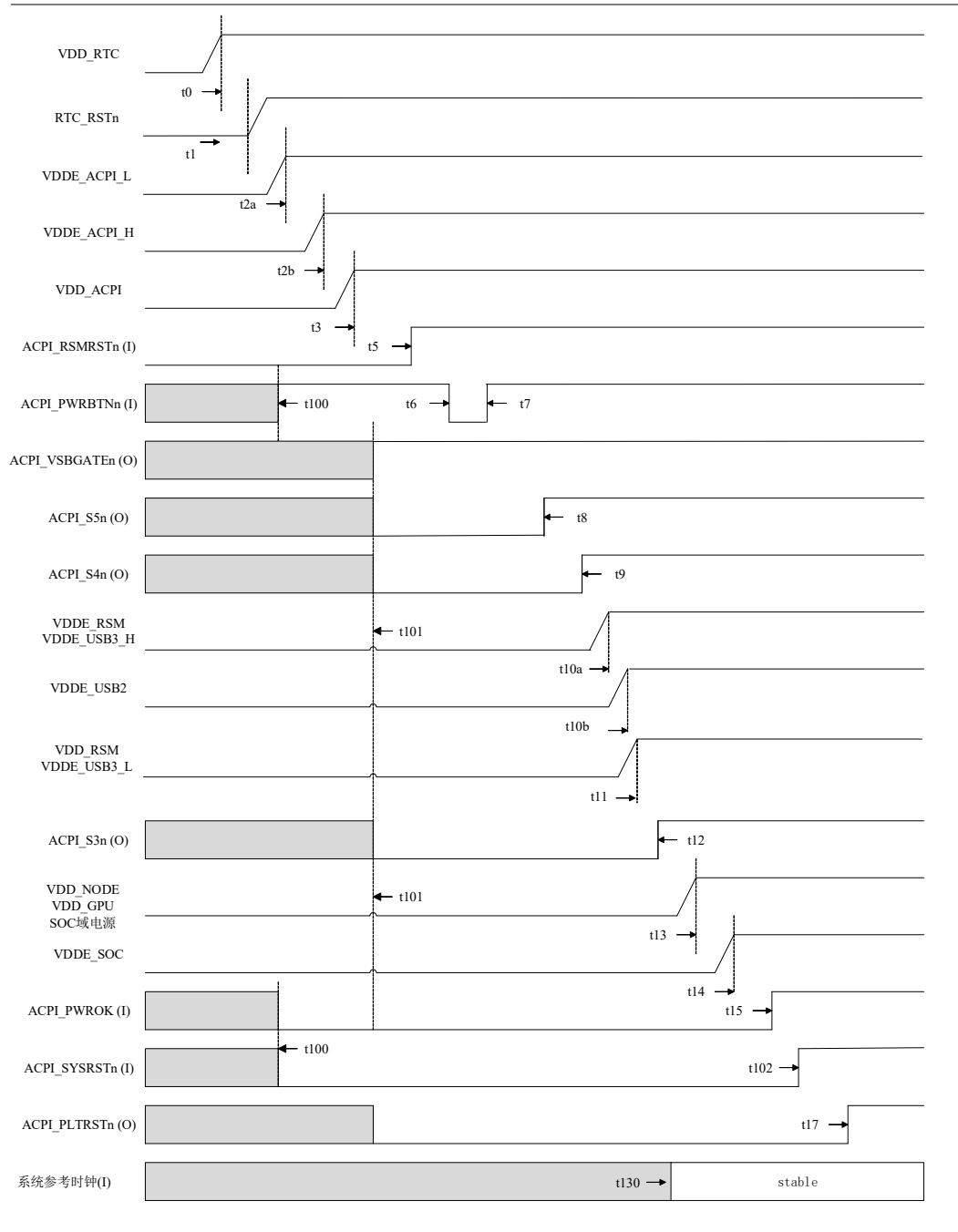


图 7-1 冷启动上电时序（RTC 掉电）

表 7-8 上电时序要求

标记符	参数	需求	说明
t0	VDD_RTC 电源稳定时刻		
t1	RTC_RSTn 解复位时刻	$t1 - t0 > 0$	在 RTC 电源稳定且 RTC 时钟稳定之后解复位
t2a	VDDE_ACPI_L 电源上电时刻		
t2b	VDDE_ACPI_H 电源上电时刻	$t2b - t2a > 0$	VDDE_ACPI_L 要先于 VDDE_ACPI_H 上电
t3	VDD_ACPI 电源上电时刻	$0 < t3 - t2b < 30ms$	VDD_ACPI 要晚于 VDDE_ACPI_H 上电, 但二者上电时间间隔需小于 30ms
t5	ACPI_RSMRSTn 解复位时刻	$t5 - t3 > 5ms$	ACPI_RSMRSTn 需要在 RTC 和 ACPI 域电源稳定且 RTC 时钟稳定之后解复位
t6	ACPI_PWRBTNn 按钮按下(信号变低)时刻	$t6 - t5 > 60\text{ us}$	ACPI_PWRBTNn 信号在 ACPI_RSMRSTn 解复位之后起作用
t7	ACPI_PWRBTNn 按钮释放(信号变高)时刻	$t7 - t6 > 20ms$	ACPI_PWRBTNn 有效需要保持低电平的时间大于 20ms
t8	ACPI_S5n 状态退出时刻	$t8 - t7 \approx 150us$	在 ACPI_PWRBTNn 退出之后, ACPI_S5n 状态才会退出
t9	ACPI_S4n 状态退出时刻	$t9 - t8 \approx 150us$	ACPI_S4n 在 ACPI_S5n 退出之后退出
t10a	VDDE_RSM 和 VDDE_USB3_H 供电稳定时刻		
t10b	VDDE_USB2 供电稳定时刻	$t10b - t10a > 10us$	
t11	VDD_RSM 和 VDDE_USB3_L 供电稳定时刻	$t11 - t10b > 10us$	VDD_RSM 要晚于 VDDE_RSM 供电
t12	ACPI_S3n 状态退出时刻	$t12 - t9 \approx 60us$	ACPI_S3n 在 ACPI_S4n 退出之后退出
t13	VDD_NODE、VDD_GPU 和 SOC 域电源 ^a 供电稳定时刻		
t14	VDDE_SOC 供电稳定时刻	$t14 - t13 > 10us$	
t15	ACPI_PWROK 信号有效时刻	$t15 - t14 > 0$	ACPI_PWROK 信号必须在所有电源稳定之后有效
t17	ACPI_PLTRSTn 解复位时刻	$t17 - t15 \approx 7.83ms$	ACPI_PLTRSTn 在 PWROK 之后退出
t100	ACPI_PWRBTNn/ PWROK/SYSRSTn ^b 信号确定时刻	$t5 - t100 > 60us$	ACPI_PWRBTNn/PWROK/SYSRSTn 输入信号需要在 ACPI_RSMRSTn 解复位之前设置成确定值
t101	ACPI_VSBGATEn/ACPI_S3n/S4n/S5n/ PLTRSTn 信号有效时刻	$t101 - t2b < 60us$	ACPI_VSBGATEn/ACPI_S3n/S4n/S5n/PLTRSTn 在 VDDE_ACPI 电源稳定之后 60us 内输出有效
t102	ACPI_SYSRSTn 信号撤销时刻	$t102 - t130 > 0$	ACPI_SYSRSTn 信号需在系统参考时钟稳定且 SOC 域电源和 VDDE_SOC 上电后才撤销
t130	系统参考时钟稳定时间 ^c	$t13 - t130 > 0$	系统参考时钟需在 SOC 域电源和 VDDE_SOC 上电前稳定

- 注：
- a. 包含 SOC 域电源域内除 VDDE_SOC 外的所有电源
 - b. 冷启动时，ACPI_SYSRSTn 信号不需要复位，系统自动进行复位。
 - c. 系统时钟可选择 SYSCLK 和 USB3_REFCLKP/N

热复位时序

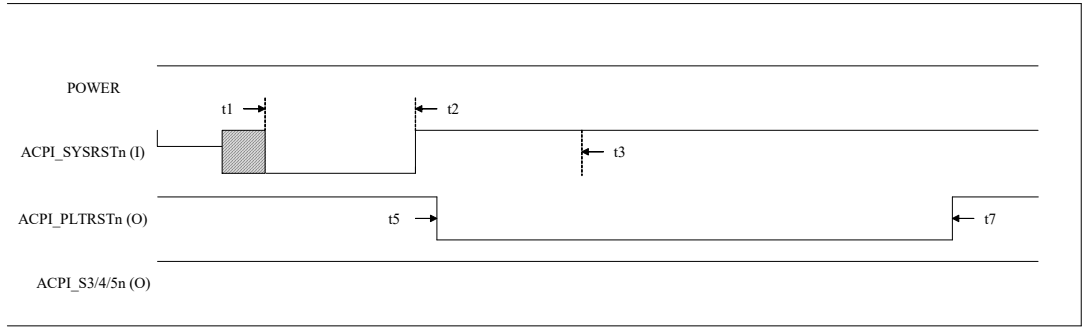


图 7-2 热复位时序图

注：POWER 包括所有的供电。

表 7-9 热复位时序约束

标记符	参数	需求	说明
t1	ACPI_SYSRSTn 变低的时刻		
t2	ACPI_SYSRSTn 变高的时刻	$t2 - t1 > 1ms$	ACPI_SYSRSTn 保持为低电平的时间需大于 1ms 才有效
t3	ACPI_SYSRSTn 保持为高的时间	$t3 - t2 > 16ms$	ACPI_SYSRSTn 变为高电平之后保持一段时间，系统才开始复位
t5	ACPI_PLTRSTn 变低的时刻	$t5 - t1 \approx 210us$	ACPI_PLTRSTn 在 ACPI_SYSRSTn 变低之后 210us 变低
t7	ACPI_PLTRSTn 变高的时刻	$t7 - t5 > 6ms$ $t7 - t3 \approx 7.8ms$	ACPI_PLTRSTn 保持复位的时间大于 6ms ACPI_PLTRSTn 在系统复位撤销 7.8ms 后变高

S0 到 S3 及 S3 到 S0 状态时序图

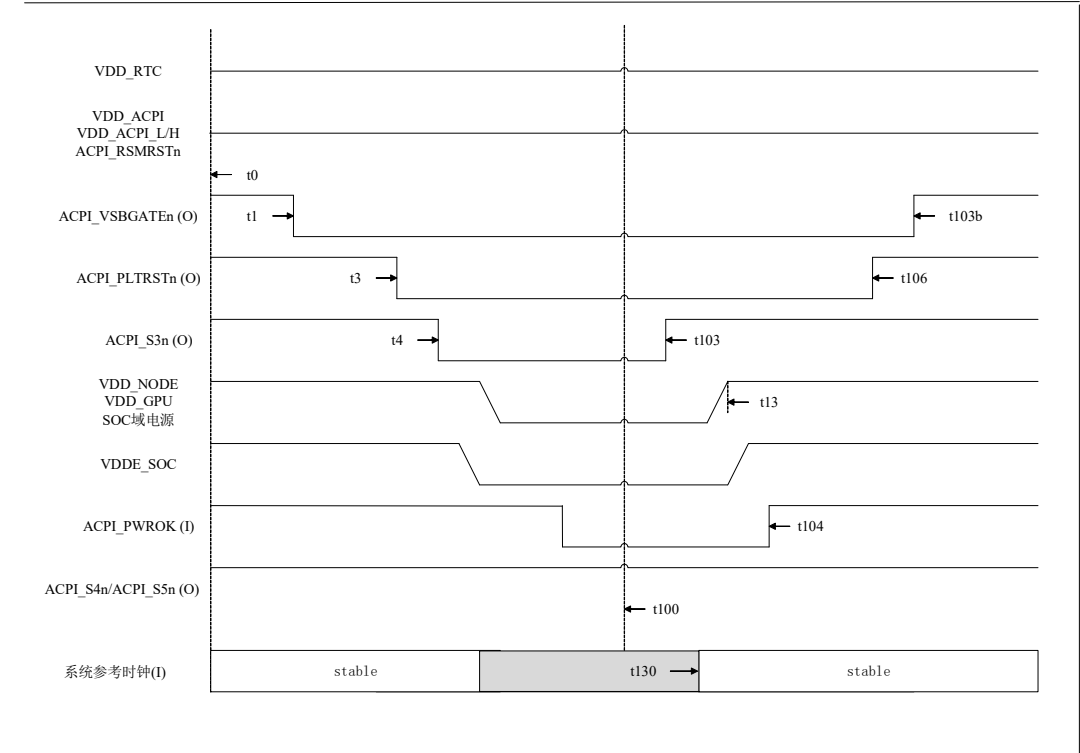


图 7-3 S0 到 S3 及 S3 到 S0 时序图

S0 到 S4/S5 及 S4/S5 到 S0 状态时序

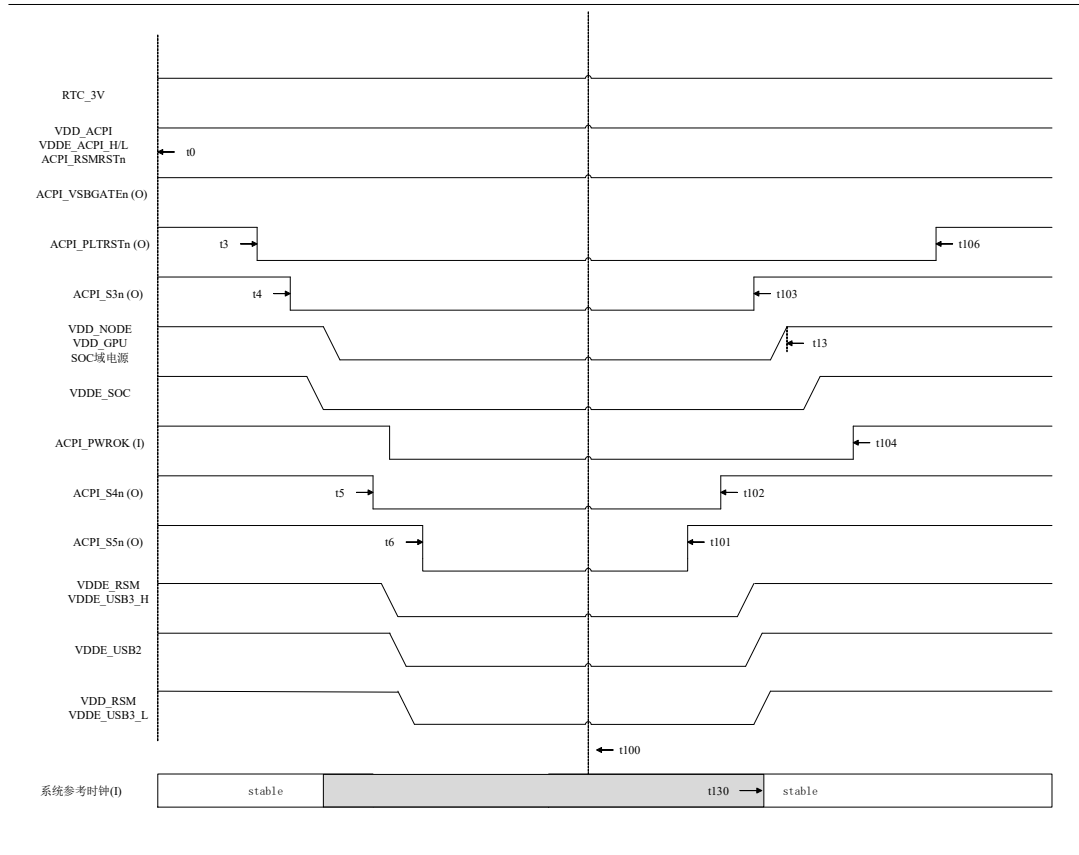


图 7-4 S0 到 S4/S5 及 S4/S5 到 S0 状态时序图

注（图 7-3、图 7-4）：

1. 表中未列出的 ACPI 相关信号（PWRBTNn/SYSRSTn 等）默认为高电平。
2. 唤醒事件包括：电源按钮、复位按钮、USB、GMAC 等。
3. 可以使用 ACPI_S3n 来控制 SOC 域的上电。
4. 可以使用 ACPI_VSBGATEn 来控制 dual 电的切换。
5. 仅在 S0 到 S5 及 S5 到 S0 时 ACPI_S5n 才会按上图变化，S0 到 S4 及 S4 到 S0 时 ACPI_S5n 保持高电平

表 7-10 S0 到 S3/S4/S5 及 S3/S4/S5 到 S0 状态时序约束

标记符	参数	需求	说明
t0	软件发起进入低功耗状态的时刻		
t1	ACPI_VSBGATEn 变低时刻	$t1 - t0 \approx 120\mu s$	ACPI_VSBGATEn 在发起低功耗状态 120us 变低
t3	ACPI_PLTRSTn 复位时刻	$t3 - t1 \approx T_{dndly}$	ACPI_PLTRSTn 在 ACPI_VSBGATEn 有效之后变低，这个时间间隔软件可配。可选的时间长度 (T_{dndly}) 有：31.25ms、62.5ms、125ms、250ms。

t4	ACPI_S3n 状态进入时刻	$t4 - t3 \approx 30\mu s$	ACPI_S3n 在 ACPI_PLTRSTn 复位之后进入
t5	ACPI_S4n 状态进入时刻	$t5 - t4 \approx 60\mu s$	ACPI_S4n 在 ACPI_S3n 进入之后进入
t6	ACPI_S5n 状态进入时刻	$t6 - t5 \approx 30\mu s$	ACPI_S5n 在 ACPI_S4n 进入之后进入
t100	低功耗状态退出唤醒时刻		
t101	ACPI_S5n 状态退出时刻	$t101 - t100 \approx 150\mu s$	S5n 在唤醒时刻 120us 退出
t102	ACPI_S4n 状态退出时刻	$t102 - t101 \approx 30\mu s$ $t102 - t5 > 0$	S4n 在 S5n 退出之后退出 S4n 保持为有效时间由软件配置决定
t103	ACPI_S3n 状态退出时刻	$t103 - t102 \approx 60\mu s$ $t103 - t4 > 0$	S3n 在 S4n 退出之后退出 S4n 保持为有效时间由软件配置决定
		$t103 - t100 \approx 360\mu s$	S3n 在唤醒事件后退出
t103b	ACPI_VSBGATEn 变高时刻	$t103b - t103 > Tupdly$	ACPI_VSBGATEn 在 S3n 退出一段时间之后变高，这个时间间隔软件可配。 可选的时间长度(Tupdly)有：125ms、250ms、500ms、1s。
t104	ACPI_PWROK 有效时刻		ACPI_PWROK 需要在所有电源稳定之后有效
t106	ACPI_PLTRSTn 解复位时刻	$t106 - t104 > 7.8ms$	ACPI_PLTRSTn 在 ACPI_PWROK 有效之后解复位
t130	系统参考时钟稳定时间 ^a	$t13 - t130 > 0$	系统参考时钟需在 SOC 域电源和 VDDE_SOC 上电前稳定

a. 系统时钟可选择 SYSCLK 和 USB3_REFCLKP/N

7.5.2 不使能 ACPI_EN

冷启动上电时序（不使能 ACPI）

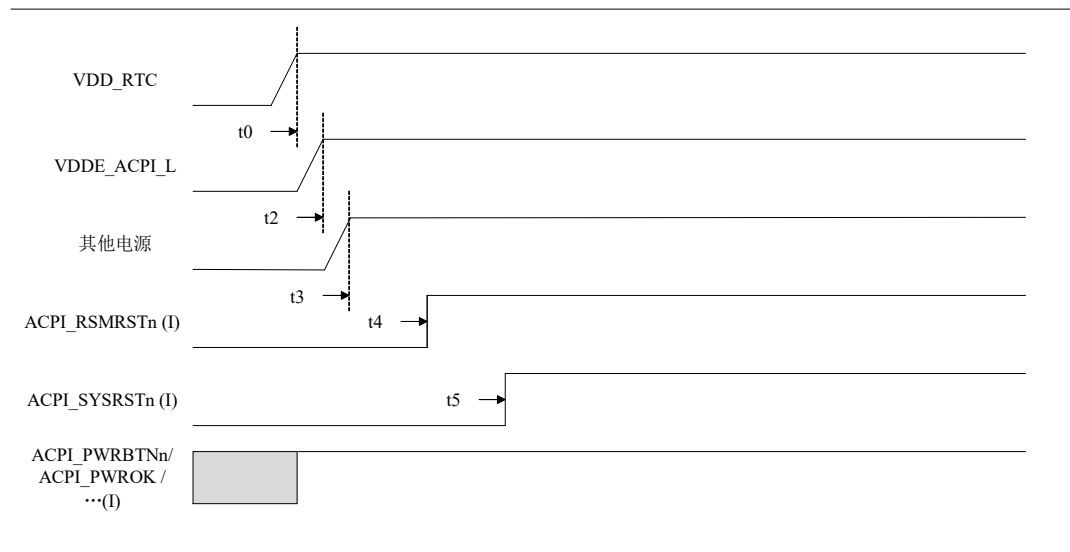


图 7-5 不使能 ACPI 功能时的冷启动上电时序（RTC 掉电）

注：

- 1. ACPI 相关的除电源复位信号外的其他输入信号拉高
- 2. 在 ACPI_EN 不使能的情况下，ACPI_SYSRSTn 信号没有去抖动功能，需主板提供去抖动电路。
- 3. RTC_RSTn 需在 RTC 电源稳定且 RTC 时钟稳定之后解复位

表 7-11 不使能 ACPI 功能时的上电时序要求

标记符	参数	需求	说明
t0	VDD_RTC 电源稳定时刻		
t2	VDDE_ACPI_L 电源上电时刻	$t2 - t0 \geq 0$	VDDE_ACPI_L 电源要先于其他电源供电
t3	其他电源稳定时刻	$t3 - t2 \geq 10\mu s$	除 VDDE_ACPI_L 之外的所有其他电源上电(需保证 VDDE_SOC 最后上电)
t4	ACPI_RSMRSTn 解复位时刻	$t4 - t3 > 5ms$	ACPI_RSMRSTn 需要在所有电源稳定以及 RTC 时钟稳定之后解复位
t5	ACPI_SYSRSTn 解复位时刻	$t5 - t4 > 5ms$	ACPI_SYSRSTn 需要在 ACPI_RSMRSTn 解复位且系统参考时钟稳定之后解复位

热复位时序（不使能 ACPI）

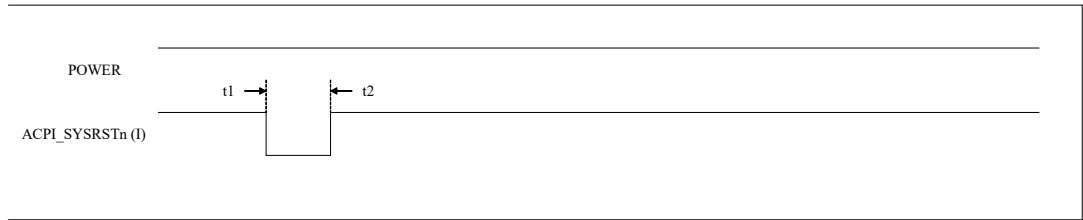


图 7-6 不使能 ACPI 功能时的热复位时序图

注：POWER 包括所有的供电。

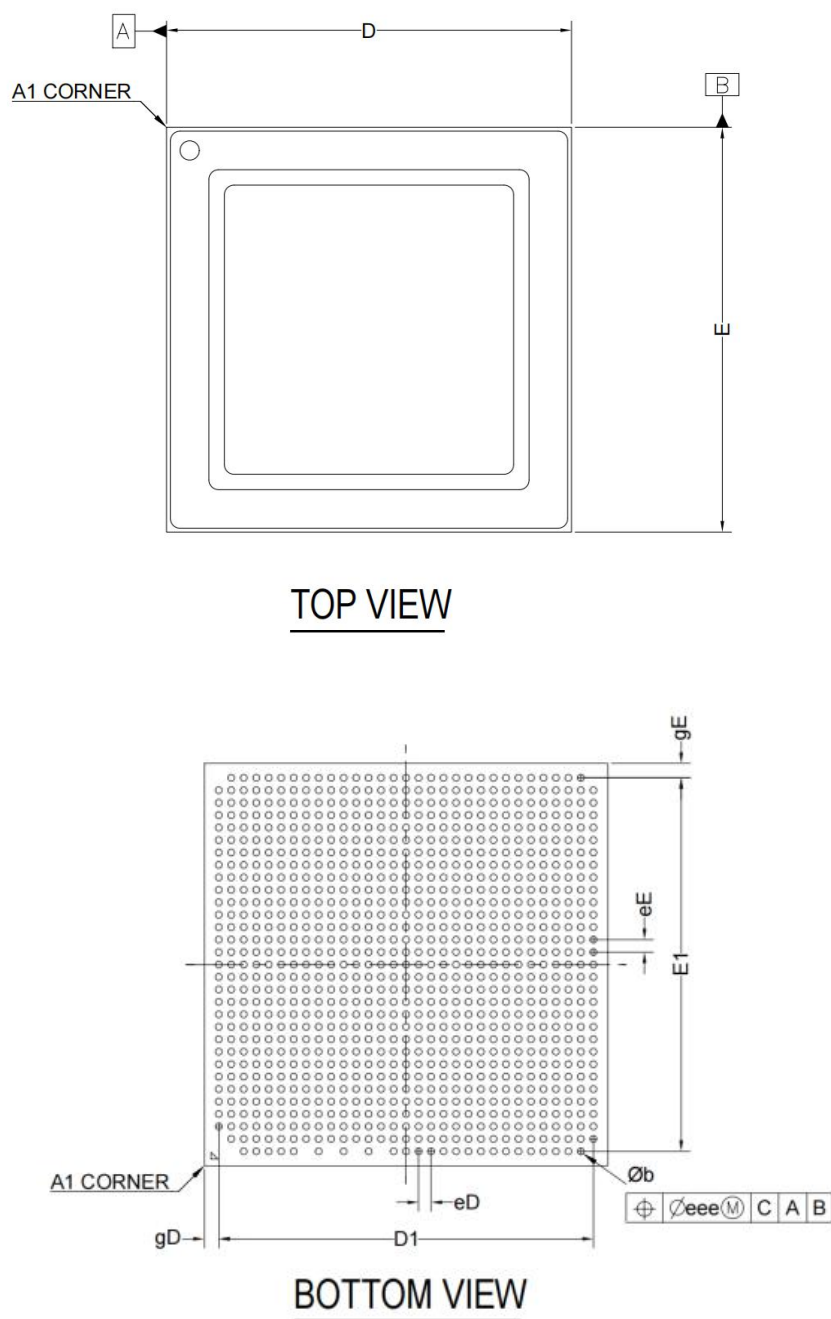
表 7-12 不使能 ACPI 功能时的热复位时序约束

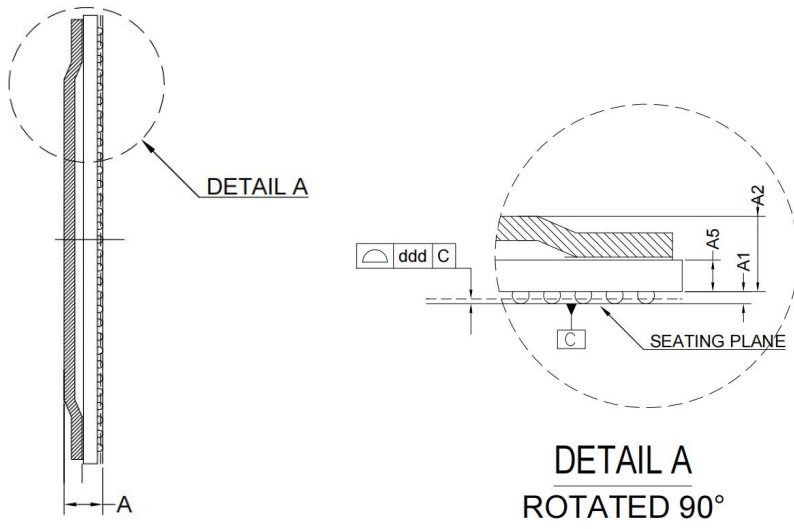
标记符	参数	需求	说明
t1	ACPI_SYSRSTn 变低时刻		
t2	ACPI_SYSRSTn 变高时刻	$t2 - t1 > 1ms$	ACPI_SYSRSTn 保持为低电平的时间需大于 1ms 才有效

8. 封装信息

8.1 封装尺寸和材料

采用 FC-BGA-951 封装形式（焊球材料 SAC305），封装尺寸为 21mm×21mm，外形尺寸（单位为毫米）见下图。





单位为毫米

尺寸符号	数值		
	最小	公称	最大
A	1.70	-	1.92
A1	0.20	-	0.30
A2	1.47	-	1.65
A5	0.58	-	0.72
D	20.85	-	21.15
D1	-	19.50	-
E	20.85	-	21.15
E1	-	19.50	-
eD	-	0.65	-
eE	-	0.65	-
Φb	0.30	-	0.40
gD	-	0.75	-
gE	-	0.75	-
ddd	-	-	0.15
eee	-	-	0.15

图 8-1 封装尺寸

8.2 信号位置分布

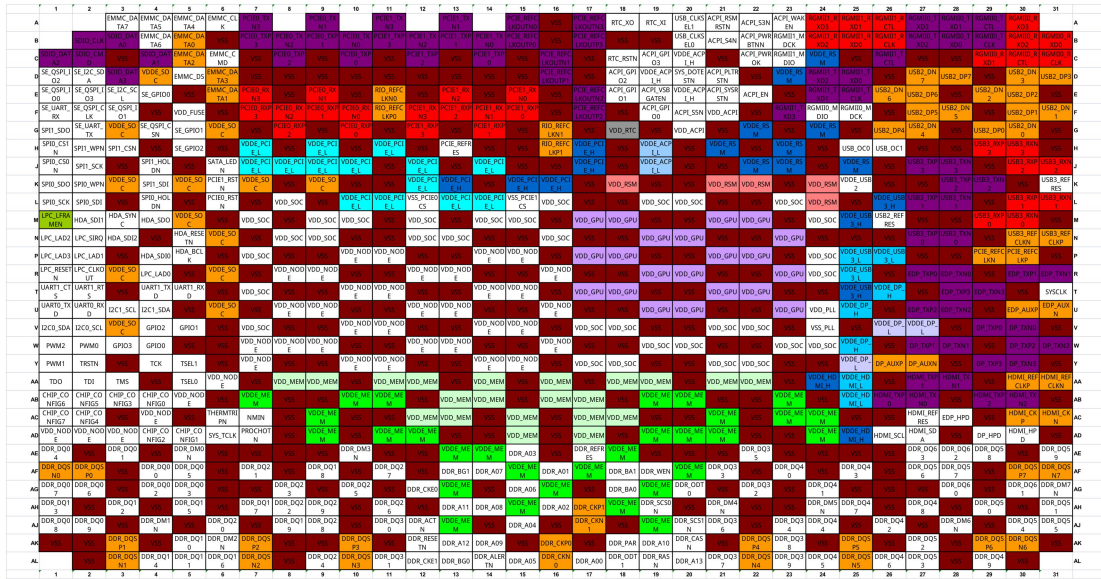


图 8-2 信号引脚分布总览（顶视图）

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
E22	ACPI_EN	B15	PCIE_REFCLKOUTP0	AB9	VSS
F19	ACPI_GPI00	D16	PCIE_REFCLKOUTP1	AC10	VSS
E18	ACPI_GPI01	F17	PCIE_REFCLKOUTP2	AC11	VSS
D18	ACPI_GPI02	B17	PCIE_REFCLKOUTP3	AC14	VSS
C19	ACPI_GPI03	P29	PCIE_REFCLKN	AC16	VSS
D21	ACPI_PLTRSTN	P30	PCIE_REFCLKP	AC19	VSS
B22	ACPI_PWRBTNN	T31	SYSClk	AC20	VSS
C22	ACPI_PWR0K	F25	RGMII0_MDCK	AC22	VSS
A21	ACPI_RSMRSTN	F24	RGMII0_MDIO	AC25	VSS
A22	ACPI_S3N	C31	RGMII0_RCLK	AC26	VSS
B21	ACPI_S4N	C30	RGMII0_RCTL	AC29	VSS
F20	ACPI_S5N	B31	RGMII0_RXD0	AC3	VSS
E21	ACPI_SYSRSTN	C29	RGMII0_RXD1	AC5	VSS
E19	ACPI_VSBGATEN	B30	RGMII0_RXD2	AC8	VSS
A23	ACPI_WAKEN	A30	RGMII0_RXD3	AD10	VSS
D20	SYS_DOTESTN	B29	RGMII0_TCLK	AD13	VSS
B20	USB_CLKSELO	A29	RGMII0_TCTL	AD14	VSS
A20	USB_CLKSEL1	B28	RGMII0_TXD0	AD16	VSS
AL17	DDR_A00	A28	RGMII0_TXD1	AD18	VSS
AF16	DDR_A01	B27	RGMII0_TXD2	AD22	VSS
AH16	DDR_A02	A27	RGMII0_TXD3	AD23	VSS
AE15	DDR_A03	B23	RGMII1_MDCK	AD28	VSS
AJ15	DDR_A04	C23	RGMII1_MDIO	AD31	VSS
AL15	DDR_A05	B26	RGMII1_RCLK	AD8	VSS

AG15	DDR_A06	A26	RGMI11_RCTL	AE11	VSS
AF14	DDR_A07	B25	RGMI11_RXD0	AE12	VSS
AH14	DDR_A08	A25	RGMI11_RXD1	AE16	VSS
AK14	DDR_A09	B24	RGMI11_RXD2	AE19	VSS
AK19	DDR_A10	A24	RGMI11_RXD3	AE2	VSS
AH13	DDR_A11	E25	RGMI11_TCLK	AE20	VSS
AK13	DDR_A12	C26	RGMI11_TCTL	AE21	VSS
AL20	DDR_A13	D25	RGMI11_TXD0	AE23	VSS
AJ12	DDR_ACTN	E24	RGMI11_TXD1	AE24	VSS
AL14	DDR_ALERTN	D24	RGMI11_TXD2	AE25	VSS
AG18	DDR_BA0	F23	RGMI11_TXD3	AE26	VSS
AF18	DDR_BA1	C18	RTC_RSTN	AE30	VSS
AL13	DDR_BG0	A19	RTC_XI	AE4	VSS
AF13	DDR_BG1	A18	RTC_X0	AE6	VSS
AK20	DDR_CASN	N30	USB3_REFCLKN	AE7	VSS
AG12	DDR_CKE0	N31	USB3_REFCLKP	AE8	VSS
AL12	DDR_CKE1	K31	USB3_REFRES	AE9	VSS
AL16	DDR_CKN0	M30	USB3_RXN0	AF10	VSS
AJ17	DDR_CKN1	L31	USB3_RXN1	AF12	VSS
AK16	DDR_CKP0	J31	USB3_RXN2	AF22	VSS
AH17	DDR_CKP1	H30	USB3_RXN3	AF24	VSS
AG20	DDR_ODT0	M29	USB3_RXP0	AF26	VSS
AL18	DDR_ODT1	L30	USB3_RXP1	AF29	VSS
AK18	DDR_PAR	J30	USB3_RXP2	AF3	VSS
AL19	DDR_RASN	H29	USB3_RXP3	AF6	VSS
AE17	DDR_REFRES	N28	USB3_TXN0	AF8	VSS
AK12	DDR_RESETN	L28	USB3_TXN1	AG11	VSS
AH19	DDR_SCS0N	K29	USB3_TXN2	AG14	VSS
AJ20	DDR_SCS1N	J28	USB3_TXN3	AG17	VSS
AF19	DDR_WEN	N27	USB3_TXP0	AG21	VSS
AE5	DDR_DM0N	L27	USB3_TXP1	AG23	VSS
AJ4	DDR_DM1N	K28	USB3_TXP2	AG25	VSS
AK6	DDR_DM2N	J27	USB3_TXP3	AG26	VSS
AE10	DDR_DM3N	G30	USB2_DN0	AG27	VSS
AH21	DDR_DM4N	F31	USB2_DN1	AG29	VSS
AH24	DDR_DM5N	E29	USB2_DN2	AG3	VSS
AJ28	DDR_DM6N	D30	USB2_DN3	AG6	VSS
AG31	DDR_DM7N	G27	USB2_DN4	AG7	VSS
AF4	DDR_DQ00	F28	USB2_DN5	AG9	VSS
AE3	DDR_DQ01	E26	USB2_DN6	AH10	VSS
AG4	DDR_DQ02	D27	USB2_DN7	AH12	VSS

AG5	DDR_DQ03	G29	USB2_DP0	AH2	VSS
AE1	DDR_DQ04	F30	USB2_DP1	AH20	VSS
AF5	DDR_DQ05	E30	USB2_DP2	AH22	VSS
AG2	DDR_DQ06	D31	USB2_DP3	AH23	VSS
AG1	DDR_DQ07	G26	USB2_DP4	AH26	VSS
AJ1	DDR_DQ08	F27	USB2_DP5	AH28	VSS
AJ2	DDR_DQ09	E27	USB2_DP6	AH30	VSS
AK5	DDR_DQ10	D28	USB2_DP7	AH4	VSS
AL5	DDR_DQ11	H25	USB_OC0	AH6	VSS
AH3	DDR_DQ12	H26	USB_OC1	AJ10	VSS
AH1	DDR_DQ13	M26	USB2_REFRES	AJ14	VSS
AL4	DDR_DQ14	U24	VDD_PLL	AJ16	VSS
AH5	DDR_DQ15	V24	VSS_PLL	AJ18	VSS
AL6	DDR_DQ16	F21	VDD_ACPI	AJ22	VSS
AH7	DDR_DQ17	G20	VDD_ACPI	AJ25	VSS
AF9	DDR_DQ18	M17	VDD_GPU	AJ27	VSS
AJ8	DDR_DQ19	M18	VDD_GPU	AJ29	VSS
AJ6	DDR_DQ20	M21	VDD_GPU	AJ3	VSS
AF7	DDR_DQ21	M22	VDD_GPU	AJ5	VSS
AH8	DDR_DQ22	N19	VDD_GPU	AJ7	VSS
AG8	DDR_DQ23	N20	VDD_GPU	AK1	VSS
AL9	DDR_DQ24	N23	VDD_GPU	AK11	VSS
AG10	DDR_DQ25	P17	VDD_GPU	AK15	VSS
AH11	DDR_DQ26	P18	VDD_GPU	AK17	VSS
AF11	DDR_DQ27	P21	VDD_GPU	AK2	VSS
AJ9	DDR_DQ28	P22	VDD_GPU	AK21	VSS
AH9	DDR_DQ29	R19	VDD_GPU	AK24	VSS
AJ11	DDR_DQ30	R20	VDD_GPU	AK26	VSS
AL11	DDR_DQ31	R23	VDD_GPU	AK28	VSS
AG22	DDR_DQ32	T17	VDD_GPU	AK31	VSS
AF21	DDR_DQ33	T18	VDD_GPU	AK4	VSS
AJ23	DDR_DQ34	T21	VDD_GPU	AK8	VSS
AE22	DDR_DQ35	T22	VDD_GPU	AK9	VSS
AJ21	DDR_DQ36	U19	VDD_GPU	AL2	VSS
AL21	DDR_DQ37	U20	VDD_GPU	AL28	VSS
AK23	DDR_DQ38	U23	VDD_GPU	AL30	VSS
AL23	DDR_DQ39	AA11	VDD_MEM	AL8	VSS
AF23	DDR_DQ40	AA12	VDD_MEM	B16	VSS
AG24	DDR_DQ41	AA14	VDD_MEM	B18	VSS
AJ26	DDR_DQ42	AA16	VDD_MEM	B19	VSS
AF25	DDR_DQ43	AA18	VDD_MEM	B6	VSS

AJ24	DDR_DQ44	AA19	VDD_MEM	C11	VSS
AL24	DDR_DQ45	AA21	VDD_MEM	C13	VSS
AL26	DDR_DQ46	AA22	VDD_MEM	C15	VSS
AH25	DDR_DQ47	AA8	VDD_MEM	C17	VSS
AH27	DDR_DQ48	AA9	VDD_MEM	C21	VSS
AL29	DDR_DQ49	AB13	VDD_MEM	C25	VSS
AH29	DDR_DQ50	AB14	VDD_MEM	C27	VSS
AH31	DDR_DQ51	AB16	VDD_MEM	C28	VSS
AK27	DDR_DQ52	AB17	VDD_MEM	C3	VSS
AL27	DDR_DQ53	AC12	VDD_MEM	C7	VSS
AJ30	DDR_DQ54	AC13	VDD_MEM	C9	VSS
AJ31	DDR_DQ55	AC15	VDD_MEM	D10	VSS
AF27	DDR_DQ56	AC17	VDD_MEM	D11	VSS
AF28	DDR_DQ57	AC18	VDD_MEM	D12	VSS
AE29	DDR_DQ58	AD15	VDD_MEM	D13	VSS
AE31	DDR_DQ59	AD17	VDD_MEM	D14	VSS
AG28	DDR_DQ60	AA6	VDD_NODE	D15	VSS
AG30	DDR_DQ61	AB5	VDD_NODE	D17	VSS
AE28	DDR_DQ62	AC4	VDD_NODE	D22	VSS
AE27	DDR_DQ63	AD1	VDD_NODE	D26	VSS
AF1	DDR_DQSN0	AD2	VDD_NODE	D29	VSS
AL3	DDR_DQSN1	AD3	VDD_NODE	D7	VSS
AL7	DDR_DQSN2	P10	VDD_NODE	D8	VSS
AL10	DDR_DQSN3	P11	VDD_NODE	D9	VSS
AL22	DDR_DQSN4	P14	VDD_NODE	E10	VSS
AL25	DDR_DQSN5	P15	VDD_NODE	E12	VSS
AK30	DDR_DQSN6	R12	VDD_NODE	E14	VSS
AF31	DDR_DQSN7	R13	VDD_NODE	E16	VSS
AF2	DDR_DQSP0	R16	VDD_NODE	E23	VSS
AK3	DDR_DQSP1	R8	VDD_NODE	E28	VSS
AK7	DDR_DQSP2	R9	VDD_NODE	E31	VSS
AK10	DDR_DQSP3	T10	VDD_NODE	E5	VSS
AK22	DDR_DQSP4	T11	VDD_NODE	E8	VSS
AK25	DDR_DQSP5	T14	VDD_NODE	F16	VSS
AK29	DDR_DQSP6	T15	VDD_NODE	F18	VSS
AF30	DDR_DQSP7	U12	VDD_NODE	F22	VSS
Y27	DP_AUXN	U13	VDD_NODE	F26	VSS
Y26	DP_AUXP	U16	VDD_NODE	F29	VSS
V30	DP_TXN0	U8	VDD_NODE	F4	VSS
W28	DP_TXN1	U9	VDD_NODE	F6	VSS
W31	DP_TXN2	V10	VDD_NODE	G11	VSS

Y30	DP_TXN3	V11	VDD_NODE	G13	VSS
V29	DP_TXP0	V14	VDD_NODE	G15	VSS
W27	DP_TXP1	V15	VDD_NODE	G17	VSS
W30	DP_TXP2	W12	VDD_NODE	G19	VSS
Y29	DP_TXP3	W13	VDD_NODE	G21	VSS
U31	EDP_AUXN	W16	VDD_NODE	G23	VSS
U30	EDP_AUXP	W7	VDD_NODE	G25	VSS
R28	EDP_TXN0	W8	VDD_NODE	G28	VSS
R31	EDP_TXN1	W9	VDD_NODE	G31	VSS
U28	EDP_TXN2	Y10	VDD_NODE	G7	VSS
T29	EDP_TXN3	Y11	VDD_NODE	G9	VSS
R27	EDP_TXP0	Y14	VDD_NODE	H10	VSS
R30	EDP_TXP1	Y15	VDD_NODE	H12	VSS
U27	EDP_TXP2	Y7	VDD_NODE	H14	VSS
T28	EDP_TXP3	K18	VDD_RSM	H18	VSS
AD29	DP_HPD	K21	VDD_RSM	H20	VSS
AC28	EDP_HPD	K22	VDD_RSM	H22	VSS
AC31	HDMI_CKN	K24	VDD_RSM	H24	VSS
AC30	HDMI_CKP	L24	VDD_RSM	H27	VSS
AD30	HDMI_HPD	G18	VDD_RTC	H28	VSS
AA31	HDMI_REFCLKN	L16	VDD_SOC	H31	VSS
AA30	HDMI_REFCLKP	L19	VDD_SOC	H4	VSS
AC27	HDMI_REFRES	L20	VDD_SOC	H6	VSS
AD26	HDMI_SCL	L23	VDD_SOC	H8	VSS
AD27	HDMI_SDA	L8	VDD_SOC	J11	VSS
AB27	HDMI_TXN0	M10	VDD_SOC	J15	VSS
AA28	HDMI_TXN1	M12	VDD_SOC	J16	VSS
AB30	HDMI_TXN2	M14	VDD_SOC	J18	VSS
AB26	HDMI_TXP0	M15	VDD_SOC	J20	VSS
AA27	HDMI_TXP1	M24	VDD_SOC	J21	VSS
AB29	HDMI_TXP2	M7	VDD_SOC	J24	VSS
A6	EMMC_CLK	M9	VDD_SOC	J26	VSS
C6	EMMC_CMD	N12	VDD_SOC	J29	VSS
B5	EMMC_DATA0	N13	VDD_SOC	J3	VSS
E6	EMMC_DATA1	N16	VDD_SOC	J5	VSS
C5	EMMC_DATA2	N8	VDD_SOC	K10	VSS
D6	EMMC_DATA3	N9	VDD_SOC	K11	VSS
A5	EMMC_DATA4	P24	VDD_SOC	K14	VSS
A4	EMMC_DATA5	P7	VDD_SOC	K17	VSS
B4	EMMC_DATA6	R24	VDD_SOC	K19	VSS
A3	EMMC_DATA7	T7	VDD_SOC	K20	VSS

D5	EMMC_DS	V17	VDD_SOC	K23	VSS
W4	GPI00	V18	VDD_SOC	K26	VSS
V5	GPI01	V21	VDD_SOC	K27	VSS
V4	GPI02	V22	VDD_SOC	K30	VSS
W3	GPI03	V7	VDD_SOC	K8	VSS
P5	HDA_BCLK	W19	VDD_SOC	L17	VSS
N5	HDA_RESETN	W20	VDD_SOC	L18	VSS
P4	HDA_SDIO	W23	VDD_SOC	L21	VSS
M2	HDA_SDIO1	W24	VDD_SOC	L22	VSS
N3	HDA_SDIO2	Y17	VDD_SOC	L25	VSS
M4	HDA_SDO	Y18	VDD_SOC	L29	VSS
M3	HDA_SYNC	Y21	VDD_SOC	L3	VSS
V2	I2CO_SCL	Y22	VDD_SOC	L5	VSS
V1	I2CO_SDA	C20	VDDE ACPI_H	L7	VSS
U3	I2C1_SCL	D19	VDDE ACPI_H	L9	VSS
U4	I2C1_SDA	E20	VDDE ACPI_H	M11	VSS
Y4	TCK	H19	VDDE ACPI_L	M13	VSS
AA2	TDI	J19	VDDE ACPI_L	M16	VSS
AA1	TDO	T26	VDDE_DP_H	M19	VSS
AA3	TMS	U25	VDDE_DP_H	M20	VSS
Y2	TRSTN	W25	VDDE_DP_H	M23	VSS
AA5	TSEL0	V26	VDDE_DP_L	M27	VSS
Y5	TSEL1	V27	VDDE_DP_L	M28	VSS
R2	LPC_CLKOUT	Y25	VDDE_DP_L	M31	VSS
R4	LPC_LAD0	AA24	VDDE_HDMI_H	M6	VSS
P2	LPC_LAD1	AD25	VDDE_HDMI_H	M8	VSS
N1	LPC_LAD2	AA25	VDDE_HDMI_L	N10	VSS
P1	LPC_LAD3	AB25	VDDE_HDMI_L	N11	VSS
M1	LPC_LFRAMEN	AB10	VDDE_MEM	N14	VSS
R1	LPC_RESETN	AB11	VDDE_MEM	N15	VSS
N2	LPC_SIRQ	AB19	VDDE_MEM	N17	VSS
W2	PWM0	AB20	VDDE_MEM	N18	VSS
Y1	PWM1	AB23	VDDE_MEM	N21	VSS
W1	PWM2	AB7	VDDE_MEM	N22	VSS
B2	SDIO_CLK	AC21	VDDE_MEM	N24	VSS
C2	SDIO_CMD	AC23	VDDE_MEM	N25	VSS
B3	SDIO_DATA0	AC24	VDDE_MEM	N26	VSS
C4	SDIO_DATA1	AC9	VDDE_MEM	N29	VSS
C1	SDIO_DATA2	AD11	VDDE_MEM	N4	VSS
D3	SDIO_DATA3	AD12	VDDE_MEM	N7	VSS
E4	SE_GPI00	AD19	VDDE_MEM	P12	VSS

G5	SE_GP101	AD20	VDDE_MEM	P13	VSS
H5	SE_GP102	AD21	VDDE_MEM	P16	VSS
F5	VDD_FUSE	AD24	VDDE_MEM	P19	VSS
E3	SE_I2C_SCL	AD9	VDDE_MEM	P20	VSS
D2	SE_I2C_SDA	AE13	VDDE_MEM	P23	VSS
F2	SE_QSPI_CLK	AE14	VDDE_MEM	P27	VSS
G4	SE_QSPI_CSN	AE18	VDDE_MEM	P28	VSS
E1	SE_QSPI_I00	AF15	VDDE_MEM	P3	VSS
F3	SE_QSPI_I01	AF17	VDDE_MEM	P31	VSS
D1	SE_QSPI_I02	AF20	VDDE_MEM	P6	VSS
E2	SE_QSPI_I03	AG13	VDDE_MEM	P8	VSS
F1	SE_UART_RX	AG16	VDDE_MEM	P9	VSS
G2	SE_UART_TX	AG19	VDDE_MEM	R10	VSS
J1	SPI0_CSON	AH15	VDDE_MEM	R11	VSS
H1	SPI0_CSIN	AH18	VDDE_MEM	R14	VSS
L4	SPI0_HOLDN	AJ13	VDDE_MEM	R15	VSS
L1	SPI0_SCK	AJ19	VDDE_MEM	R17	VSS
L2	SPI0_SDI	K13	VDDE_PCIE_H	R18	VSS
K1	SPI0_SDO	H17	VDDE_PCIE_H	R21	VSS
K2	SPI0_WPN	J17	VDDE_PCIE_H	R22	VSS
H3	SP11_CSN	K15	VDDE_PCIE_H	R26	VSS
J4	SP11_HOLDN	K16	VDDE_PCIE_H	R29	VSS
J2	SP11_SCK	K12	VDDE_PCIE_L	R5	VSS
K4	SP11_SDI	H11	VDDE_PCIE_L	R7	VSS
G1	SP11_SDO	H7	VDDE_PCIE_L	T12	VSS
H2	SP11_WPN	H9	VDDE_PCIE_L	T13	VSS
AB4	CHIP_CONFIG0	J10	VDDE_PCIE_L	T16	VSS
AD5	CHIP_CONFIG1	J12	VDDE_PCIE_L	T19	VSS
AD4	CHIP_CONFIG2	J14	VDDE_PCIE_L	T20	VSS
AB3	CHIP_CONFIG3	J7	VDDE_PCIE_L	T23	VSS
AC2	CHIP_CONFIG4	J8	VDDE_PCIE_L	T24	VSS
AB2	CHIP_CONFIG5	J9	VDDE_PCIE_L	T27	VSS
AB1	CHIP_CONFIG6	L10	VDDE_PCIE_L	T3	VSS
AC1	CHIP_CONFIG7	L11	VDDE_PCIE_L	T30	VSS
AC7	NMIN	L13	VDDE_PCIE_L	T6	VSS
L6	PCIE0_RSTN	L14	VDDE_PCIE_L	T8	VSS
K6	PCIE1_RSTN	C24	VDDE_RSM	T9	VSS
AD7	PROCHOTN	D23	VDDE_RSM	U10	VSS
J6	SATA_LEDN	G22	VDDE_RSM	U11	VSS
AD6	SYS_TCLK	G24	VDDE_RSM	U14	VSS
AC6	THERMTRIPN	H21	VDDE_RSM	U15	VSS

U2	UART0_RXD	H23	VDDE_RSM	U17	VSS
U1	UART0_TXD	J22	VDDE_RSM	U18	VSS
T1	UART1_CTS	J23	VDDE_RSM	U21	VSS
T2	UART1_RTS	J25	VDDE_RSM	U22	VSS
T5	UART1_RXD	D4	VDDE_SOC	U26	VSS
T4	UART1_TXD	G3	VDDE_SOC	U29	VSS
H13	PCIE_REFRES	G6	VDDE_SOC	U5	VSS
F10	PCIE0_RXN0	K3	VDDE_SOC	U7	VSS
E9	PCIE0_RXN1	K5	VDDE_SOC	V12	VSS
F8	PCIE0_RXN2	K7	VDDE_SOC	V13	VSS
E7	PCIE0_RXN3	K9	VDDE_SOC	V16	VSS
G10	PCIE0_RXP0	M5	VDDE_SOC	V19	VSS
F9	PCIE0_RXP1	N6	VDDE_SOC	V20	VSS
G8	PCIE0_RXP2	R3	VDDE_SOC	V23	VSS
F7	PCIE0_RXP3	R6	VDDE_SOC	V25	VSS
B10	PCIE0_TXN0	U6	VDDE_SOC	V28	VSS
A9	PCIE0_TXN1	V3	VDDE_SOC	V31	VSS
B8	PCIE0_TXN2	K25	VDDE_USB2	V6	VSS
A7	PCIE0_TXN3	L26	VDDE_USB3_H	V8	VSS
C10	PCIE0_TXP0	M25	VDDE_USB3_H	V9	VSS
B9	PCIE0_TXP1	T25	VDDE_USB3_H	W10	VSS
C8	PCIE0_TXP2	P25	VDDE_USB3_L	W11	VSS
B7	PCIE0_TXP3	P26	VDDE_USB3_L	W14	VSS
E15	PCIE1_RXN0	R25	VDDE_USB3_L	W15	VSS
F14	PCIE1_RXN1	H15	VSS	W17	VSS
E13	PCIE1_RXN2	J13	VSS	W18	VSS
F12	PCIE1_RXN3	A16	VSS	W21	VSS
F15	PCIE1_RXP0	AA10	VSS	W22	VSS
G14	PCIE1_RXP1	AA13	VSS	W26	VSS
F13	PCIE1_RXP2	AA15	VSS	W29	VSS
G12	PCIE1_RXP3	AA17	VSS	W5	VSS
B14	PCIE1_TXN0	AA20	VSS	W6	VSS
A13	PCIE1_TXN1	AA23	VSS	Y12	VSS
B12	PCIE1_TXN2	AA26	VSS	Y13	VSS
A11	PCIE1_TXN3	AA29	VSS	Y16	VSS
C14	PCIE1_TXP0	AA4	VSS	Y19	VSS
B13	PCIE1_TXP1	AA7	VSS	Y20	VSS
C12	PCIE1_TXP2	AB12	VSS	Y23	VSS
B11	PCIE1_TXP3	AB15	VSS	Y24	VSS
E11	RIO_REFCLKN0	AB18	VSS	Y28	VSS
G16	RIO_REFCLKN1	AB21	VSS	Y3	VSS

F11	RIO_REFCLKP0	AB22	VSS	Y31	VSS
H16	RIO_REFCLKP1	AB24	VSS	Y6	VSS
A15	PCIE_REFCLKOUTN0	AB28	VSS	Y8	VSS
C16	PCIE_REFCLKOUTN1	AB31	VSS	Y9	VSS
E17	PCIE_REFCLKOUTN2	AB6	VSS	L12	VSS_PCIE0CS
A17	PCIE_REFCLKOUTN3	AB8	VSS	L15	VSS_PCIE1CS

9. 产品标识

9.1 标识一（产品壳温范围-40~85℃）

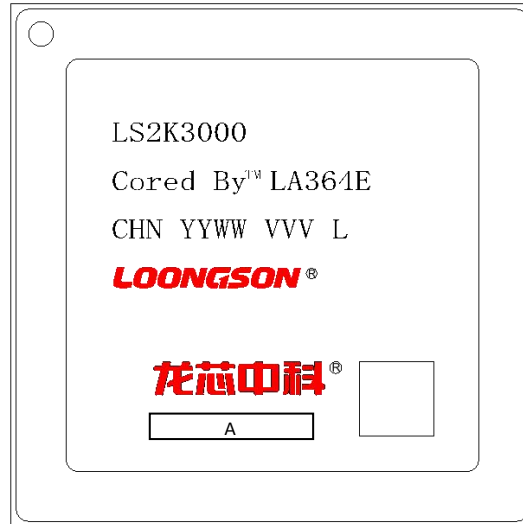


图 9-1 LS2K3000 器件标志图

每一器件应标志下列内容：

- a) ●：定位点；
- b) LS2K3000：器件识别号；
- c) Cored By™ LA364E：厂商信息一；
- d) CHN YYWW VVV：厂商信息二，YYWW 为生产批号（年周号），VVV 为芯片版本号；
- e) LOONGSON®：厂商信息三；
- f) 龙芯中科®：厂商信息四；
- g) A：厂商信息五；
- h) ：二维码（右下角）。

9.2 标识二（产品壳温范围-20~70℃）



每一器件应标志下列内容：

- i) ●：定位点；
- j) LS2K3000：器件识别号；
- k) Cored By™ LA364E：厂商信息一；
- l) CHN YYWW VVV L：厂商信息二，YYWW 为生产批号（年周号），VVV 为芯片版本号；L 为固定码；
- m) LOONGSON®：厂商信息三；
- n) 龙芯中科®：厂商信息四；
- o) A：厂商信息五；
- p) ：二维码（右下角）。

修订记录

版本号	更新内容
V1.0	发布版本

技术支持

可通过邮箱向我司提交芯片手册和产品使用的问题，并获取技术支持。

服务邮箱：service@loongson.cn

声明

本文档版权归龙芯中科技术股份有限公司所有，未经许可不得擅自实施传播等侵害版权人合法权益的行为。

本文档仅提供阶段性信息，可根据实际情况进行更新，恕不另行通知。如因文档使用不当造成的直接或间接损失，本公司不承担任何责任。

龙芯中科技术股份有限公司

Loongson Technology Corporation Limited

地址：北京市海淀区中关村环保科技示范园龙芯产业园 2 号楼

Building No.2, Loongson Industrial Park,

Zhongguancun Environmental Protection Park, Haidian District, Beijing

电话(Tel): 010-62546668

传真(Fax): 010-62600826