

LOONGSON

龙芯 2P0300 处理器

数据手册

V1.0

2026 年 08 月

龙芯中科技股份有限公司

自主决定命运, 创新成就未来

北京市海淀区温泉镇中关村环保科技示范园龙芯产业园2号楼 100095
Loongson Industrial Park, building 2, Zhongguancun environmental protection park
Haidian District, Beijing



www.loongson.cn

阅读指南

《龙芯 2P0300 处理器数据手册》主要介绍龙芯 2P0300 处理器接口结构，特性，电气规范，以及硬件设计指导。

目 录

1 概述.....	1
1.1 体系结构框图.....	2
1.2 芯片特性.....	2
1.2.1 主系统处理器核.....	2
1.2.2 打印/扫描系统处理器核.....	3
1.2.3 内存控制器.....	3
1.2.4 USB 控制器.....	3
1.2.5 GMAC 控制器.....	3
1.2.6 SPI 控制器.....	3
1.2.7 UART 控制器.....	3
1.2.8 I ² C.....	4
1.2.9 打印接口.....	4
1.2.10 扫描接口.....	4
1.2.11 AD 接口.....	4
1.2.12 PMIO 接口.....	5
1.2.13 PWM 接口.....	5
1.2.14 SDIO 接口.....	5
1.2.15 HPET.....	5
1.2.16 GPIO 接口.....	5
1.2.17 Watchdog.....	5
1.2.18 中断控制器.....	5
1.3 订购信息.....	6
1.4 文档约定.....	6
1.4.1 信号命名.....	6
1.4.2 信号类型.....	6
1.4.3 数值表示.....	6
1.4.4 寄存器域.....	6
2 引脚定义.....	7
2.1 DDR 接口.....	7
2.2 GMAC 接口.....	7
2.3 USB 接口.....	8
2.4 PRINTER 接口.....	8
2.5 SCANNER 接口.....	9
2.6 SPI 接口.....	9
2.7 UART 接口.....	10
2.8 I ² C 接口.....	10



2.9	SDIO/eMMC 接口.....	10
2.10	AD 接口.....	11
2.11	PMIO 接口.....	11
2.12	电源地.....	11
2.13	测试接口.....	12
2.14	JTAG 接口.....	12
2.15	系统相关信号.....	12
2.16	上电配置信号.....	12
2.17	外设功能引脚复用.....	13
3	功能描述.....	17
3.1	DDR 控制器.....	17
3.1.1	DDR 接口工作频率范围.....	17
3.1.2	DDR 控制器特性.....	17
3.2	USB.....	18
3.3	OTG.....	18
3.4	GMAC.....	18
3.5	PRINTER.....	19
3.6	SCANNER.....	19
3.7	SPI.....	19
3.8	UART.....	20
3.9	I ² C.....	21
3.10	SDIO.....	21
3.11	AD.....	21
3.12	PMIO.....	22
3.13	PWM.....	22
3.14	GPIO.....	22
3.15	HPET.....	22
3.16	功耗管理.....	22
4	初始化时序.....	23
4.1	冷启动上电时序.....	23
4.2	热复位时序.....	25
5	电气特性.....	26
5.1	电源.....	26
5.1.1	推荐工作条件.....	26
5.1.2	绝对最大额定值.....	26
5.1.3	功耗状态及优化.....	27
5.2	数字引脚电特性.....	27
5.2.1	单端参考时钟.....	27



5.2.2 数字 IO.....	28
5.3 RGMII 接口特性.....	29
5.3.1 RGMII 接口直流特性.....	29
5.3.2 RGMII 接口时序.....	30
5.4 USB 接口特性.....	30
5.5 SPI 接口特性.....	34
5.6 I ² C 接口特性.....	34
6 热特性.....	36
6.1 热参数.....	36
6.2 焊接温度.....	36
7 芯片引脚排列和封装.....	38
7.1 引脚顶层排列.....	38
7.2 封装尺寸.....	41
8 不使用引脚的处理.....	43
9 产品标识.....	44
修订记录.....	45



图目录

图 1.1	龙芯 2P0300 结构图.....	2
图 3.1	SPI0 主控制器接口时序.....	19
图 3.2	SPI0 Flash 标准读时序.....	19
图 3.3	SPI0 Flash 快速读时序.....	20
图 3.4	SPI Flash 双向 I/O 读时序.....	20
图 4.1	冷启动上电时序波形.....	23
图 4.2	热复位时序图.....	25
图 5.1	单端参考时钟波形.....	27
图 5.2	RGMI I 接口时序.....	30
图 5.3	I ² C 接口时序.....	35
图 6.1	焊接回流曲线.....	37
图 7.1	顶层引脚排布总览.....	38
图 7.2	封装外形图.....	41
图 9.1	产品标识图.....	44



表目录

表 1- 1 订购信息表.....	6
表 1- 2 信号类型描述表.....	6
表 2- 1 主系统功能引脚复用关系表.....	13
表 2- 2 打印系统功能引脚复用关系表.....	14
表 2- 3 扫描系统功能引脚复用关系表.....	15
表 4- 1 冷启动上电时序推荐要求.....	23
表 4- 2 热复位时序约束.....	25
表 5- 1 推荐的工作电源电压.....	26
表 5- 2 绝对最大额定值.....	26
表 5- 3 芯片功耗模式.....	27
表 5- 4 单端参考时钟电特性表.....	27
表 5- 5 数字 IO 电特性表.....	28
表 5- 6 RGMII 接口输出特性.....	29
表 5- 7 RGMII 接口输入特性.....	29
表 5- 8 RGMII 接口时序.....	30
表 5- 9 USB 直流电气特性.....	30
表 5- 10 USB 高速源电气特性.....	32
表 5- 11 USB 全速源电气特性.....	32
表 5- 12 USB 低速源电气特性.....	33
表 5- 13 SPI Flash 接口时序.....	34
表 5- 14 I ² C 接口时序.....	34
表 6- 1 热特性参数和推荐的最大值.....	36
表 6- 2 回流焊接温度分类表.....	36
表 7- 1 顶层引脚排列.....	39
表 7- 2 封装外形尺寸.....	42
表 8- 1 不使用引脚推荐处理表.....	43

1 概述

龙芯 2P0300 芯片是一款适用于单/多功能打印机主控 SOC 芯片，支持打印、扫描、复印、网络等常用政企办公需求，支持 A4 常用打印纸张幅面的图像处理。龙芯 2P0300 打印主控芯片是打印整机中核心控制部件，主要用于打印数据接收、解析和处理，打印引擎控制；扫描时序控制，扫描图像处理及马达控制等。

龙芯 2P0300 具有以下关键特性：

- 集成一个 64 位双发射 LA264 龙芯处理器核，L1 Cache (I/D) 32KB，L2 Cache 256KB，最高主频 1.25GHz
- 集成两个 32 位单发射 LA132 龙芯处理器核，最高主频 400MHz
- 集成 1 个 8 位 DDR3/4 控制器，支持 DDR3-800、DDR4-1600 速率
- 集成 1 个 10M/100M/1000M 自适应 GMAC，支持 RGMII/MII
- 集成 1 个 USB2.0 HOST 接口，1 个 OTG 接口
- 集成 3 个 SPI 控制器，1 路（SPI0）支持系统启动、QSPI 模式
- 集成 1 个打印控制器，支持 2 路 LSU 机芯控制
- 集成 1 个扫描控制器，支持 1 路 AFE/CIS 控制
- 集成 1 个 8 路 12 位 ADC 控制器
- 集成 2 路 I²C 控制器
- 集成 5 路 UART 控制器，其中 2 个四线串口，3 个两线串口
- 集成 2 个 SDIO/eMMC 控制器
- 集成 16 路 PWM 控制器
- 集成 3 组 PMIO 控制器
- 集成 109 路复用 GPIO
- 集成 HPET 高精度计数
- 集成看门狗电路
- 集成低功耗管理，支持待机、睡眠等低功耗模式
- 集成中断控制器，支持灵活的中断设置



1.1 体系结构框图

龙芯 2P0300 内部采用多级总线结构。一级交叉开关连接一个处理器核、一个二级 Cache 以及 IO 子网络（Cache 访问路径）。二级 Cache 及 IODMA、内存控制器、GMAC、USB、IMAGE、PRINT、SCAN 等设备共享系统互连网络。低速外设（PWM、I²C、UART 等）作为一个集合加在低速总线上。

龙芯 2P0300 芯片结构图如图 1-1 所示：

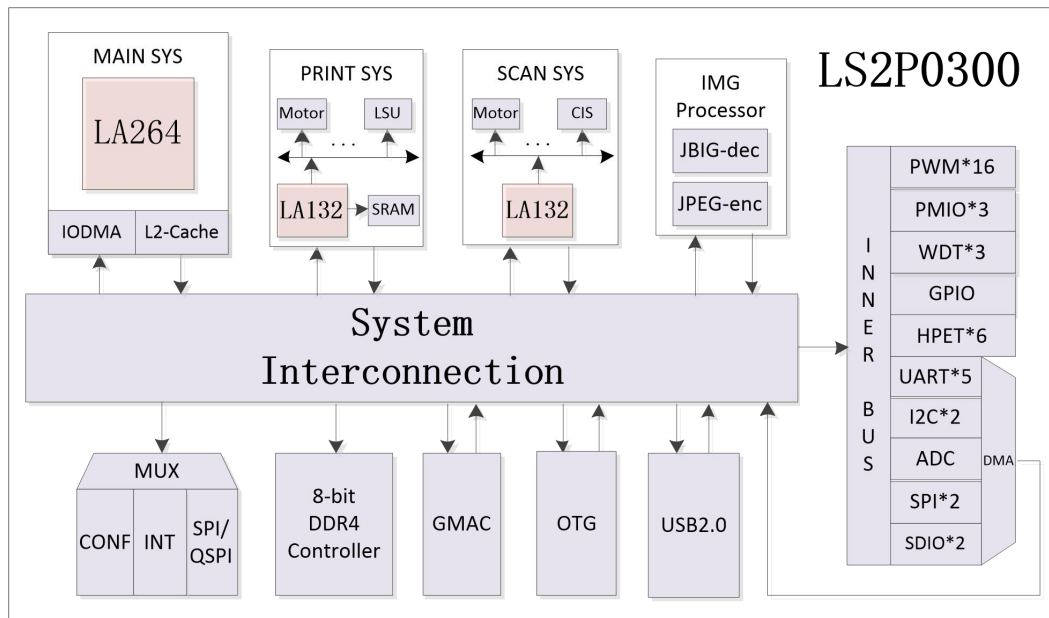


图 1.1 龙芯 2P0300 结构图

1.2 芯片特性

1.2.1 主系统处理器核

LA264，64 位双发射、乱序发射、乱序执行
LoongArch 自主指令集
32KB 指令 Cache+32KB 数据 Cache
256KB 二级 Cache，支持锁定
硬件维护 IO DMA 一致性
全流水的 64 位浮点加法和浮点乘法运算，硬件除法
支持 JTAG 调试



1.2.2 打印/扫描系统处理器核

LA132, 32 位单发射、顺序执行
LoongArch 自主指令集
4KB 指令 Cache+4KB 数据 Cache
支持 JTAG 调试

1.2.3 内存控制器

8 位数据线, 支持 DDR3-800、DDR4-1600
遵守 DDR3/4 行业标准
支持命令调度

1.2.4 USB 控制器

1 个独立的 USB2.0 端口, 1 个独立的 OTG 端口
兼容 USB1.1、USB2.0
内部 EHCI 控制和实现高速传输可达 480Mbps
内部 OHCI 控制和实现全速和低速传输 12Mbps 和 1.5Mbps

1.2.5 GMAC 控制器

1 路 10M/100M/1000Mbps 自适应以太网控制器
兼容 IEEE 802.3
对外部 PHY 实现 RGMII 和 MII 接口
半双工/全双工自适应

1.2.6 SPI 控制器

支持 3 路 SPI 接口
SPI0 支持系统启动、QSPI 模式
SPI1/2 支持主从设备模式
极性和相位可编程的串行时钟

1.2.7 UART 控制器

2 个四线 UART 和流控 TXD, RXD, CTS, RTS



- 最多 5 个两线 UART 接口
- 两路全双工异步数据接收/发送
- 可编程的数据格式
- 16 位可编程时钟计数器
- 支持接收超时检测
- 带仲裁的多中断系统

1.2.8 I²C

- 支持 2 路 I²C
- 履行双向同步串行协议
- 支持主从设备操作
- 能够支持多主设备的总线
- 总线的时钟频率可编程
- 可以产生开始/停止/应答等操作
- 能够对总线的状态进行探测
- 支持低速和快速模式
- 支持 7 位寻址
- 支持时钟延伸和等待状态

1.2.9 打印接口

- 支持 A4 及以下纸张尺寸
- 支持 2 路独立 LSU 机芯控制
- 支持 Laser Video (LVDS/TTL 双模式)

1.2.10 扫描接口

- 支持 1 路 AFE、CIS 接口控制
- 支持灰度、彩色扫描

1.2.11 AD 接口

- 8 路 12 位 AD 接口采样



1.2.12 PMIO 接口

支持 3 组 PMIO 控制器

1.2.13 PWM 接口

提供 16 路可配置 PWM 输出

数据宽度 32 位

定时器功能

脉冲捕获功能支持脉冲生成及捕获

1.2.14 SDIO 接口

2 路独立 SDIO 控制器（均可配置为 eMMC 模式）

1 路支持 SDIO 系统启动（SDIO0/eMMC0 支持启动）

1.2.15 HPET

6 个 32 位计数器

支持 1 个周期性中断

支持 2 个非周期性中断

1.2.16 GPIO 接口

109 位复用 GPIO 引脚

支持外部中断输入（支持电平/沿触发）

与其他接口复用，使用各个接口电压域

1.2.17 Watchdog

64 比特计数器及初始化寄存器

1.2.18 中断控制器

支持软件设置中断

支持电平与边沿触发

支持中断屏蔽与使能

支持多种中断分发模式



1.3 订购信息

表 1- 1 订购信息表

芯片型号	封装	工作温度	湿敏等级
LS2P0300	塑封 WB-BGA288	-10℃~70℃ (Tc)	MSL3

1.4 文档约定

1.4.1 信号命名

信号名的选取以方便记忆和明确标识功能为原则。低有效信号以 N/n 结尾，高有效信号则不带 N/n。如无特别说明，信号引脚均位于 SOC 域。

1.4.2 信号类型

表 1- 2 信号类型描述表

代码	描述
A	模拟
DIFF I/O	双向差分
DIFF IN	差分输入
DIFF OUT	差分输出
I	输入
I/O	双向
O	输出
OD	开漏输出
P	电源
G	地

1.4.3 数值表示

16 进制数表示为 'hxxx'，2 进制数表示为 'bxx'，其它数字为 10 进制。

功能相同但标号有别的引脚（如 DDR_DQ0，DDR_DQ1，...）使用方括号加数字范围的形式简写（如 DDR_DQ[31:0]）。类似地，寄存器域也采用这种表示方式。

1.4.4 寄存器域

寄存器域以 [寄存器名].[域名] 的形式加以引用。如 chip_config0.uart_split 指芯片配置寄存器 0（chip_config0）的 uart_split 域。



2 引脚定义

2.1 DDR 接口

信号名称	类型	复位状态	描述	电源	内部上下拉	驱动大小
DDR_DQ[7:0]	I/O	' hx	DDR3/4 SDRAM 数据总线信号	VDDR_1V21V5	-	8mA
DDR_DQSP DDR_DQSN	DIFF I/O	' hx	DDR3/4 SDRAM 数据选通	VDDR_1V21V5	-	8mA
DDR_DQM	0	' hx	DDR3/4 SDRAM 数据屏蔽	VDDR_1V21V5	-	8mA
DDR_A[13:0]	0	' hx	DDR3/4 SDRAM 地址总线信号	VDDR_1V21V5	-	8mA
DDR_BA[1:0]	0	' hx	DDR3/4 SDRAM 逻辑 Bank 地址信号	VDDR_1V21V5	-	8mA
DDR_BG[1:0]	0	' hx	DDR4 SDRAM 逻辑 BankGroup 地址信号, DDR3 SDRAM 地址 A14(对应 BG[1])、逻辑 Bank[2]信号(对应 BG[0])	VDDR_1V21V5	-	8mA
DDR_WEN	0	' hx	DDR3/4 SDRAM 写使能信号	VDDR_1V21V5	-	8mA
DDR_CASN	0	' hx	DDR3/4 SDRAM 列地址选择信号	VDDR_1V21V5	-	8mA
DDR_RASN	0	' hx	DDR3/4 SDRAM 行地址选择信号	VDDR_1V21V5	-	8mA
DDR_ACTN	0	' hx	DDR4 SDRAM 行激活信号, DDR3 SDRAM 地址 A15 信号	VDDR_1V21V5	-	8mA
DDR_SCSN	0	' hx	DDR3/4 SDRAM 片选信号	VDDR_1V21V5	-	8mA
DDR_CKE	0	' hx	DDR3/4 SDRAM 时钟使能信号	VDDR_1V21V5	-	8mA
DDR_CKP DDR_CKN	DIFF OUT	' hx	DDR3/4 SDRAM 差分时钟输出信号	VDDR_1V21V5	-	8mA
DDR_ODT	0	' hx	DDR3/4 SDRAM ODT 信号	VDDR_1V21V5	-	8mA
DDR_REXT	0	' hx	DDR3/4 外部参考电阻, 通过 240ohm/1%电阻连至地	VDDR_1V21V5	-	8mA
DDR_RESETN	0	' hx	DDR3/4 SDRAM 复位控制信号	VDDR_1V21V5	-	8mA

2.2 GMAC 接口

信号名称	类型	复位状态	描述	电源	内部上下拉	驱动大小
GMAC_TX_CLK_0	0	' h0	RGMII 发送时钟输出	VIO_3V3	-	2-12mA
GMAC_TX_CLK_I	I	-	RGMII 发送时钟输入 (125MHz 备选时钟, 可不接)	VIO_3V3	-	-
GMA0_TX_CTL	0	' h0	RGMII 发送控制	VIO_3V3	-	2-12mA
GMACO_TXD[3:0]	0	' h0	RGMII 发送数据	VIO_3V3	-	2-12mA
GMAC_RX_CLK_I	I	-	RGMII 接收时钟	VIO_3V3	-	-
GMAC_RX_CTL	I	-	RGMII 接收控制	VIO_3V3	-	-



GMAC_RXD[3:0]	I	-	RGMI 接收数据	VIO_3V3	-	-
GMAC_MDCK	0	' h0	SMA 接口时钟，外部需上拉处理	VIO_3V3	-	2-12mA
GMAC_MDIO	I/O	' hx	SMA 接口数据，外部需上拉处理	VIO_3V3	-	2-12mA

2P0300 通过相应模式配置可以实现 RGMII、MII 两种接口，其中两种接口定义差异如下：

信号名称	RGMII 接口模式	II 接口模式
GMAC_TX_CTL	GMAC_TX_CTL	GMAC_TX_EN
GMAC_RX_CTL	GMAC_RX_CTL	GMAC_RX_DV
GMAC_TX_CLK_O	GMAC_TX_CLK_O(输出)	GMAC_RX_ER(输入)
-	-	GMAC_COL(新增引脚，由其他引脚复用)
-	-	GMAC_CRS(新增引脚，由其他引脚复用)

2.3 USB 接口

信号名称	类型	复位状态	描述	电源	内部上下拉
USB_REFCLK	I	-	24MHz 参考时钟(晶振单端时钟输入)	VUSB_A3V3	-
USB_DP	I/O	' h0	USB D+, 内部集成下拉电阻(15k Ω), 外部可不作处理	VUSB_A3V3	-
USB_DM	I/O	' h0	USB D-, 内部集成下拉电阻(15k Ω), 外部可不作处理	VUSB_A3V3	-
USB_OVRCUR	I	-	USB 过流检测, 需注意该信号为高有效	VUSB_A3V3	-
OTG_DP	I/O	' h0	OTG D+, 内部集成下拉电阻(15k Ω), 外部可不作处理	VUSB_A3V3	-
OTG_DM	I/O	' h0	OTG D-, 内部集成下拉电阻(15k Ω), 外部可不作处理	VUSB_A3V3	-
OTG_DRVBUS	0	' h0	OTG_VBUS 电源使能控制信号输出	VUSB_A3V3	-
OTG_ID	I	-	OTG ID 输入, 低电平表示 Host, 高电平表示 Device	VUSB_A3V3	-
OTG_VBUS	A	-	OTG VBUS 5V 输入	OTG_VBUS	-

2.4 PRINTER 接口

信号名称	类型	复位状态	描述	电源	内部上下拉	驱动大小
PRT_VIDOUT[3:0]	O	'hx	打印机机芯数据输出信号, 支持 LVDS、TTL 两种电平信号模式	VIO_3V3	-	8mA (TTL)

TTL 电平输出模式(软件配置关闭对应引脚 LVDS 输出模式)：

打印数据通道	打印数字输出引脚	TTL 电平对应输出
打印数据通道 0	PRT_VIDOUT[0]	PRT_VIDOUT0
打印数据通道 1	PRT_VIDOUT[1]	PRT_VIDOUT1
打印数据通道 2	PRT_VIDOUT[2]	



打印数据通道 3	PRT_VIDOUT[3]	
----------	---------------	--

LVDS 电平输出模式（软件配置使能对应引脚 LVDS 输出模式）：

打印数据通道	打印输出引脚	LVDS 电平对应输出
打印数据通道 0	PRT_VIDOUT[0]	PRT_VIDOUT0_DP
	PRT_VIDOUT[1]	PRT_VIDOUT0_DN
打印数据通道 1	PRT_VIDOUT[2]	PRT_VIDOUT1_DP
	PRT_VIDOUT[3]	PRT_VIDOUT1_DN

2.5 SCANNER 接口

信号名称	类型	复位状态	描述	电源	内部上下拉	驱动大小
SCA_AFECLK	O	'h0	扫描 AFE 时钟输出信号	VIO_3V3	-	8mA
SCA_PLS	O	'h0	扫描 AFE PLS 脉冲输出信号	VIO_3V3	-	8mA
SCA_AFED[7:0]	I	-	扫描 AFE 输入数据信号	VIO_3V3	-	-
SCA_CISCLK[2:0]	O	'h0	扫描 CIS 时钟输出信号	VIO_3V3	-	8mA
SCA_CISPLS	O	'h0	扫描 CISPLS 脉冲输出信号	VIO_3V3	-	8mA
SCA_CISPWM	O	'h0	扫描 CISPWM 脉冲输出信号	VIO_3V3	-	8mA

2.6 SPI 接口

信号名称	类型	复位状态	描述	电源	内部上下拉	驱动大小
SPI_CLK	O	'h0	主系统 SPI0 时钟输出	VSPI_3V31V8	-	2-12mA
SPI_CSN	O	'hx	主系统 SPI0 片选，外部需上拉处理	VSPI_3V31V8	-	2-12mA
SPI_MOSI	O	'hx	主系统 SPI0 数据输出	VSPI_3V31V8	上拉 ¹	2-12mA
SPI_MISO	I	-	主系统 SPI0 数据输入	VSPI_3V31V8	上拉 ¹	-
SPI_CEXT	O	-	主系统 SPI0 外接 1uF 电容到地（接口引脚补偿电容）	VSPI_3V31V8	-	-
SCA_SPI_CLK	O	'h0	扫描系统 SPI 时钟输出	VIO_3V3	-	2-12mA
SCA_SPI_CSN	O	'hx	扫描系统 SPI 片选，外部需上拉处理	VIO_3V3	-	2-12mA
SCA_SPI_MOSI	O	'hx	扫描系统 SPI 数据输出	VIO_3V3	上拉 ¹	2-12mA
SCA_SPI_MISO	I	-	扫描系统 SPI 数据输入	VIO_3V3	上拉 ¹	-

注¹：内部典型 50k 欧姆上拉。

主系统 SPI0 支持 QSPI 模式，不同模式接口信号对应关系如下：

信号名称	SPI 接口模式	QSPI 接口模式
SPI_CLK	主系统 SPI0 时钟	主系统 QSPI 时钟
SPI_CSN	主系统 SPI0 片选 0	主系统 QSPI 片选 0
SPI_MOSI	主系统 SPI0 数据输出	主系统 QSPI 数据 0
SPI_MISO	主系统 SPI0 数据输入	主系统 QSPI 数据 1
SPI_CS[1]	主系统 SPI0 片选 1	-
SPI_CS[2]	主系统 SPI0 写保护 WPN	主系统 QSPI 数据 2



SPI_CS[3]	主系统 SPI0 HOLDN	主系统 QSPI 数据 3
-----------	----------------	---------------

注：主系统 SPI 不支持 QSPI 模式系统启动。

2.7 UART 接口

信号名称	类型	复位状态	描述	电源	内部上下拉	驱动大小
UART_TXD	O	'h1	主系统串口 0 数据输出	VIO_3V3	-	2-12mA
UART_RXD	I	-	主系统串口 0 数据输入	VIO_3V3	-	-
PRT_UART_TXD	O	'h1	打印系统串口数据输出	VIO_3V3	-	2-12mA
PRT_UART_RXD	I	-	打印系统串口数据输入	VIO_3V3	-	-
SCA_UART_TXD	O	'h1	扫描系统串口数据输出	VIO_3V3	-	2-12mA
SCA_UART_RXD	I	-	扫描系统串口数据输入	VIO_3V3	-	-

2P0300 通过引脚复用配置主系统可以实现两个独立的四线串口（UART0/1），两个四线串口通过设置可以工作在 1x4 和 2x2 模式，各种模式的管脚对应关系如下。

1x4	2x2
TXD0 (O)	TXD0 (O)
RTS0 (O)	TXD1 (O)
RXD0 (I)	RXD0 (I)
CTS0 (I)	RXD1 (I)
TXD1 (O)	TXD1 (O)
RTS1 (O)	TXD0 (O)
RXD1 (I)	RXD1 (I)
CTS1 (I)	RXD0 (I)

2.8 I²C 接口

信号名称	类型	复位状态	描述	电源	内部上下拉	驱动大小
I2C_SCL	O	'hx	主系统 I ² C 时钟，外部需上拉处理	VIO_3V3	-	2-12mA
I2C_SDA	I/O	'hx	主系统 I ² C 数据，外部需上拉处理	VIO_3V3	-	2-12mA
PRT_I2C_SCL	O	'hx	打印系统 I ² C 时钟，外部需上拉处理	VIO_3V3	-	2-12mA
PRT_I2C_SDA	I/O	'hx	打印系统 I ² C 数据，外部需上拉处理	VIO_3V3	-	2-12mA

2.9 SDIO/eMMC 接口

信号名称	类型	复位状态	描述	电源	内部上下拉	驱动大小
------	----	------	----	----	-------	------



SDIO[1:0]_CLK	0	'h0	SDIO0~1 时钟输出	VSDIO0_3V31V8 (SDIO0) VIO_3V3 (SDIO1)	-	2-12mA
SDIO[1:0]_CMD	I/O	'hx	SDIO0~1 命令输入输出，外部需上拉处理	VSDIO0_3V31V8 (SDIO0) VIO_3V3 (SDIO1)	上拉 ²	2-12mA
SDIO[1:0]_DATA[3:0]	I/O	'hx	SDIO0~1 数据信号 0~3，外部需上拉处理	VSDIO0_3V31V8 (SDIO0) VIO_3V3 (SDIO1)	上拉 ²	2-12mA
SDIO0_DATA[7:4]	I/O	'hx	SDIO0 数据信号 4~7，外部需上拉处理	VSDIO1_3V31V8 (SDIO0) VIO_3V3 (SDIO1)	上拉 ²	2-12mA
SDIO0_CEXT1/2	0	-	SDIO 通道 0 外接 1uF 电容到地（接口引脚补偿电容）	VSDIO0_3V3/1V8 (SDIO0)	-	-

注²：内部典型 50k 欧姆上拉。

2.10 AD 接口

信号名称	类型	复位状态	描述	电源	内部上下拉
ADC_IN[7:0]	AI	-	8 路 AD 模拟输入信号，支持电压范围：0~1.8V	VADC_A1V8	-

2.11 PMIO 接口

信号名称	类型	复位状态	描述	电源	内部上下拉	驱动大小
PRT_PM0IO[23:0]	I/O	'hx	打印系统 PMIO24 位信号输入输出	VIO_3V3	-	2-12mA
SCA_PM1IO[7:0]	I/O	'hx	扫描系统 PMIO8 位信号输入输出	VIO_3V3	-	2-12mA
SYS_PMIO[11:0]	I/O	'hx	主系统 PMIO12 位信号输入输出	VIO_3V3 (SYS_PMIO0~9) VSPI_3V31V8 (SYS_PMIO10/11)	-	2-12mA

2.12 电源地

信号名称	类型	描述	电压
VDD_CORE	P	CORE 域供电电源	1.05V
VDDR_1V21V5	P	DDR3/4 IO 电压域 1.2V/1.5V 供电电源	1.2V/1.5V
DDR_VREF	P	DDR3/4 参考电压，标称值为 DDR3/4 IO 电压一半	VDDR_1V21V5/2
VIO_1V8	P	USB-PHY、Fuse、AD 数字电源 1V8 供电	1.8V
VADC_A1V8	P	AD 电路 1.8V 模拟供电电源	1.8V
VPLL_1V8	P	PLL 模拟电压 1.8V 供电电源	1.8V
VIO_3V3	P	IO PAD 电压域 3.3V 供电电源	3.3V
VSDIO0_3V31V8	P	IO PAD 电压域 3.3V/1V8 兼容供电电源 (SDIO0/eMMC0-CLK/CMD/DATA0~3 引脚)	3.3V/1V8
VSDIO1_3V31V8	P	IO PAD 电压域 3.3V/1V8 兼容供电电源 (SDIO0/eMMC0-DATA4~7 引脚)	3.3V/1V8



VSP1_3V31V8	P	IO PAD 电压域 3.3V/1V8 兼容供电电源 (QSPI-CLK/CSN/DATA0~3 引脚)	3.3V/1V8
VUSB_A3V3	P	USB PHY 电压域 3.3V 模拟供电电源	3.3V
VSS	G	数字地	0V
VADC_VSS	G	ADC 模拟地	0V
VPLL_VSS	G	PLL 模拟地	0V

2.13 测试接口

信号名称	类型	复位状态	描述	电源	上下拉
DOTESTn	I	-	测试模式控制 0: 测试模式 1: 功能模式	VIO_3V3	-
SYS_TESTCLK	I	-	测试时钟输入	VIO_3V3	-

2.14 JTAG 接口

信号名称	类型	复位状态	描述	电源	上下拉	驱动大小
JTAG_SEL	I	-	JTAG 选择 (0: 测试 JTAG, 1: 功能 JTAG)	VIO_3V3	上拉 ³	2mA
JTAG_TCK	I	-	JTAG 时钟	VIO_3V3	-	2mA
JTAG_TDI	I	-	JTAG 数据输入, 外部需上拉处理	VIO_3V3	上拉 ³	2mA
JTAG_TMS	I	-	JTAG 模式, 外部需上拉处理	VIO_3V3	上拉 ³	2mA
JTAG_TRST	I	-	JTAG 复位, 外部下拉处理	VIO_3V3	-	2mA
JTAG_TDO	O	'h1	JTAG 数据输出	VIO_3V3	-	2-12mA

注³: 内部典型 50k 欧姆上拉。

2.15 系统相关信号

信号名称	类型	复位状态	描述	电源	上下拉	驱动大小
SYS_XTALI SYS_XTALO	I/O	-	系统参考时钟, 支持有源晶振 (时钟最高频率 100MHz, 时钟由 XTALI 输入)	VIO_1V8 (晶振模式)	-	-
SYSRESETN	I	-	系统复位输入信号	VIO_3V3	上拉 ⁴	-
SYSPLTRSTN	O	'h0	系统平台复位输出信号	VIO_3V3	上拉 ⁴	2-12mA

注⁴: 内部典型 50k 欧姆上拉。

2.16 上电配置信号

信号名称	类型	描述
SYS_PMOIO[0]	I	启动选择输入 0=SPIO 1=SDIO/eMMC



SYS_PMOIO[2:1]	I	PLL 时钟配置输入 00=低频模式 01=高频模式 10=软件模式 11=bypass 模式
SYS_PMOIO[3]	I	SDIO0 模式配置输入 0=SDIO 模式 1=eMMC 模式
SYS_PMOIO[4]	I	SDIO1 模式配置输入 0=SDIO 模式 1=eMMC 模式
SYS_PMOIO[5]	I	USB 参考时钟模式输入 0=内部参考时钟输入 1=外部参考时钟输入
SYS_PMOIO[6]	I	eMMC0 引脚（4 线模式涉及 IO: CLK/CMD/D0~D3）电平类型 0=3.3V IO（对应 VSDIO0_3V31V8 供电需选择 3.3V 供电） 1=1.8V IO（对应 VSDIO0_3V31V8 供电需选择 1.8V 供电）
SYS_PMOIO[7]	I	eMMC0 引脚（8 线模式涉及 IO: D4~D7）电平类型 0=3.3V IO（对应 VSDIO1_3V31V8 供电需选择 3.3V 供电） 1=1.8V IO（对应 VSDIO1_3V31V8 供电需选择 1.8V 供电）
SYS_PMOIO[8]	I	QSPI 引脚（涉及 IO: QSPI-CLK/CSN/D0~D3）电平类型 0=3.3V IO（对应 VSPI_3V31V8 供电需选择 3.3V 供电） 1=1.8V IO（对应 VSPI_3V31V8 供电需选择 1.8V 供电）

2.17 外设功能引脚复用

各信号引脚的功能复用关系如下表所示：

表 2- 1 主系统功能引脚复用关系表

芯片引脚	GPIO 复用 (默认功能)	芯片主功能	第一复用	第二复用
UART_RX	MAIN_GPIO00	uart0_rx	gmac_col	sdio1_d[4]
UART_TX	MAIN_GPIO01	uart0_tx	gmac_crs	sdio1_d[5]
I2C_SCL	MAIN_GPIO02	i2c_scl	sca_uart_rx	sdio1_d[6]
I2C_SDA	MAIN_GPIO03	i2c_sda	sca_uart_tx	sdio1_d[7]
SPI_CLK	MAIN_GPIO04	spi0_clk	i2c_scl	prt_pmio[0]
SPI_MISO	MAIN_GPIO05	spi0_miso	i2c_sda	prt_pmio[1]
SPI_MOSI	MAIN_GPIO06	spi0_mosi	prt_i2c_scl	prt_pmio[2]
SPI_CS	MAIN_GPIO07	spi0_cs[0]	prt_i2c_sda	prt_pmio[3]
GMAC_RX_CTL	MAIN_GPIO08	gmac_rx_ctl	uart1_rx	prt_pmio[4]
GMAC_RX0	MAIN_GPIO09	gmac_rx[0]	uart1_tx	prt_pmio[5]
GMAC_RX1	MAIN_GPIO10	gmac_rx[1]	uart1_rts	prt_pmio[6]
GMAC_RX2	MAIN_GPIO11	gmac_rx[2]	uart1_cts	prt_pmio[7]
GMAC_RX3	MAIN_GPIO12	gmac_rx[3]	sys_pwm[0]	prt_pmio[8]
GMAC_TX_CTL	MAIN_GPIO13	gmac_tx_ctl	sys_pwm[1]	prt_pmio[9]



芯片引脚	GPIO 复用 (默认功能)	芯片主功能	第一复用	第二复用
GMAC_TX0	MAIN_GPIO14	gmac_tx[0]	sys_pwm[2]	prt_pmio[10]
GMAC_TX1	MAIN_GPIO15	gmac_tx[1]	sys_pwm[3]	prt_pmio[11]
GMAC_TX2	MAIN_GPIO16	gmac_tx[2]	sys_pwm[4]	prt_pmio[12]
GMAC_TX3	MAIN_GPIO17	gmac_tx[3]	sys_pwm[5]	prt_pmio[13]
GMAC_MDCK	MAIN_GPIO18	gmac_mdck	sys_pwm[6]	prt_pmio[14]
GMAC_MDIO	MAIN_GPIO19	gmac_mdio	sys_pwm[7]	prt_pmio[15]
SDIO0_CLK	MAIN_GPIO20	sdio0_clk	sys_pmio[0]	prt_pwm[0]
SDIO0_CMD	MAIN_GPIO21	sdio0_cmd	sys_pmio[1]	prt_pwm[1]
SDIO0_D0	MAIN_GPIO22	sdio0_d[0]	sys_pmio[2]	prt_pwm[2]
SDIO0_D1	MAIN_GPIO23	sdio0_d[1]	sys_pmio[3]	prt_pwm[3]
SDIO0_D2	MAIN_GPIO24	sdio0_d[2]	sys_pmio[4]	prt_pwm[4]
SDIO0_D3	MAIN_GPIO25	sdio0_d[3]	sys_pmio[5]	prt_pwm[5]
SDIO0_D4	MAIN_GPIO26	sdio0_d[4]	sys_pmio[6]	prt_pwm[6]
SDIO0_D5	MAIN_GPIO27	sdio0_d[5]	sys_pmio[7]	prt_pwm[7]
SDIO0_D6	MAIN_GPIO28	sdio0_d[6]	sys_pmio[8]	uart0_rts
SDIO0_D7	MAIN_GPIO29	sdio0_d[7]	sys_pmio[9]	uart0_cts
SDIO1_CLK	MAIN_GPIO30	sdio1_clk	sys_pmio[10]	gmac_col
SDIO1_CMD	MAIN_GPIO31	sdio1_cmd	sys_pmio[11]	gmac_crs
SDIO1_D0	MAIN_GPIO32	sdio1_d[0]	sys_pmio[12]	prt_uart0_rx
SDIO1_D1	MAIN_GPIO33	sdio1_d[1]	sys_pmio[13]	prt_uart0_tx
SDIO1_D2	MAIN_GPIO34	sdio1_d[2]	sys_pmio[14]	prt_uart1_rx
SDIO1_D3	MAIN_GPIO35	sdio1_d[3]	sys_pmio[15]	prt_uart1_tx
SYS_PMI00	MAIN_GPIO36	sys_pmio[0]	sys_pwm[0]	prt_pmio[24]
SYS_PMI01	MAIN_GPIO37	sys_pmio[1]	sys_pwm[1]	prt_pmio[25]
SYS_PMI02	MAIN_GPIO38	sys_pmio[2]	sys_pwm[2]	prt_pmio[26]
SYS_PMI03	MAIN_GPIO39	sys_pmio[3]	sys_pwm[3]	prt_pmio[27]
SYS_PMI04	MAIN_GPIO40	sys_pmio[4]	sys_pwm[4]	prt_pmio[28]
SYS_PMI05	MAIN_GPIO41	sys_pmio[5]	sys_pwm[5]	prt_pmio[29]
SYS_PMI06	MAIN_GPIO42	sys_pmio[6]	sys_pwm[6]	prt_pmio[30]
SYS_PMI07	MAIN_GPIO43	sys_pmio[7]	sys_pwm[7]	prt_pmio[31]
SYS_PMI08	MAIN_GPIO44	sys_pmio[8]	-	uart1_tx
SYS_PMI09	MAIN_GPIO45	sys_pmio[9]	spi0_cs[1]	uart1_rx
SYS_PMI010	MAIN_GPIO46	sys_pmio[10]	spi0_cs[2]	uart1_rts
SYS_PMI011	MAIN_GPIO47	sys_pmio[11]	spi0_cs[3]	uart1_cts

表 2- 2 打印系统功能引脚复用关系表

芯片引脚	GPIO 复用 (默认功能)	芯片主功能	第一复用	第二复用
PRT_UART_RX	PRT_GPIO00	prt_uart0_rx	spil_clk	gmac_ptp_trig
PRT_UART_TX	PRT_GPIO01	prt_uart0_tx	spil_miso	gmac_ptp_pps
PRT_I2C_SCL	PRT_GPIO02	prt_i2c_scl	spil_mosi	prt_uart1_rx
PRT_I2C_SDA	PRT_GPIO03	prt_i2c_sda	spil_cs	prt_uart1_tx
PRT_PMI00	PRT_GPIO04	prt_pmio[0]	prt_ovlin[0]	prt_pwm[0]
PRT_PMI01	PRT_GPIO05	prt_pmio[1]	prt_ovlin[1]	prt_pwm[1]
PRT_PMI02	PRT_GPIO06	prt_pmio[2]	prt_ovlin[2]	prt_pwm[2]
PRT_PMI03	PRT_GPIO07	prt_pmio[3]	prt_ovlin[3]	prt_pwm[3]
PRT_PMI04	PRT_GPIO08	prt_pmio[4]	prt_vid_en[0]	prt_pwm[4]



芯片引脚	GPIO 复用 (默认功能)	芯片主功能	第一复用	第二复用
PRT_PMI05	PRT_GPIO09	prt_pmio[5]	prt_vid_en[1]	prt_pwm[5]
PRT_PMI06	PRT_GPIO10	prt_pmio[6]	vid_clk[0]	prt_pwm[6]
PRT_PMI07	PRT_GPIO11	prt_pmio[7]	vid_clk[1]	prt_pwm[7]
PRT_PMI08	PRT_GPIO12	prt_pmio[8]	prt_vid_out[4]	sca_pmio[0]
PRT_PMI09	PRT_GPIO13	prt_pmio[9]	prt_vid_out[5]	sca_pmio[1]
PRT_PMI010	PRT_GPIO14	prt_pmio[10]	prt_vid_out[6]	sca_pmio[2]
PRT_PMI011	PRT_GPIO15	prt_pmio[11]	prt_vid_out[7]	sca_pmio[3]
PRT_PMI012	PRT_GPIO16	prt_pmio[12]	prt_vid_out[8]	sca_pmio[4]
PRT_PMI013	PRT_GPIO17	prt_pmio[13]	prt_vid_out[9]	sca_pmio[5]
PRT_PMI014	PRT_GPIO18	prt_pmio[14]	prt_vid_out[10]	sca_pmio[6]
PRT_PMI015	PRT_GPIO19	prt_pmio[15]	prt_vid_out[11]	sca_pmio[7]
PRT_PMI016	PRT_GPIO20	prt_pmio[16]	prt_vid_out[12]	sca_pmio[8]
PRT_PMI017	PRT_GPIO21	prt_pmio[17]	prt_vid_out[13]	sca_pmio[9]
PRT_PMI018	PRT_GPIO22	prt_pmio[18]	prt_vid_out[14]	sca_pmio[10]
PRT_PMI019	PRT_GPIO23	prt_pmio[19]	prt_vid_out[15]	sca_pmio[11]
PRT_PMI020	PRT_GPIO24	prt_pmio[20]	prt_pwm[0]	sca_pmio[12]
PRT_PMI021	PRT_GPIO25	prt_pmio[21]	prt_pwm[1]	sca_pmio[13]
PRT_PMI022	PRT_GPIO26	prt_pmio[22]	prt_pwm[2]	sca_pmio[14]
PRT_PMI023	PRT_GPIO27	prt_pmio[23]	prt_pwm[3]	sca_pmio[15]
PRT_VIDOUT0	PRT_GPIO28	prt_vid_out[0]	prt_pwm[4]	prt_uart0_rx
PRT_VIDOUT1	PRT_GPIO29	prt_vid_out[1]	prt_pwm[5]	prt_uart0_tx
PRT_VIDOUT2	PRT_GPIO30	prt_vid_out[2]	prt_pwm[6]	prt_uart1_rx
PRT_VIDOUT3	PRT_GPIO31	prt_vid_out[3]	prt_pwm[7]	prt_uart1_tx

表 2- 3 扫描系统功能引脚复用关系表

芯片引脚	GPIO 功能 (默认功能)	芯片主功能	第一复用	第二复用
SCA_UART_RX	SCA_GPIO00	sca_uart_rx	sca_pmio[8]	prt_pmio[0]
SCA_UART_TX	SCA_GPIO01	sca_uart_tx	sca_pmio[9]	prt_pmio[1]
SCA_SPI_CLK	SCA_GPIO02	sca_spi_clk	sca_pmio[10]	prt_pmio[2]
SCA_SPI_MISO	SCA_GPIO03	sca_spi_miso	sca_pmio[11]	prt_pmio[3]
SCA_SPI_MOSI	SCA_GPIO04	sca_spi_mosi	sca_pmio[12]	prt_pmio[4]
SCA_SPI_CS	SCA_GPIO05	sca_spi_cs	sca_pmio[13]	prt_pmio[5]
SCA_PMI00	SCA_GPIO06	sca_pmio[0]	spil_clk	prt_pmio[6]
SCA_PMI01	SCA_GPIO07	sca_pmio[1]	spil_miso	prt_pmio[7]
SCA_PMI02	SCA_GPIO08	sca_pmio[2]	spil_mosi	prt_pmio[8]
SCA_PMI03	SCA_GPIO09	sca_pmio[3]	spil_cs	prt_pmio[9]
SCA_PMI04	SCA_GPIO10	sca_pmio[4]	sca_spi_clk	prt_pmio[10]
SCA_PMI05	SCA_GPIO11	sca_pmio[5]	sca_spi_miso	prt_pmio[11]
SCA_PMI06	SCA_GPIO12	sca_pmio[6]	sca_spi_mosi	prt_pmio[12]
SCA_PMI07	SCA_GPIO13	sca_pmio[7]	sca_spi_cs	prt_pmio[13]
SCA_AFECLK	SCA_GPIO14	sca_afeclk	sca_pmio[8]	prt_pmio[14]
SCA_AFEPLS	SCA_GPIO15	sca_afepls[0]	sca_pmio[9]	prt_pmio[15]
SCA_AFED0	SCA_GPIO16	sca_afesd[0]	sca_pmio[10]	prt_pmio[16]
SCA_AFED1	SCA_GPIO17	sca_afesd[1]	sca_pmio[11]	prt_pmio[17]
SCA_AFED2	SCA_GPIO18	sca_afesd[2]	sca_pmio[12]	prt_pmio[18]
SCA_AFED3	SCA_GPIO19	sca_afesd[3]	sca_pmio[13]	prt_pmio[19]



芯片引脚	GPIO 功能 (默认功能)	芯片主功能	第一复用	第二复用
SCA_AFED4	SCA_GPIO20	sca_afesd[4]	sca_pmio[14]	prt_pmio[20]
SCA_AFED5	SCA_GPIO21	sca_afesd[5]	sca_pmio[15]	prt_pmio[21]
SCA_AFED6	SCA_GPIO22	sca_afesd[6]	sca_pmio[0]	prt_pmio[22]
SCA_AFED7	SCA_GPIO23	sca_afesd[7]	sca_pmio[1]	prt_pmio[23]
SCA_CISCLK0	SCA_GPIO24	sca_cisclk[0]	sca_pmio[2]	prt_pmio[24]
SCA_CISCLK1	SCA_GPIO25	sca_cisclk[1]	sca_pmio[3]	prt_pmio[25]
SCA_CISCLK2	SCA_GPIO26	sca_cisclk[2]	sca_pmio[4]	prt_pmio[26]
SCA_CISPLS	SCA_GPIO27	sca_cispls[0]	sca_pmio[5]	prt_pmio[27]
SCA_CISPWM	SCA_GPIO28	sca_cispwm	sca_pmio[6]	prt_pmio[28]

注：除芯片启动相关的引脚(SPI0 或 SDIO0/eMMC0 在相应启动模式下对应引脚为主功能)外，以上复用引脚上电默认状态都复用为 GPIO 功能，且均默认为输入状态。



3 功能描述

3.1 DDR 控制器

龙芯 2P0300 内部集成的内存控制器。

3.1.1 DDR 接口工作频率范围

支持 DDR3-800、DDR4-1600 工作频率。

3.1.2 DDR 控制器特性

龙芯 2P0300 内存控制器支持 1 个 CS，一共含有 22 位的地址总线（即：18 位的行列地址总线、2 位的逻辑 Bank 总线和 2 位逻辑 BankGroup 总线）。

在具体选择使用不同内存芯片类型时，可以调整 DDR 控制器参数设置进行支持。其中，支持的最大片选（CS_n）数为 1，行地址（RAS_n）数为 18，列地址（CAS_n）数为 12，逻辑体选择（BANK_n）数为 2。

CPU 发送的内存请求物理地址可以根据控制器内部不同的配置进行多种不同的地址映射。

内存控制器接收从处理器或外部设备发送的内存读写请求。无论是读还是写操作，内存控制器都处在 slave 状态。

内存控制器中实现了动态页管理功能。对于内存的一次存取，不需软件设计者的干预，控制器会在硬件电路上选择 Open Page/Close Page 策略。

龙芯 2P0300 中内存控制器具有如下特征：

- 接口上命令、读写数据全流水操作；
- 内存命令合并、排序提高整体带宽；
- 配置寄存器读写端口，可以修改内存设备的基本参数；
- 内建动态延迟补偿电路（DCC），用于数据的可靠发送和接收；
- 支持 DDR3/4 SDRAM，参数配置仅支持 x8 颗粒；
- 控制器与 PHY 频率比 1/2 ；
- 支持硬件 ECC 纠错功能；
- 支持数据传输速率为 800Mbps（DDR3）、1600Mbps（DDR4）。



3.2 USB

龙芯 2P0300 的 USB 主机端口特性如下：

- 兼容 USB Rev 1.1 、 USB Rev 2.0 协议；
- 兼容 OHCI Rev 1.0 、 EHCI Rev 1.0 协议；
- 支持 LS (Low Speed) 、 FS (Full Speed) 和 HS (High Speed) 的 USB 设备；
- 支持一个 USB2.0 端口；
- USB2.0 主机控制器模块包括一个支持高速设备的 EHCI 控制器，一个支持全速与低速设备的 OHCI 控制器。其中 EHCI 控制器处于主控地位，只有当挂上的设备是全速或低速设备时，才将控制权转交给 OHCI 控制器；当全速或低速设备拔掉时，控制权返回 EHCI 控制器。

3.3 OTG

龙芯 2P0300 的 OTG 支持特性如下：

- 支持 HNP 与 SRP 协议；
- 内嵌 DMA，无需占用处理器带宽即可在 OTG 与外部存储之间移动数据；
- 在 device 模式下，支持高速设备（480Mbps）、全速设备（12Mbps）；
- 在 host 模式下，支持高速设备（480Mbps）、全速设备（12Mbps）；
- 在 device 模式下，支持 10 个双向的 endpoint，其中仅有默认的 endpoint0 支持控制传输；
- 在 device 模式下，最多同时支持 5 个 IN 方向的传输；
- 在 host 模式下，支持 10 个 channel，且软件可配置每个 channel 的方向；
- 在 host 模式下，支持 periodic OUT 传输。

3.4 GMAC

龙芯 2P0300 集成一个 GMAC 控制器，支持 10M/100M/1000Mbps 自适应以太网，半双工/全双工自适应。



3.5 PRINTER

龙芯 2P0300 集成一个打印接口，支持 JBIG85 解码，支持 2 路独立机芯控制，支持双色打印功能。

3.6 SCANNER

龙芯 2P0300 集成一个扫描接口，支持彩色（RGB）多分段（segment）扫描，支持 CIS、AFE 接口控制时序。

3.7 SPI

串行外围设备接口 SPI 总线技术是多种微处理器、微控制器以及外围设备之间的一种全双工、同步、串行数据接口标准。

龙芯 2P0300 集成的主系统 SPI0 控制器仅可作为主控端，所连接的是从设备。对于软件而言，主系统 SPI0 控制器除了有若干 IO 寄存器外还有一段映射到 SPI Flash 的只读 memory 空间。如果将这段 memory 空间分配在 B00T 启动地址，复位后不需要软件干预就可以直接访问，从而支持处理器从 SPI0-Flash 启动。

以下列举了主系统 SPI0 管脚信号与外设通信的时序图：

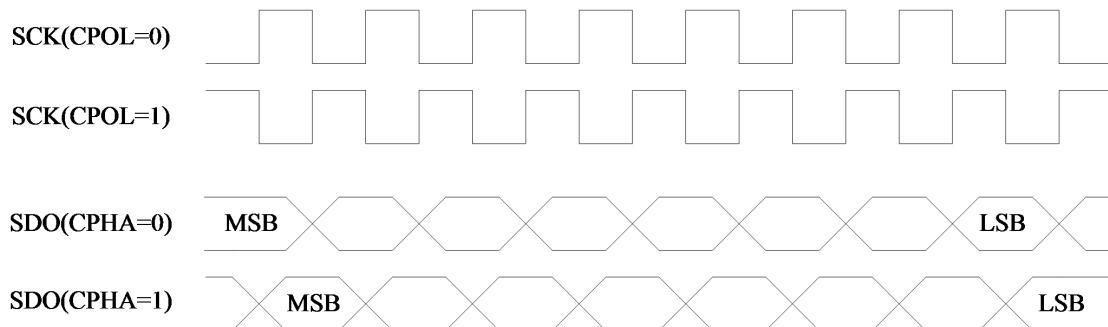


图 3.1 SPI0 主控制器接口时序

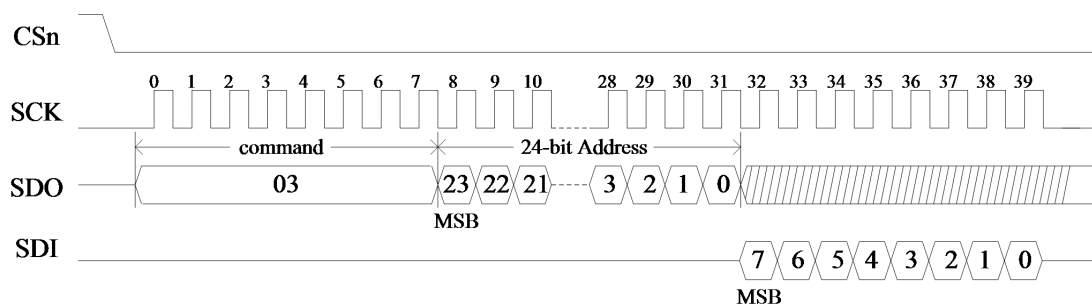


图 3.2 SPI0 Flash 标准读时序



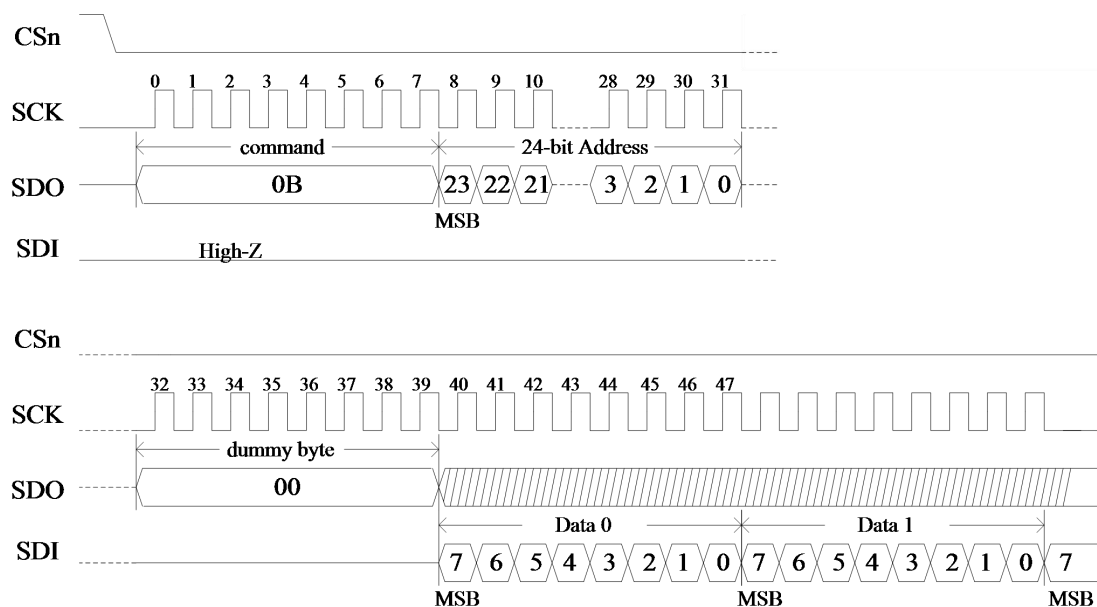


图 3.3 SPI0 Flash 快速读时序

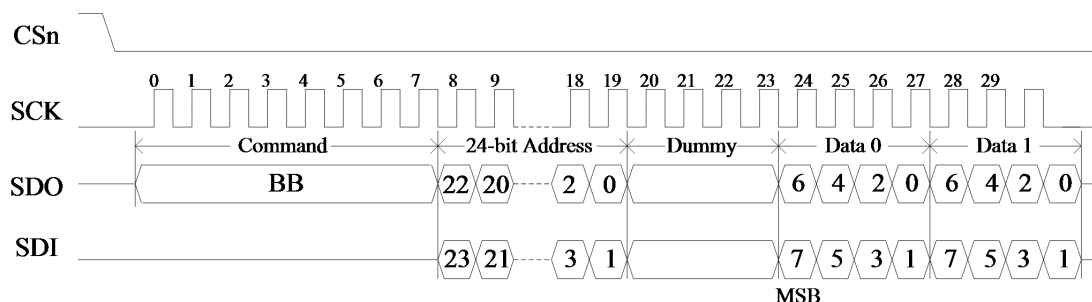


图 3.4 SPI Flash 双向 I/O 读时序

3.8 UART

龙芯 2P0300 集成 5 个 UART 控制器，包括 2 个 4 线串口（主系统 UART0/UART1），3 个 2 线串口（PRT-UART0/PRT-UART1/ SCA-UART），其中 2 个 4 线串口（主系统 4 线 UART0、UART1 可分别复用为两个 2 线 UART0、UART1 接口），各控制器通过 APB 总线与总线桥通信。

UART 控制器提供与 MODEM 或其他外部设备串行通信的功能，例如与另外一台计算机，以 RS232 为标准使用串行线路进行通信。该控制器在设计上能很好地兼容国际工业标准半导体设备 16550A。

3.9 I²C

龙芯 2P0300 集成两路 I²C 接口，均支持主、从模式，主要用于实现两个器件之间数据的交换。

I²C 总线是由数据线 SDA 和时钟 SCL 构成的串行总线，可发送和接收数据。器件与器件之间进行双向传送，最高传送速率 400kbps。

3.10 SDIO

龙芯 2P0300 集成两个 SDIO/eMMC 控制器，用于 SD/eMMC Memory、SDIO 卡的读写，SDIO 控制器兼容 SDIO2.0 协议，eMMC 控制器兼容 eMMC5.0 协议。其中，SDIO0 支持 SD/eMMC Memory 卡启动，兼容 1.8V/3.3V IO 电平。eMMC0/1 控制器 3.3V IO 电平模式下，接口支持最高频率 50MHz@SDR（1/4/8 线）；eMMC0 控制器 1.8V IO 电平模式下，接口支持最高 100MHz@SDR（1/4/8 线）。

SDIO 是一个串行通信方式，主设备和从设备通过消息传递来实现数据和状态的传输。写多块数据过程如下：

- 主设备通过命令线发送写命令消息给从设备；
- 从设备接收完消息之后通过命令线发送应答消息给主设备；
- 主设备接收到正确的应答消息后，通过数据线发送一块数据 (512K Byte 或者更多) 给从设备，并且检测数据线忙状态；
- 从设备接收到正确的数据后会进入编程状态，此时将数据线置为忙状态，不再响应主设备的数据请求；
- 主设备检测到从设备编程完成，继续发送下一块数据；
- 主设备发送完最后一块数据时，通过命令线发送停止命令给从设备，收到正确应答之后完成这次多块写操作。

多块读操作的过程和多块写操作的过程类似。

3.11 AD

龙芯 2P0300 集成一个 AD 电路，支持 8 路 12 位 AD 模拟电压输入（电压输入范围：0~1.8V），最高采样率 2MSPS，典型有效位数 (ENOB) 10bit（fin=10kHz@1MSPS）。



3.12 PMIO

龙芯 2P0300 集成三组可编程多功能 IO（Programmable Multifunction IO, PMIO），以下简称 PMIO。

包括一组全功能 PMIO（打印系统 PMIO），两组精简版 PMIO（主系统/扫描系统 PMIO），可实现 Timer, PWM Generator、GPIO 及输入捕获等功能模式。

3.13 PWM

龙芯 2P0300 集成 16 路脉冲宽度调节/计数控制器，以下简称 PWM。

每一路 PWM 工作和控制方式完全相同，每路 PWM 均可配置为脉冲宽度输出或待测脉冲输入信号，计数寄存器和参考寄存器均 32 位数据宽度。

3.14 GPIO

龙芯 2P0300 共有 109 个 GPIO 引脚，全部与其他功能引脚复用，该部分引脚在芯片复位过程中和复位结束后除启动相关功能引脚外，其他功能引脚全部默认为 GPIO 输入状态，全部支持外部中断输入。

3.15 HPET

龙芯 2P0300 集成六个高精度定时器，32 位计数器，支持 1 个周期性中断，支持 2 个非周期性中断。

3.16 功耗管理

龙芯 2P0300 功耗管理模块提供系统功耗管理实现机制。

- 支持 Dynamic Frequency Scaling (DFS)，处理器核 DFS 控制。
- 系统时钟控制，模块时钟门控，多种方式调节频率。



4 初始化时序

4.1 冷启动上电时序

参考上电时序如下图。

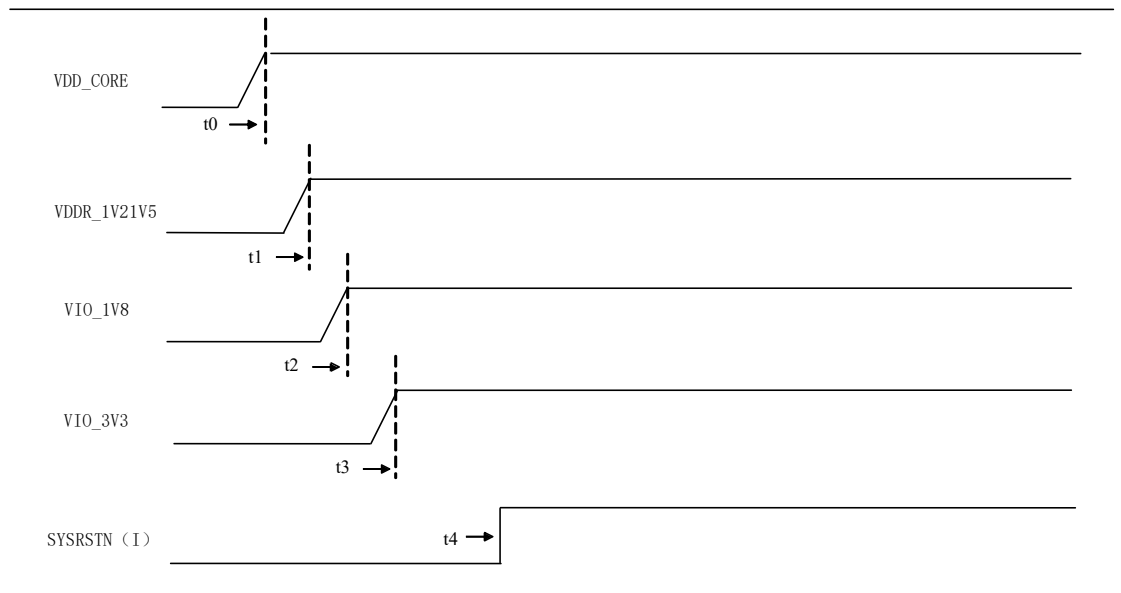


图 4.1 冷启动上电时序波形

注：

1. VIO_1V8包括：VIO_1V8、VADC_A1V8、VPLL_1V8、VSDIO0_3V31V8/VSDIO1_3V31V8/VSPI_3V31V8（1V8电平模式下）。
2. VIO_3V3包括：VIO_3V3、VUSB_A3V3、VSDIO0_3V31V8/VSDIO1_3V31V8/VSPI_3V31V8（3V3电平模式下）。
3. 上述VDD、IO电压由小到大上电时序为推荐上电时序，芯片理论上可承受由小到大、由大到小两种上电时序，二者无强制先后关联，但先IO后VDD上电存在二者上电之间概率性IO漏电可能。
4. SYSRSTN(I)信号没有去抖动功能，需主板提供去抖动电路。

表 4- 1 冷启动上电时序推荐要求

标记符	参数	需求	说明
t0	VDD_CORE 电源稳定时刻		
t1	VDDR-1V21V5 电源上电稳定时刻	$t1 - t0 > 10\mu s$	VDD_CORE 电源先于 VDDR-1V21V5 电源供电
t2	VIO_1V8 电源上电稳定时刻	$t2 - t0 > 10\mu s$	VDD_CORE 电源先于 VIO_1V8 电源供电
t3	VIO_3V3 电源上电稳定时刻	$t3 - t0 > 10\mu s$	VDD_CORE 电源先于 VIO_3V3 电源供电



t4	SYSRSTN(I)解复位时刻	$t4 - t3 > 10\text{ms}$	SYSRSTN 需要在所有电源域电源、系统时钟信号稳定之后解复位
----	-----------------	-------------------------	----------------------------------



4.2 热复位时序

参考热复位时序如下图：

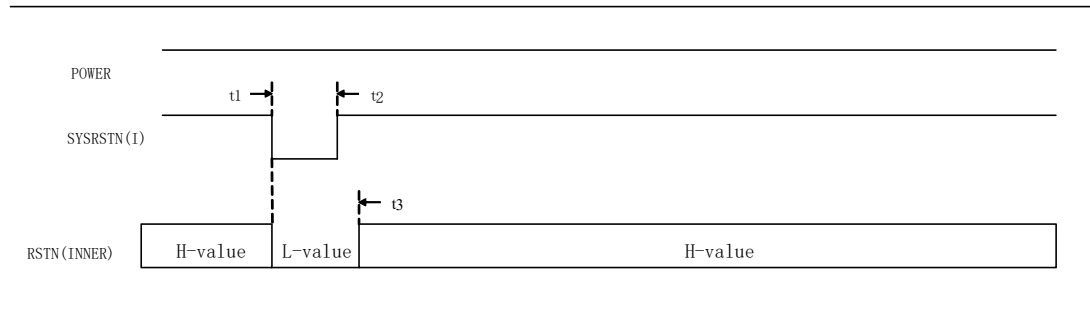


图 4.2 热复位时序图

注：

1. POWER包括所有的供电。
2. RSTN(INNER)内部复位在外部复位信号撤销之后过一段延迟后解除。

表 4- 2 热复位时序约束

标记符	参数	需求	说明
t1	SYSRSTN 变低的时刻		
t2	SYSRSTN 变高的时刻	$t2 - t1 > 1\text{ms}$	SYSRSTN 保持为低电平的时间需大于 1ms 才有效
t3	RSTN(INNER)	$t3 - t2 < 2\text{ms}$	内部复位解除时刻不晚于 SYSRSTN 解复位后 2ms



5 电气特性

5.1 电源

5.1.1 推荐工作条件

表 5- 1 推荐的工作电源电压

电源	描述	范围			最大电流 (壳温 25℃)
		Min.	Typ.	Max.	
VDD_CORE	数字域电源	0.95V	1.05V	1.15V	500mA
VIO_3V3	SOC 域 I/O 电源	3.15V	3.3V	3.45V	200mA
VDDR_1V21V5	DDR4 I/O 电源	1.15V	1.2V	1.25V	200mA
	DDR3 I/O 电源	1.42V	1.5V	1.58V	200mA
VIO_1V8	USB-PHY、Fuse、AD 数字 1V8 供电	1.71	1.8V	1.89V	50mA
VIO_3V31V8	SDIO0/eMMC0/QSPI I/O 电源	1.71V	1.8V	1.89V	100mA
		3.15V	3.3V	3.45V	100mA
VUSB_A3V3	USB vph 电源	3.15V	3.3V	3.45V	50mA
OTG_VBUS	OTG 接口 5V 供电电源	4.85V	5V	5.15V	TBD
VADC_A1V8	AD 接口模拟电源（该电压对应实际最大量程）	1.75V	1.8V	1.85V	TBD
VPLL_1V8	PLL 供电电源	1.71V	1.8V	1.89V	100mA

5.1.2 绝对最大额定值

表 5- 2 绝对最大额定值

参数	描述	最小	最大	单位
VDD_CORE	数字域电源	-0.3	1.25	V
VIO_3V3	SOC 域 I/O 电源	-0.3	3.6	V
VDDR_1V21V5	DDR4 I/O 电源	-0.3	1.3	V
	DDR3 I/O 电源	-0.3	1.7	V
VIO_1V8	USB-PHY、Fuse、AD 数字 1V8 供电	-0.3	1.98	V
VIO_3V31V8	SDIO0/eMMC0/QSPI I/O 电源	-0.3	1.98/3.6	V
VUSB_A3V3	USB vph 电源	-0.3	3.6	V
VADC_A1V8	AD 接口模拟电源	-0.3	1.98	V



参数	描述	最小	最大	单位
VPLL_1V8	PLL 供电电源	-0.3	1.98	V
ESD (HBM)	静电防护	-	500	V
Tstg	存储温度	-55	125	°C

5.1.3 功耗状态及优化

表 5- 3 芯片功耗模式

运行模式	条件(室温 25°C)	功耗(W)
典型测试	CPU 主频 1.25GHz@1.05V, DDR-1600 速率, USB、GMAC 连接常用设备, 运行 Coremark 测试集, 所有模块保持打开状态, 测量平均功耗。	1.0
运行模式	条件(亮温 70°C)	功耗(W)
典型测试	CPU 主频 1.25GHz@1.05V, DDR-1600 速率, USB、GMAC 连接常用设备, 运行 Coremark 测试集, 所有模块保持打开状态, 测量平均功耗。	1.5

5.2 数字引脚电特性

5.2.1 单端参考时钟

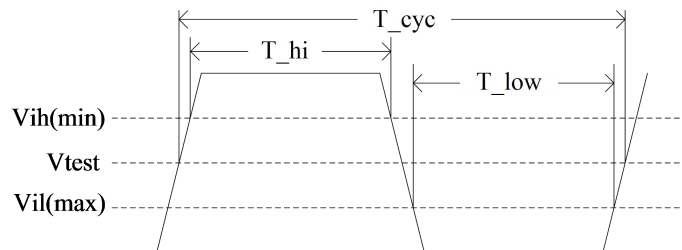


图 5.1 单端参考时钟波形

表 5- 4 单端参考时钟电特性表

时钟	参数	描述	最小	最大	单位
SYS_CLK	Vih	输入高电平电压	2.0	-	V
	Vil	输入低电平电压	-	0.8	V
	T_cyc	时钟周期	10	-	ns
	T_hi	高电平时间	40%T_cyc	60%T_cyc	ns
	T_low	低电平时间	40%T_cyc	60%T_cyc	ns
	Tslew	斜率	1	4	V/ns
	Tccjitter	周期间抖动	-	100	ps



时钟	参数	描述	最小	最大	单位
JTAG_TCK	Vih	输入高电平电压	2.0	–	V
	Vil	输入低电平电压	–	0.8	V
	T_cyc	时钟周期	30	–	ns
	T_hi	高电平时间	40%T_cyc	60%T_cyc	ns
	T_low	低电平时间	40%T_cyc	60%T_cyc	ns
	Tslew	斜率	1	4	V/ns
SYS_TESTCLK	Vih	输入高电平电压	2.0	–	V
	Vil	输入低电平电压	–	0.8	V
	T_cyc	时钟周期	10	–	ns
	T_hi	高电平时间	40%T_cyc	60%T_cyc	ns
	T_low	低电平时间	40%T_cyc	60%T_cyc	ns
	Tslew	斜率	1	4	V/ns

5.2.2 数字 IO

表 5- 5 数字 IO 电特性表

时钟	参数	描述	电压类别	最小	最大	单位
数字 IO 引脚	Vih	输入高电平电压	1.2V 模式 (DDR-I/O)	0.8	–	V
			1.8V 模式 (1V8-I/O、3V31V8-I/O)	1.2	–	V
			3.3V 模式 (3V3-I/O、3V31V8-I/O)	2.0	–	V
	Vil	输入低电平电压	1.2V 模式 (DDR-I/O)	–	0.4	V
			1.8V 模式 (1V8-I/O、3V31V8-I/O)	–	0.5	V
			3.3V 模式 (3V3-I/O、3V31V8-I/O)	–	0.8	V
	Iih	输入高电平漏电流	1.2V 模式 (DDR-I/O)	–	10	uA
			1.8V 模式 (1V8-I/O、3V31V8-I/O)	–	10	uA
			3.3V 模式 (3V3-I/O、3V31V8-I/O)	–	10	uA
	Iil	输入低电平漏电流	1.2V 模式 (DDR-I/O)	–	10	uA
			1.8V 模式 (1V8-I/O、3V31V8-I/O)	–	10	uA



时钟	参数	描述	电压类别	最小	最大	单位
	Voh	输出高电平电压	3.3V 模式 (3V3-I0、3V31V8-I0)	–	10	uA
			1.2V 模式 (DDR-I0)	0.8	–	V
			1.8V 模式 (1V8-I0、3V31V8-I0)	1.26	–	V
	Vol	输出低电平电压	3.3V 模式 (3V3-I0、3V31V8-I0)	2.4	–	V
			1.2V 模式 (DDR-I0)	–	0.4	V
			1.8V 模式 (1V8-I0、3V31V8-I0)	–	0.4	V
			3.3V 模式 (3V3-I0、3V31V8-I0)	–	0.4	V

5.3 RGMII 接口特性

RGMII 共两个接口，均由一个供电电源 (IO_3V3) 供电，支持 3.3V 工作电压。

5.3.1 RGMII 接口直流特性

表 5- 6 RGMII 接口输出特性

参数	描述	典型	单位
Ioh	输出高电平 (IO_3V3-0.4V) 时电流输出	12	mA
Iol	输出低电平 (0.4V) 时电流输入	12	mA

表 5- 7 RGMII 接口输入特性

参数	描述		最小	最大	单位
Vih	输入高电平电压	3.3V 供电	2.0	3.6	V
Vil	输入低电平电压	3.3V 供电	-0.3	0.8	V



5.3.2 RGMII 接口时序

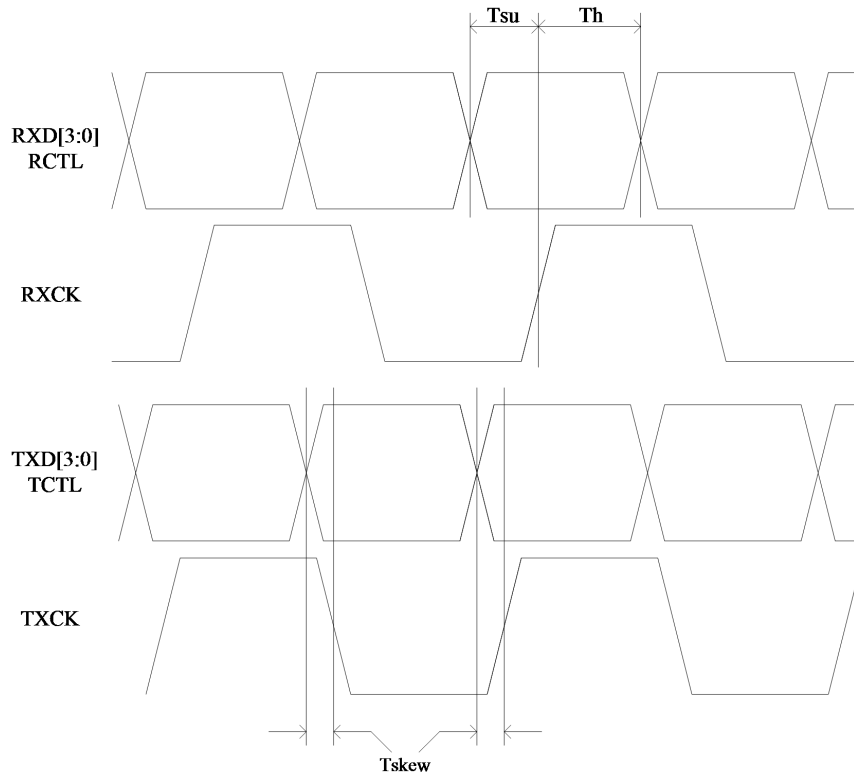


图 5.2 RGMII 接口时序

表 5- 8 RGMII 接口时序

参数	描述	最小	典型	最大	单位
Tsu	RX 信号建立时间	1	—	—	ns
Th	RX 信号保持时间	1	—	—	ns
Tskew	TXCK 相对 TX 数据的偏移	-500	—	+500	ps
Tr	TXD/TXCK 上升时间(10pf 负载)			1.2	ns
Tf	TXD/TXCK 下降时间(10pf 负载)			1.3	ns

5.4 USB 接口特性

下述表格源自 USB 2.0 规范，更多信息请参考其中第 7 章。

表 5- 9 USB 直流电气特性

Parameter	Symbol	Conditions	Min.	Max.	Units
InputLevelsforLow-/full-speed:					
High(driven)	VIH		2		V
High(floating)	VIHZ		2.7	3.6	V



Low	VIL			0.8	V
Differential Input Sensitivity	VDI	$ (D+) - (D-) $	0.2		V
Differential Common Mode Range	VCM	Includes VDI range	0.8	2.5	V
Input Levels for High-speed:					
High-speed squelch detection threshold (differential signal amplitude)	VHSSQ		100	150	mV
High speed disconnect detection threshold (differential signal amplitude)	VHSDSC		525	625	mV
High-speed differential input signaling levels					
High-speed data signaling common mode voltage range (guide line for receiver)	VHSCM		-50	500	mV
Output Levels for Low-/full-speed:					
Low	VOL		0	0.3	V
High (Driven)	VOH		2.8	3.6	V
SE1	VOSE1		0.8		V
Output Signal Crossover Voltage	VCRS		1.3	2	V
Output Levels for High-speed:					
High-speed idle level	VHSOI		-10	10	mV
High-speed data signaling high	VHSOH		360	440	mV
High-speed data signaling low	VHSOL		-10	10	mV
Chirp J level (differential voltage)	VCHIRPJ		700	1100	mV
Chirp K level (differential voltage)	VCHIRPK		-900	-500	mV
Decoupling Capacitance:					
Downstream Facing Port Bypass Capacitance (perhub)	CHPB	VBUS to GND	120		μF
Upstream Facing Port Bypass Capacitance	CRPB	VBUS to GND	1	10	μF
Input Capacitance for Low-/full-speed:					
Downstream Facing Port	CIND			150	pF
Upstream Facing Port (w/ocable)	CINUB			100	pF
Transceiver edge rate control capacitance	CEDGE			75	pF
Input Impedance for High-speed:					
TDR spec for high-speed termination					
Terminations:					
Bus Pull-up Resistor on Upstream Facing Port	RPU	1.5k Ω $\pm$ 5%	1.425	1.575	k Ω



Bus Pull-down Resistor on Downstream Facing Port	RPD	15k $\Omega \pm 5\%$	14.25	15.75	k Ω
Input impedance exclusive of pullup/pulldown (for low-/full-speed)	ZINP		300		k Ω
Termination voltage for upstream facing port pullup (RPU)	VTERM		3	3.6	V
Terminations in High-speed:					
Termination voltage in high-speed	VHSTERM		-10	10	mV

表 5- 10 USB 高速源电气特性

Parameter	Symbol	Conditions	Min.	Max.	Units
Driver Characteristics:					
Rise Time (10%-90%)	THSR		500		ps
Fall Time (10%-90%)	THSF		500		ps
Driver waveform requirements					
Driver Output Resistance (which also serves as high-speed termination)	ZHSDRV		40.5	49.5	Ω
Clock Timings:					
High-speed Data Rate	THSDRAT		479.76	480.24	Mb/s
Micro frame Interval	THSFRAM		124.9375	125.0625	μs
Consecutive Micro frame Interval Difference	THSRFI			4 high-speed bit times	
High-speed Data Timings:					
Data source jitter		Source and receiver jitter specified by the eye pattern templates in Section 7.1.2.2			
Receiver jitter tolerance					

表 5- 11 USB 全速源电气特性

Parameter	Symbol	Conditions	Min.	Max.	Units
Driver Characteristics:					
Rise Time	TFR		4	20	ns
Fall Time	TFF		4	20	ns
Differential Rise and Fall Time Matching	TFRFM	(TFR/TFF)	90	111.11	%
Driver Output Resistance for driver which is not high-speed capable	ZDRV		28	44	Ω
Clock Timings:					
Full-speed Data Rate for hubs and devices which are high-speed capable	TFDRATHS	Average bit rate	11.994	12.006	Mb/s



Full-speed Data Rate for devices which are not high-speed capable		TFDRATE	Average bit rate	11.97	12.03	Mb/s
Frame Interval		TFRAME		0.9995	1.0005	ms
Consecutive Frame Interval Jitter		TRFI	No clock adjustment		42	ns
Full-speed Data Timings:						
Source Jitter Total(including frequency tolerance):	To Next Transition	TDJ1		-3.5	3.5	ns
	For Paired Transitions	TDJ2		-4	4	ns
Source Jitter for Differential Transition to SEO Transition		TFDEOP		-2	5	ns
Receiver Jitter:	To Next Transition	TJR1		-18.5	18.5	ns
	For Paired Transitions	TJR2		-9	9	ns
Source SEO interval of EOP		TFEOPT		160	175	ns
Receiver SEO interval of EOP		TFEOPR		82		ns
Width of SEO interval during differential transition		TFST			14	ns

表 5- 12 USB 低速源电气特性

Parameter		Symbol	Min.	Max.	Units
Driver Characteristics:					
Transition Time:	Rise Time	TLR	75	300	ns
	Fall Time	TLF	75	300	ns
Rise and Fall Time Matching		TLRFM	80	125	%
Upstream Facing Port(w/cable, low-speed only)		CLINUA	200	450	pF
Clock Timings:					
Low-speed Data Rate for hubs which are high-speed capable		TLDRATHS	1.49925	1.50075	Mb/s
Low-speed Data Rate for devices which are not high-speed capable		TLDRATE	1.4775	1.5225	Mb/s
Low-speed Data Timings:					
Upstream facing port source Jitter Total(including frequency tolerance):	To Next Transition	TUDJ1	-95	95	ns
	For Paired Transitions	TUDJ2	-150	150	ns
Upstream facing port source Jitter for Differential Transition to SEO Transition		TLDEOP	-40	100	ns
Upstream facing port differential Receiver Jitter:	To Next Transition	TDJR1	-75	75	ns
	For Paired Transitions	TDJR2	-45	45	ns
Downstream facing port source Jitter Total(including frequency tolerance):	To Next Transition	TDDJ1	-25	25	ns
	For Paired Transitions	TDDJ2	-14	14	ns



Downstream facing port source Jitter for Differential Transition to SE0 Transition					ns
Downstream facing port Differential Receiver Jitter:	To Next Transition	TUJR1	-152	152	ns
	For Paired Transitions	TUJR2	-200	200	ns
Source SE0 interval of EOP		TLEOPT	1.25	1.5	μs
Receiver SE0 interval of EOP		TLEOPR	670		ns
Width of SE0 interval during differential transition		TLST		210	ns

5.5 SPI 接口特性

表 5- 13 SPI Flash 接口时序

参数	描述	最小	典型	最大	单位
T_ckh	SCK 时钟高电平时间	0.5T-1	-	-	ns
T_ckl	SCK 时钟低电平时间	0.5T-1	-	-	ns
T_val	SCK 下降沿到数据输出的延迟	-5	-	5	ns
T_su	数据输入建立时间	20	-	-	ns
T_h	数据输入保持时间	0	-	-	ns

注：T 为 SCK 时钟周期

5.6 I2C 接口特性

表 5- 14 I²C 接口时序

参数	描述	最小	典型	最大	单位
T_ckh	SCL 时钟高电平时间	1.5	-	-	μs
T_ckl	SCL 时钟低电平时间	1.0	-	-	μs
T_val	SCL 下降沿到数据输出的延迟	5	-	-	μs
T_su	数据建立时间 (SDA 变化到 SCL 上升)	0	-	-	μs
T_h	数据保持时间 (SCL 下降到 SDA 变化)	0	-	-	μs



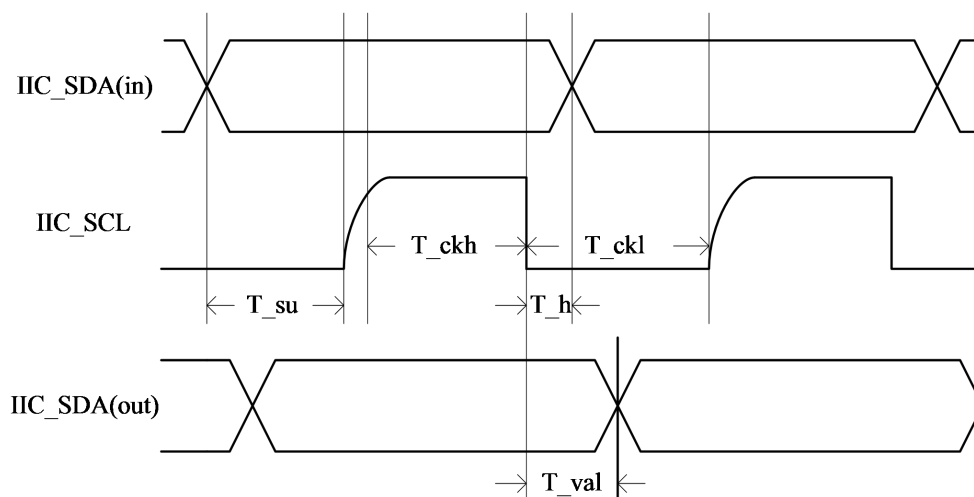


图 5.3 I²C 接口时序



6 热特性

6.1 热参数

表 6- 1 热特性参数和推荐的最大值

Parameter	Value
TDP Max Power	1.5 Watts
Rth (J-C)	10°C/W
Tc	70 ° C

6.2 焊接温度

表 6- 2 回流焊接温度分类表

Profile Feature		Pb-Free Assembly
Average ramp-up rate (T _{smax} to T _p)		3° C/second max.
Preheat	Temperature Min (T _{smin})	150 ° C
	Temperature Max (T _{smax})	200 ° C
	Time (T _{smin} to T _{smax}) (ts)	60-180 seconds
Time maintained above	Temperature (TL)	217 ° C
	Time (tL)	60-150 seconds
Peak Temperature (T _p)		245° C
Time within 5° C of actual Peak Temperature (tp)2		20-40 seconds
Ramp-down Rate		6 ° C/second max.
Time 25° C to Peak Temperature		8 minutes max.



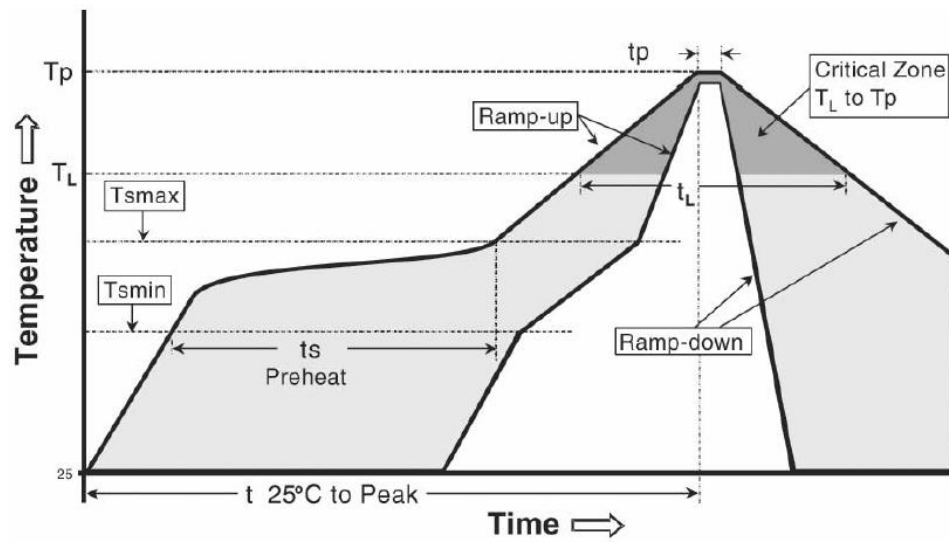


图 6.1 焊接回流曲线



7 芯片引脚排列和封装

7.1 引脚顶层排列

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	
A		OTG_VBUS	OTG_DM	VSS	GMAC_TXC_K1	GMAC_RXD1	GMAC_ACTL	GMAC_RXCK	SDIO1_D2	SDIO1_D3	SYS_UART_TXD	PRT_PMIO01	PRT_PMIO02	PRT_PMIO07	PRT_PMIO12	PRT_PMIO15	VSS	A
B	USB_REFLK	OTG_ID	OTG_DP	USB_DP	GMAC_TXD3	GMAC_RXD0	GMAC_RXD3	GMAC_RXD2	SDIO1_D1	SYS_UART_RXD	PRT_PMIO00	PRT_PMIO03	PRT_PMIO08	PRT_PMIO09	PRT_PMIO11	PRT_PMIO17	PRT_PMIO21	B
C	VSS	OTG_DRVBU	VSS	USB_DM	GMAC_TCTL	GMAC_TXCK_Q	VSS	SDIO1_CLK	SDIO1_CMD	SYS_I2C_SDA	VSS	PRT_PMIO06	VSS	PRT_PMIO13	PRT_PMIO16	PRT_PMIO20	PRT_PMIO22	C
D	SYS_PLTRSTN	JTAG_TCK	JTAG_SEL	USB_OC	GMAC_TXD0	GMAC_TXD2	GMAC_MDCK	GMAC_MDI0	SDIO1_D0	SYS_I2C_SCL	PRT_PMIO05	PRT_PMIO10	PRT_PMIO14	PRT_PMIO18	PRT_PMIO23	PRT_I2C_SCL	PRT_I2C_SDA	D
E	SYS_RESETN	VIO_3V3	JTAG_TRST	JTAG_TDO	VSS	VUSB_A3V3	GMAC_TXD1	VIO_3V3	VIO_3V3	VIO_3V3	PRT_PMIO04	VIO_3V3	PRT_PMIO19	PRT_UART_TXD	SCA_PMIO2	SCA_PMIO1	SCA_PMIO4	E
F	PRT_VIDOUT2	PRT_VIDOUT3	VSS	JTAG_TMS	JTAG_TDI	VIO_1V8	VSS	VSS	VSS	VSS	VSS	PRT_UART_RXD	SCA_PMIO0	VSS	SCA_PMIO3	SCA_PMIO6	VSS	F
G	VSS	PRT_VIDOUT0	PRT_VIDOUT1	VSS	SYS_D0TESTN	VIO_3V3	VDD_CORE	VDD_CORE	VDD_CORE	VSS	VSS	VSS	VSS	SCA_PMIO5	SCA_PMIO7	SCA_SPL_CLK	SCA_SPL_ISO	G
H	ACH07	VADC_VSS	SYS_XTALO	SYS_XTALI	SYS_TESTCLK	VSS	VDD_CORE	VDD_CORE	VDD_CORE	VDD_CORE	VDD_CORE	VDD_CORE	SCA_UART_TXD	SCA_UART_RXD	VSS	SCA_SPL_SN	SCA_SPL_OSI	H
J	ACH03	ACH02	ACH06	VADC_VSS	VIO_1V8	VADC_A1V8	VSS	VSS	VSS	VSS	VSS	VIO_3V3	SCA_AFE03	VSS	SCA_AFE01	SCA_AFE05	SCA_AFE0K	J
K	VADC_VSS	ACH01	ACH05	VADC_VSS	VPLL_1V8	VPLL_VSS	VDD_CORE	VDD_CORE	VDD_CORE	VDD_CORE	VDD_CORE	VDD_CORE	VIO_3V3	SCA_AFE06	SCA_AFE07	SCA_AFE02	SCA_AFE00	K
L	ACH00	ACH04	VSS	SDIO0_CEXT1	VSDIO00_3V31V8	VSDIO00_3V31V8	VDD_CORE	VDD_CORE	VDD_CORE	VSS	VSS	VSS	SYS_PMIO08	SYS_PMIO04	VSS	SCA_AFE05	SCA_AFE04	L
M	SDIO0_CLK	VSS	SDIO0_CMD	SDIO0_CEXT0	VSDIO00_3V31V8	VSS	VSS	VDDR_1V2	VSS	VDDR_1V2	VSS	VSP1_3V31V8	SYS_PMIO11	VSS	SCA_CISPM	SCA_CISPLK0	SCA_CISCLK0	M
N	SDIO0_D3	SDIO0_D4	SDIO0_D1	VSS	VDDR_1V2	VDDR_1V2	VSS	VDDR_1V2	VSS	VDDR_1V2	VSS	VDDR_VREF	DDR_DQ04	VSS	SYS_PMIO09	SYS_PMIO02	SCA_CISPLS	N
P	SDIO0_D0	SDIO0_D2	VSS	DDR_RESETN	DDR_A13	VSS	DDR_A02	DDR_A03	DDR_WEN	DDR_CKE	VSS	DDR_DQ01	DDR_DQ05	SYS_PMIO10	SYS_PMIO03	SYS_PMIO01	SYS_PMIO00	P
R	SDIO0_D5	VSS	DDR_BG17A14	VSS	DDR_A08	DDR_A06	VDDR_1V2	DDR_BA1	DDR_SCEN	VSS	DDR_DQ02	VSS	VSS	SPL_CEXT	SPL_MOSI	SYS_PMIO06	SYS_PMIO05	R
T	SDIO0_D6	SDIO0_D7	DDR_A11	DDR_A07	DDR_A05	DDR_A00	DDR_ACTN/A15	DDR_A10	DDR_ODT	DDR_CKN	VSS	DDR_DQ06	DDR_DQ08	VSS	SPL_MISO	SPL_CS	SYS_PMIO07	T
U	VSS	DDR_A09	DDR_A01	DDR_A04	DDR_A12	DDR_BG0/BA2	DDR_BA0	DDR_CASN	DDR_RASN	DDR_CNP	DDR_DQ03	DDR_DQ07	DDR_DQ08	DDR_DQM	DDR_DQ00	SPL_CLK	VSS	U
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	

图 7.1 顶层引脚排布总览



表 7- 1 顶层引脚排列

	1	2	3	4
A		OTG_VBUS	OTG_DM	VSS
B	USB_REFCLK	OTG_ID	OTG_DP	USB_DP
C	VSS	OTG_DRVBUS	VSS	USB_DM
D	SYS_PLTRSTN	JTAG_TCK	JTAG_SEL	USB_OC
E	SYS_RESETN	VIO_3V3	JTAG_TRST	JTAG_TDO
F	PRT_VIDOUT0	PRT_VIDOUT1	VSS	JTAG_TMS
G	VSS	PRT_VIDOUT2	PRT_VIDOUT3	VSS
H	ACH03	ACH07	SYS_XTAL0	SYS_XTALI
J	VADC_VSS	ACH02	ACH06	VADC_VSS
K	VADC_VSS	ACH01	ACH05	VADC_VSS
L	ACH00	ACH04	VSS	SDIO0_CMD
M	SDIO0_CEXT1	VSS	SDIO0_D0	SDIO0_D3
N	SDIO0_CLK	SDIO0_D1	SDIO0_D2	VSS
P	SDIO0_D4	SDIO0_D5	VSS	DDR_RESETN
R	SDIO0_D6	VSS	DDR_BG1/A14	VSS
T	SDIO0_D7	SDIO0_CEXT0	DDR_A11	DDR_A07
U	VSS	DDR_A09	DDR_A01	DDR_A04
	1	2	3	4

	5	6	7	8
A	GMAC_TXCK_I	GMAC_RXD1	GMAC_RCTL	SDIO1_CLK
B	GMAC_TXD3	GMAC_RXD0	GMAC_RXD3	GMAC_RXCK
C	GMAC_TCTL	GMAC_TXCK_0	VSS	GMAC_RXD2
D	GMAC_TXD0	GMAC_TXD2	GMAC_MDCK	GMAC_MDIO
E	VSS	VUSB_A3V3	GMAC_TXD1	VIO_3V3
F	JTAG_TDI	VIO_1V8	VSS	VSS
G	SYS_DOTESTN	VIO_3V3	VDD_CORE	VDD_CORE
H	SYS_TESTCLK	VSS	VDD_CORE	VDD_CORE
J	VIO_1V8	VADC_A1V8	VSS	VSS
K	VPLL_1V8	VPLL_VSS	VDD_CORE	VDD_CORE
L	VSDIO01_3V31V8	VSDIO00_3V31V8	VDD_CORE	VDD_CORE
M	VSDIO01_3V31V8	VSS	VSS	VDDR_1V21V5
N	VDDR_1V21V5	DDR_REXT	VDDR_1V21V5	VSS
P	DDR_A13	VSS	DDR_A02	DDR_A03
R	DDR_A08	DDR_A06	VDDR_1V21V5	DDR_BA1
T	DDR_A05	DDR_A00	DDR_ACTN/A15	DDR_A10
U	DDR_A12	DDR_BG0/BA2	DDR_BA0	DDR_CASN
	5	6	7	8



	9	10	11	12
A	SDIO1_D2	SDIO1_D3	SYS_UART_TXD	PRT_PMIO01
B	SDIO1_D1	SYS_UART_RXD	PRT_PMIO00	PRT_PMIO03
C	SDIO1_CMD	SYS_I2C_SDA	VSS	PRT_PMIO06
D	SDIO1_D0	SYS_I2C_SCL	PRT_PMIO05	PRT_PMIO10
E	VIO_3V3	VIO_3V3	PRT_PMIO04	VIO_3V3
F	VSS	VSS	VSS	VSS
G	VDD_CORE	VSS	VSS	VSS
H	VDD_CORE	VDD_CORE	VDD_CORE	VDD_CORE
J	VSS	VSS	VSS	VIO_3V3
K	VDD_CORE	VDD_CORE	VDD_CORE	VDD_CORE
L	VDD_CORE	VSS	VSS	VSS
M	VSS	VDDR_1V21V5	VSS	VSPI_3V31V8
N	VDDR_1V21V5	VSS	DDR_VREF	DDR_DQ04
P	DDR_WEN	DDR_CKE	VSS	DDR_DQ01
R	DDR_SCSN	VSS	DDR_DQ02	VSS
T	DDR_ODT	DDR_CKN	VSS	DDR_DQ06
U	DDR_RASN	DDR_CKP	DDR_DQ03	DDR_DQ07
	9	10	11	12

	13	14	15	16	17
A	PRT_PMIO02	PRT_PMIO07	PRT_PMIO12	PRT_PMIO15	VSS
B	PRT_PMIO08	PRT_PMIO09	PRT_PMIO11	PRT_PMIO17	PRT_PMIO21
C	VSS	PRT_PMIO13	PRT_PMIO16	PRT_PMIO20	PRT_PMIO22
D	PRT_PMIO14	PRT_PMIO18	PRT_PMIO23	PRT_I2C_SCL	PRT_I2C_SDA
E	PRT_PMIO19	PRT_UART_TXD	SCA_PMIO2	SCA_PMIO1	SCA_PMIO4
F	PRT_UART_RXD	SCA_PMIO0	VSS	SCA_PMIO3	SCA_PMIO6
G	VSS	SCA_PMIO5	SCA_PMIO7	SCA_SPI_CLK	SCA_SPI_MISO
H	SCA_UART_TXD	SCA_UART_RXD	VSS	SCA_SPI_CSN	SCA_SPI_MOSI
J	SCA_AFED3	VSS	SCA_AFED1	SCA_AFEPLS	SCA_AFECLK
K	VIO_3V3	SCA_AFED6	SCA_AFED7	SCA_AFED2	SCA_AFED0
L	SYS_PMIO08	SYS_PMIO06	VSS	SCA_AFED5	SCA_AFED4
M	SYS_PMIO11	VSS	SCA_CISPWM	SCA_CISCLK2	SCA_CISCLK0
N	VSS	SYS_PMIO09	SYS_PMIO02	SCA_CISPLS	SCA_CISCLK1
P	DDR_DQ05	SYS_PMIO10	SYS_PMIO03	SYS_PMIO01	SYS_PMIO00
R	VSS	SPI_MISO	SPI_MOSI	SYS_PMIO05	SYS_PMIO04
T	DDR_DQSP	VSS	SPI_CLK	SPI_CSN	SYS_PMIO07
U	DDR_DQSN	DDR_DQM	DDR_DQ00	SPI_CEXT	VSS
	13	14	15	16	17



7.2 封装尺寸

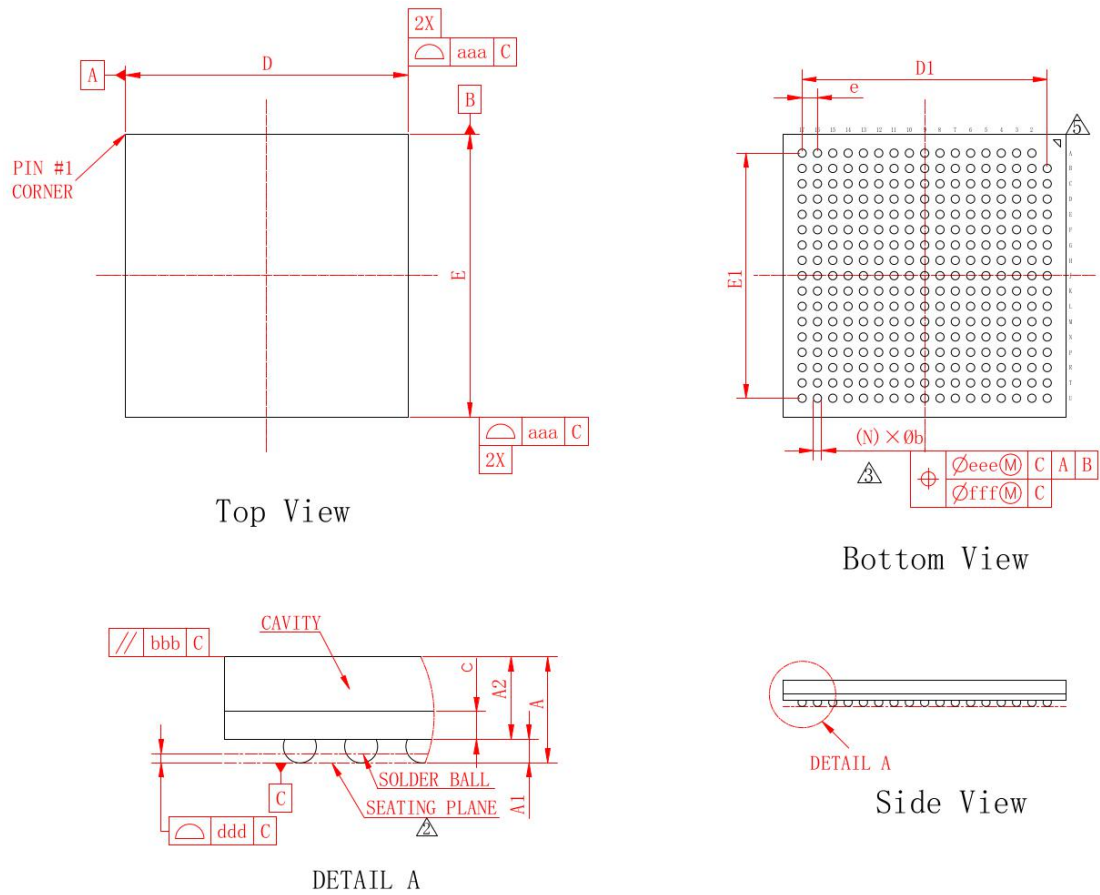


图 7.2 封装外形图



表 7- 2 封装外形尺寸

单位为毫米

尺寸符号	最小	公称	最大
A	1.02	—	1.23
A1	0.20	—	0.30
A2	0.80	—	0.95
c	0.25	—	0.34
D/E	11.90	—	12.10
D1/E1	—	10.40	—
b	0.30	—	0.40
e	—	0.65	—
ddd	0.10		
eee	0.15		

NOTE:

1. DIMENSIONS ARE IN MILLIMETERS.
2. ALL DIMENSIONS AND TOLERANCE CONFORM TO ASME Y14.5M-2009.
3. TERMINAL POSMONS DESIGNATION PER JESD 95.
4. REFLOW BALL DIAMETER.
5. DIMENSION “b” IS MEASURED AT THE MAXIMUM SOLDER BALL DIAMETER PARALLEL TO PRIMARY DATUM C.
6. RAW SOLDER BALL SIZE DURING ASSEMBLY IS $\phi 0.50\text{MM}$.



8 不使用引脚的处理

不使用的引脚需按以下原则处理：

表 8- 1 不使用引脚推荐处理表

信号组	不使用的处理方式
JTAG	JTAG_TRST/TDI 需 10Kohm 下拉，其它信号可悬空
时钟配置	必须正确连接
电源地	电源地不可悬空 USB不使用时，USB_A3V3 电源可接地 其它电源地必须正确连接
其他不使用引脚	输出信号均可悬空，输入信号建议通过 10Kohm电阻接地（注：芯片GPIO功能复用相关引脚除上电配置引脚外，可不做处理）
NC引脚	必须悬空处理



9 产品标识

产品标识如图 9.1 所示。



图 9.1 产品标识图

每一器件应标志下列内容：

- a) ●：定位点；
- b) LS2P0300：器件识别号；
- c) CHN YYWW VV：厂商信息一（YYWW=年周，VV=版本号）；
- d) VDAAAAAYMNNNN：厂商信息二、识别号；
（VD=Manufacturer；AAAAAA=Assembly Lot ID；YM="Y", last number of year, "M",
Month=A~L；NNNN=Serial Number）
- e) LOONGSON®：厂商信息三；
- f) 二维码（右上角）。

修订记录

版本号	更新内容
V1.0	发布版本

技术支持

可通过邮箱向我司提交芯片手册和产品使用的问题，并获取技术支持。

服务邮箱：service@loongson.cn

声明

本文档版权归龙芯中科技术股份有限公司所有，未经许可不得擅自实施传播等侵害版权人合法权益的行为。

本文档仅提供阶段性信息，可根据实际情况进行更新，恕不另行通知。如因文档使用不当造成的直接或间接损失，本公司不承担任何责任。

龙芯中科技术股份有限公司

Loongson Technology Corporation Limited

地址：北京市海淀区中关村环保科技示范园龙芯产业园 2 号楼

Building No.2, Loongson Industrial Park,

Zhongguancun Environmental Protection Park, Haidian District, Beijing

电话(Tel): 010-62546668

传真(Fax): 010-62600826