



LOONGSON

龙芯 1C203 处理器用户手册

V1.0

2025 年 12 月

龙芯中科技术股份有限公司

自主决定命运，创新成就未来

北京市海淀区中关村环保科技示范园龙芯产业园 100095
Loongson Industrial Park. Zhongguancun Environmental Protection Park.
Haidian District, Beijing 100095. P.R.China



www.loongson.cn

阅读指南

《龙芯 1C203 处理器用户手册》主要介绍龙芯 1C203 的架构与寄存器描述；包括用户手册和片上设备使用指南两部分，软件编程指南介绍软件开发过程中的常见问题。关于龙芯 1C203 处理器所集成的 LA132 处理器核的相关资料，请参阅《龙芯 LA132 处理器核用户手册》。

目 录

目录	i
第一章 概述	1
1.1 特性	1
1.2 结构框图	2
1.3 文档约定	4
1.3.1 信号命名	4
1.3.2 信号类型	4
1.3.3 数值表示	4
1.3.4 寄存器域	4
第二章 地址空间	5
第三章 ATIM 定时器	6
3.1 概述	6
3.2 功能描述	6
3.2.1 计数模式	6
3.2.2 输入模式	7
3.2.3 输出模式	8
3.2.4 定时器外部控制	10
3.3 寄存器空间	10
3.3.1 控制寄存器 1 (CR1)	11
3.3.2 控制寄存器 2 (CR2)	12
3.3.3 从模式控制寄存器 (SMCR)	13
3.3.4 DMA/中断使能寄存器 (DIER)	15
3.3.5 状态寄存器 (SR)	16
3.3.6 事件产生寄存器 (EGR)	17
3.3.7 捕获/比较模式寄存器 1(输出) (CCMR1)	18
3.3.8 捕获/比较模式寄存器 1(输入) (CCMR1)	20
3.3.9 捕获/比较模式寄存器 2(输出) (CCMR2)	21
3.3.10 捕获/比较模式寄存器 2(输入) (CCMR2)	22

3.3.11	捕获/比较使能寄存器 (CCER)	23
3.3.12	计数器 (CNT)	24
3.3.13	预分频器 (PSC).....	25
3.3.14	自动重装载寄存器 (ARR).....	25
3.3.15	重复计数寄存器 (RCR)	25
3.3.16	捕获/比较寄存器 1 (CCR1)	26
3.3.17	捕获/比较寄存器 2 (CCR2)	26
3.3.18	捕获/比较寄存器 3 (CCR3).....	26
3.3.19	捕获/比较寄存器 4 (CCR4)	26
3.3.20	刹车和死区寄存器 (BDTR)	27
3.3.21	输入通道状态寄存器 (INSTA)	28
3.4	使用说明	28
第四章	GTIM 定时器	30
4.1	概述	30
4.2	功能描述	30
4.2.1	计数模式	30
4.2.2	输入模式	31
4.2.3	输出模式	32
4.2.4	定时器外部控制	33
4.3	寄存器空间	33
4.3.1	控制寄存器 1 (CR1)	34
4.3.2	控制寄存器 2 (CR2)	35
4.3.3	从模式控制寄存器 (SMCR)	36
4.3.4	DMA/中断使能寄存器 (DIER)	37
4.3.5	状态寄存器 (SR)	38
4.3.6	事件产生寄存器 (EGR)	39
4.3.7	捕获/比较模式寄存器 1(输出) (CCMR1)	40
4.3.8	捕获/比较模式寄存器 1(输入) (CCMR1)	41
4.3.9	捕获/比较模式寄存器 2(输出) (CCMR2)	42
4.3.10	捕获/比较模式寄存器 2(输入) (CCMR2)	44
4.3.11	捕获/比较使能寄存器 (CCER)	45

4.3.12	计数器 (CNT)	46
4.3.13	预分频器 (PSC).....	46
4.3.14	自动重装载寄存器 (ARR).....	46
4.3.15	捕获/比较寄存器 1 (CCR1)	47
4.3.16	捕获/比较寄存器 2 (CCR2)	47
4.3.17	捕获/比较寄存器 3 (CCR3).....	47
4.3.18	捕获/比较寄存器 4 (CCR4)	47
4.3.19	输入通道状态寄存器 (INSTA)	48
4.4	使用说明	48
第五章	BTIM 定时器	50
5.1	概述	50
5.2	功能描述	50
5.3	寄存器空间	50
5.3.1	控制寄存器 1 (CR1).....	51
5.3.2	控制寄存器 2 (CR2)	51
5.3.3	DMA/中断使能寄存器 (DIER)	52
5.3.4	状态寄存器 (SR)	52
5.3.5	事件产生寄存器 (EGR)	52
5.3.6	计数器 (CNT)	53
5.3.7	预分频器 (PSC).....	53
5.3.8	自动重装载寄存器 (ARR)	53
5.4	使用说明	54
第六章	ADC 控制器	55
6.1	概述	55
6.2	工作模式	55
6.2.1	单次转换模式	55
6.2.2	连续转换模式	55
6.2.3	扫描模式	55
6.2.4	间断模式	55
6.3	功能描述	56
6.3.1	注入通道管理	56

6.3.2	数据对齐	56
6.3.3	可编程的通道采样时间	56
6.3.4	模拟看门狗	57
6.3.5	DMA 请求	57
6.3.6	外部触发	57
6.4	寄存器定义	57
6.4.1	ADC 状态寄存器 (ADC_SR)	58
6.4.2	ADC 控制寄存器 1 (ADC_CR1)	59
6.4.3	ADC 控制寄存器 2 (ADC_CR2)	60
6.4.4	ADC 采样时间寄存器 1 (ADC_SMPR1)	62
6.4.5	ADC 采样时间寄存器 2 (ADC_SMPR2)	63
6.4.6	ADC 输入通道数据偏移寄存器 (ADC_JOFR _x (x=1..4))	63
6.4.7	ADC 看门狗高阈值寄存器 (ADC_HTR)	63
6.4.8	ADC 看门狗低阈值寄存器 (ADC_LTR)	63
6.4.9	ADC 规则序列寄存器 1 (ADC_SQR1)	64
6.4.10	ADC 规则序列寄存器 2 (ADC_SQR2)	65
6.4.11	ADC 规则序列寄存器 3 (ADC_SQR3)	65
6.4.12	ADC 注入序列寄存器 (ADC_JSQR)	66
6.4.13	ADC 注入数据寄存器 (ADC_JDR _x (x=1..4))	67
6.4.14	ADC 规则数据寄存器 (ADC_DR)	67
6.5	使用说明	68
第七章	DMA 控制器	69
7.1	概述	69
7.2	寄存器定义	69
7.2.1	DMA 中断状态寄存器 (DMA_ISR)	70
7.2.2	DMA 中断标志清除寄存器 (DMA_IFCR)	70
7.2.3	DMA 通道 x 配置寄存器 (DMA_CCR _x)	70
7.2.4	DMA 通道 x 传输数量寄存器 (DMA_CNDTR _x)	72
7.2.5	DMA 通道 x 外设地址寄存器 (DMA_CPAR _x)	72
7.2.6	DMA 通道 x 存储器地址寄存器 (DMA_CMAR _x)	72
7.3	功能描述	73

7.3.1	配置流程	73
7.3.2	宽度和对齐方式	73
7.3.3	通道映射	73
第八章	CRC 控制器	75
8.1	概述	75
8.2	寄存器定义	75
8.2.1	CRC 数据寄存器 (CRC_DR)	75
8.2.2	CRC 独立数据寄存器 (CRC_IDR)	76
8.2.3	CRC 控制寄存器 (CRC_CR)	76
第九章	Flash	77
9.1	概述	77
9.2	存储空间	77
9.3	寄存器空间	78
9.3.1	命令寄存器 (CMD)	78
9.3.2	状态寄存器 (STS)	78
9.3.3	擦写时间寄存器 (PET)	79
9.3.4	BOUND 寄存器 (BOUND)	79
9.3.5	OTP 配置寄存器 (OTP_CFG)	80
9.4	使用说明	80
9.4.1	代码保护	80
9.4.2	中断	80
9.4.3	编程指南	80
9.4.4	OTP 功能	81
第十章	SPI 控制器	82
10.1	概述	82
10.2	寄存器定义	82
10.2.1	控制寄存器 (SPCR)	83
10.2.2	状态寄存器 (SPSR)	83
10.2.3	数据寄存器 (DATA)	84
10.2.4	外部寄存器 (SPER)	84
10.2.5	参数控制寄存器 (PARAM)	85

10.2.6 片选控制寄存器 (SOFTCS)	85
10.2.7 Flash 读引擎时序控制寄存器 (TIMING)	86
10.3 接口时序	86
10.3.1 SPI 主控制器接口时序	86
10.3.2 SPI Flash 访问时序	86
10.4 使用指南	86
10.4.1 SPI 主控制器的读写操作	86
10.4.2 硬件 SPI Flash 读	88
10.4.3 混合访问 SPI Flash 和 SPI 主控制器	88
10.4.4 安装模式	88
第十一章 UART 控制器	89
11.1 概述	89
11.2 寄存器定义	89
11.2.1 数据寄存器 (DAT)	89
11.2.2 中断使能寄存器 (IER)	89
11.2.3 中断状态寄存器 (IIR)	90
11.2.4 FIFO 控制寄存器 (FCR)	90
11.2.5 线路控制寄存器 (LCR)	91
11.2.6 MODEM 控制寄存器 (MCR)	92
11.2.7 线路状态寄存器 (LSR)	92
11.2.8 分频值低字节寄存器 (DL_L)	93
11.2.9 分频值高字节寄存器 (DL_H)	93
11.2.10 分频值小数寄存器 (DL_D)	93
11.3 使用指南	94
11.3.1 配置流程	94
第十二章 I²C 控制器	95
12.1 概述	95
12.2 主要特性	95
12.3 功能描述	96
12.3.1 模式选择	96
12.3.2 从模式	96

12.3.3 主模式	98
12.3.4 错误条件	102
12.3.5 DMA 请求	102
12.4 中断	103
12.5 寄存器定义	104
12.5.1 I ² C 控制寄存器 1 (I2C_CR1)	104
12.5.2 I ² C 控制寄存器 2 (I2C_CR2)	105
12.5.3 I ² C 从地址寄存器 (I2C_OAR)	106
12.5.4 I ² C 数据寄存器 (I2C_DR)	106
12.5.5 I ² C 状态寄存器 1 (I2C_SR1)	106
12.5.6 I ² C 状态寄存器 2 (I2C_SR2)	108
12.5.7 I ² C 时钟控制寄存器 (I2C_CCR)	108
12.5.8 I ² C 上升时间寄存器 (I2C_TRISE)	109
第十三章 CAN FD 控制器	110
13.1 概述	110
13.2 CAN FD 控制器特性	110
第十四章 模拟比较器	111
14.1 概述	111
14.2 寄存器空间	111
14.2.1 比较器 x 控制寄存器 (CRx)	111
14.2.2 状态寄存器 (SR)	112
第十五章 CONF	113
15.1 概述	113
15.2 中断结构	113
15.3 中断处理	114
15.4 寄存器定义	114
15.4.1 中断使能寄存器 (INT_EN)	115
15.4.2 中断输出寄存器 (INT_OUT)	115
15.4.3 CPU 全局配置 (CpuCtrl)	116
15.4.4 软件复位 (RstCtrl)	117
15.4.5 时钟关断 (ClkCtrl)	118

15.4.6 运行状态及保护寄存器 (SrProt)	119
15.4.7 OSC TRIM 寄存器 (OSCTrim)	119
15.4.8 PLL 控制寄存器 (PllCtrl)	119
第十六章 电源与顶层控制	121
16.1 电源管理	121
16.2 寄存器定义	122
16.2.1 芯片全局配置 (ChipCtrl)	122
16.2.2 命令与状态 (CmdSts)	123
16.2.3 时间计数器 (Count)	124
16.2.4 唤醒时间配置 (Compare)	124
16.2.5 软件复位 (RstCtrl)	124
16.2.6 时钟关断 (ClkCtrl)	124
16.2.7 看门狗配置寄存器 (WdtCfg)	125
16.2.8 看门狗重置寄存器 (WdtFeed)	125
16.2.9 电源配置 (PowerCfg)	126
16.2.10 命令写端口 (CommandW)	126
16.2.11 用户数据 0/1/2/3 (UserDat)	126
第十七章 实时时钟	128
17.1 概述	128
17.2 寄存器定义	128
17.2.1 分频值寄存器 (FREQ)	128
17.2.2 配置寄存器 (CFG)	128
17.2.3 时间值寄存器 0 (RTC0)	129
17.2.4 时间值寄存器 1 (RTC1)	129
17.3 说明	130
第十八章 IO 配置	131
18.1 概述	131
18.2 寄存器定义	132
18.2.1 引脚复用选择 (IOSEL0)	133
18.2.2 引脚复用选择 (IOSEL1)	133
18.2.3 外部触发使能 (ExtEn)	133

18.2.4	外部中断使能 (ExintEn)	134
18.2.5	外部中断极性 (ExintPol)	134
18.2.6	外部中断上升沿 (ExintRis)	134
18.2.7	外部中断下降沿 (ExintFal)	134
18.2.8	外部触发状态 (ExtSrc)	135
18.2.9	端口配置低寄存器 (GPIOx_CRL)	135
18.2.10	端口配置高寄存器 (GPIOx_CRH)	136
18.2.11	端口输入数据寄存器 (GPIOx_IDR)	136
18.2.12	端口输出数据寄存器 (GPIOx_ODR)	136
18.2.13	端口设置/清除寄存器 (GPIOx_BSRR)	137
18.2.14	GPIO 位访问配置端口 (GPIOBit_CFG)	137
18.2.15	GPIO 位访问输入端口 (GPIOBit_IDR)	137
18.2.16	GPIO 位访问输出端口 (GPIOBit_ODR)	138

表 目 录

1.1	信号类型约定	4
2.1	地址空间分布	5
3.1	ATIM 控制器寄存器列表	10
3.2	控制寄存器 1	11
3.3	控制寄存器 2	12
3.4	从模式控制寄存器	13
3.5	DMA/中断使能寄存器	15
3.6	状态寄存器	16
3.7	事件产生寄存器	17
3.8	捕获/比较模式寄存器 1(输出)	18
3.9	捕获/比较模式寄存器 1(输入)	20
3.10	捕获/比较模式寄存器 2(输出)	21
3.11	捕获/比较模式寄存器 2(输入)	22
3.12	捕获/比较使能寄存器	24
3.13	计数器	25
3.14	预分频器	25
3.15	自动重装载寄存器	25
3.16	重复计数寄存器	25
3.17	捕获/比较寄存器 1	26
3.18	捕获/比较寄存器 2	26
3.19	捕获/比较寄存器 3	26
3.20	捕获/比较寄存器 4	27
3.21	刹车和死区寄存器	27
3.22	输入通道状态寄存器	28
4.1	GTIM 控制器寄存器列表	33
4.2	控制寄存器 1	34

4.3	控制寄存器 2	35
4.4	从模式控制寄存器	36
4.5	DMA/中断使能寄存器	37
4.6	状态寄存器	38
4.7	事件产生寄存器	39
4.8	捕获/比较模式寄存器 1(输出)	40
4.9	捕获/比较模式寄存器 1(输入)	41
4.10	捕获/比较模式寄存器 2(输出)	43
4.11	捕获/比较模式寄存器 2(输入)	44
4.12	捕获/比较使能寄存器	45
4.13	计数器	46
4.14	预分频器	46
4.15	自动重装载寄存器	46
4.16	捕获/比较寄存器 1	47
4.17	捕获/比较寄存器 2	47
4.18	捕获/比较寄存器 3	47
4.19	捕获/比较寄存器 4	48
4.20	输入通道状态寄存器	48
5.1	BTIM 控制器寄存器列表	50
5.2	控制寄存器 1	51
5.3	控制寄存器 2	52
5.4	DMA/中断使能寄存器	52
5.5	状态寄存器	52
5.6	事件产生寄存器	53
5.7	计数器	53
5.8	预分频器	53
5.9	自动重装载寄存器	53
6.1	ADC 控制器寄存器列表	58
6.2	ADC 状态寄存器	58
6.3	ADC 控制寄存器 1	59

6.4	ADC 控制寄存器 2	60
6.5	ADC 采样时间寄存器 1	62
6.6	ADC 采样时间寄存器 2	63
6.7	ADC 输入通道数据偏移寄存器	63
6.8	ADC 看门狗高阈值寄存器	63
6.9	ADC 看门狗低阈值寄存器	64
6.10	ADC 规则序列寄存器 1	64
6.11	ADC 规则序列寄存器 2	65
6.12	ADC 规则序列寄存器 3	65
6.13	ADC 注入序列寄存器	66
6.14	ADC 注入数据寄存器	67
6.15	ADC 规则数据寄存器	67
7.1	DMA 寄存器列表	69
7.2	DMA 中断状态寄存器	70
7.3	DMA 中断标志清除寄存器	70
7.4	DMA 通道 x 配置寄存器	71
7.5	DMA 通道 x 传输数量寄存器	72
7.6	DMA 通道 x 外设地址寄存器	72
7.7	DMA 通道 x 存储器地址寄存器	73
7.8	DMA 通道与外设请求对应关系	73
8.1	CRC 寄存器列表	75
8.2	CRC 数据寄存器	75
8.3	CRC 独立数据寄存器	76
8.4	CRC 控制寄存器	76
9.1	Flash 控制器寄存器列表	78
9.2	命令寄存器	78
9.3	状态寄存器	78
9.4	擦写时间寄存器	79
9.5	BOUND 寄存器	79
9.6	OTP 配置寄存器	80

10.1	SPI 控制器寄存器列表	82
10.2	控制寄存器	83
10.3	状态寄存器	83
10.4	数据寄存器	84
10.5	外部寄存器	84
10.6	SPI 分频系数	84
10.7	参数控制寄存器	85
10.8	片选控制寄存器	85
10.9	Flash 读引擎时序控制寄存器	86
11.1	UART 寄存器列表	89
11.2	数据寄存器	89
11.3	中断使能寄存器	90
11.4	中断状态寄存器	90
11.5	中断控制器功能表	90
11.6	FIFO 控制寄存器	91
11.7	线路控制寄存器	91
11.8	MODEM 控制寄存器	92
11.9	线路状态寄存器	92
11.10	分频值低字节寄存器	93
11.11	分频值高字节寄存器	93
11.12	分频值小数寄存器	93
12.1	I ² C 中断请求	103
12.2	I ² C 控制器寄存器列表	104
12.3	I ² C 控制寄存器 1	104
12.4	I ² C 控制寄存器 2	105
12.5	I ² C 从地址寄存器	106
12.6	I ² C 数据寄存器	106
12.7	I ² C 状态寄存器 1	106
12.8	I ² C 状态寄存器 2	108
12.9	I ² C 时钟控制寄存器	108

12.10 I ² C 上升时间寄存器	109
14.1 ACOMP 控制器寄存器列表	111
14.2 比较器 x 控制寄存器	111
14.3 状态寄存器	112
15.1 中断对应关系	113
15.2 Conf 寄存器列表	115
15.3 中断使能寄存器	115
15.4 中断输出寄存器	115
15.5 CPU 全局配置	116
15.6 软件复位	117
15.7 时钟关断	118
15.8 运行状态及保护寄存器	119
15.9 OSC TRIM 寄存器	119
15.10 PLL 控制寄存器	120
16.1 PMU 寄存器列表	122
16.2 芯片全局配置	122
16.3 命令与状态	123
16.4 时间计数器	124
16.5 唤醒时间配置	124
16.6 软件复位	124
16.7 时钟关断	125
16.8 看门狗配置寄存器	125
16.9 看门狗重置寄存器	126
16.10 电源配置	126
16.11 命令写端口	126
16.12 用户数据 0/1/2/3	127
17.1 实时时钟寄存器列表	128
17.2 分频值寄存器	128
17.3 配置寄存器	129

17.4	时间值寄存器 0	129
17.5	时间值寄存器 1	130
18.1	QFN32 引脚复用关系	131
18.2	AFIO 寄存器列表	132
18.3	EXTI 寄存器列表	132
18.4	GPIOA 寄存器列表	132
18.5	GPIOB 寄存器列表	133
18.6	引脚复用选择	133
18.7	引脚复用选择	133
18.8	外部触发使能	134
18.9	外部中断使能	134
18.10	外部中断极性	134
18.11	外部中断上升沿	134
18.12	外部中断下降沿	135
18.13	外部触发状态	135
18.14	端口配置低寄存器	135
18.15	端口配置高寄存器	136
18.16	端口输入数据寄存器	136
18.17	端口输出数据寄存器	137
18.18	端口设置/清除寄存器	137
18.19	GPIO 位访问配置端口	137
18.20	GPIO 位访问输入端口	138
18.21	GPIO 位访问输出端口	138

图 目 录

1.1 龙芯 1C203 结构图	3
10.1 SPI 模块结构	82
10.2 SPI 主控制器接口时序	86
10.3 SPI Flash 标准读时序	87
10.4 SPI Flash 快速读时序	87
10.5 SPI Flash 双向 I/O 读时序	87
12.1 从发送模式示意图	97
12.2 从接收模式示意图	97
12.3 主发送模式示意图	99
12.4 主接收模式（及时）示意图	101
12.5 主接收模式（非及时、3 字节）示意图	101
12.6 主接收模式（非及时、2 字节）示意图	101
15.1 中断连接示意	113
16.1 电源架构	121

第一章 概述

龙芯 1C203 是针对电机驱动应用而设计的微控制器芯片。该芯片集成 CPU、SRAM、Flash、PMU、ATIM、GTIM、BTIM、ADC、DMA、SPI、UART、I²C、RTC 等功能模块，具备驱动舵机、有刷电机、无刷电机 PWM 的原生支持，同时具备常见通信模块，可以满足高性价比的常见电机应用。

1.1 特性

龙芯 1C203 具有以下关键特性：

- LA132 处理器核
 - 32 位单发射
 - 顺序执行、三级流水
 - 无 cache、MMU
 - JTAG 调试接口支持断点、单步
 - 8KB 指令 SRAM、8KB 数据 SRAM
 - 主频最高 160MHz
- 片上 Flash
 - 128KB 容量
 - 每页 256 字节
- 定时器
 - BTIM,GTIM,ATIM 三种定时器
 - 支持 PWM 可调输出，输入捕获
 - 调试模式下暂停
- ADC
 - 10 路输入
 - 12 位分辨率
 - 最高采样率 937KSPS
- ACOMP
 - 3 通道模拟比较器
- DMA
 - 4 个通道
 - 支持存储器到存储器，存储器到设备和设备到存储器传输

- 支持循环传输
- 支持以 1/2/4 字节为单位传输
- SPI 控制器
 - 独立的 Flash 接口，支持启动
- UART 控制器
 - 2 路两线串口
- I²C 控制器
 - 1 路
 - 支持主从模式
 - 速率 100/400Kbps
- CAN-FD 控制器
 - 1 路 CAN-FD
- 看门狗
 - 上电默认开启
 - 调试模式下暂停
- GPIO
 - 29 路复用 GPIO
 - 上电默认为 GPIO 功能，高阻态
- 低功耗
 - CPU 域可关断
 - APB 模块独立的时钟门控开关

1.2 结构框图

芯片以龙芯 LA132 处理器核为计算核心，采用 32 位 AXI+APB 两级总线连接片上资源和外围接口。芯片的结构如图1.1所示。

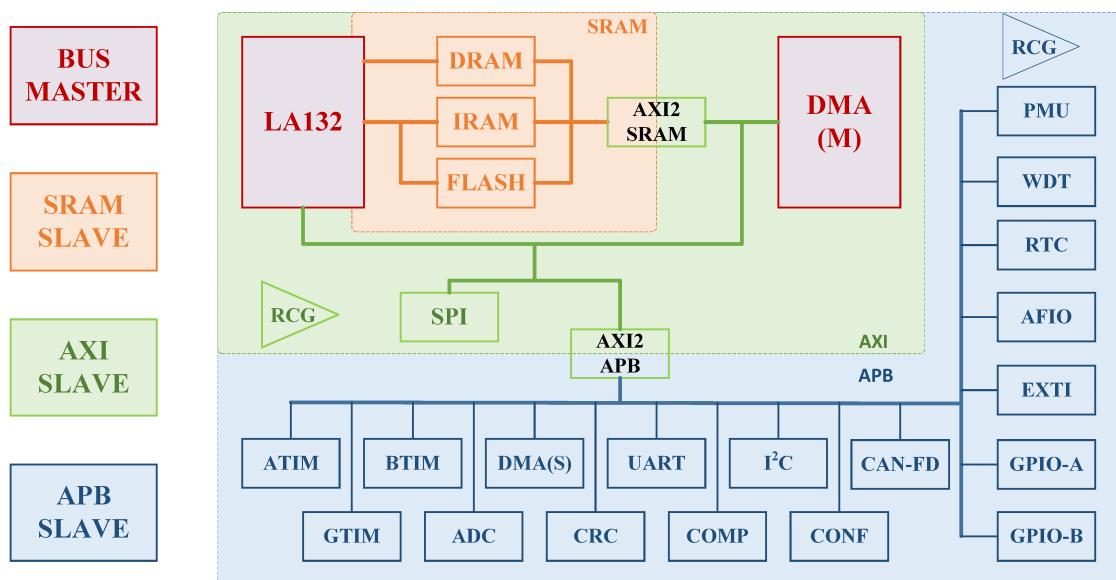


图 1.1: 龙芯 1C203 结构图

1.3 文档约定

1.3.1 信号命名

信号名的选取以方便记忆和明确标识功能为原则。低有效信号以 n 结尾，高有效信号则不带 n。

1.3.2 信号类型

表 1.1: 信号类型约定

代码	描述
A	模拟
DIFF I/O	双向差分
DIFF I	差分输入
DIFF O	差分输出
I	输入
I/O	双向
O	输出
OD	开漏输出
P	电源
G	地

1.3.3 数值表示

16 进制数表示为 'hxx, 2 进制数表示为 'bxx, 其他数字为 10 进制数。

1.3.4 寄存器域

寄存器域以 [寄存器名].[域名] 的形式加以引用。如 ChipCtrl.input_hold 指芯片配置寄存器 (ChipCtrl) 的 input_hold 域。

第二章 地址空间

表 2.1: 地址空间分布

地址空间	模块	说明	访问
0x0000_1000 - 0x0000_10ff	ATIM	高级定时器	W
0x0000_2000 - 0x0000_20ff	GTIM	通用定时器	W
0x0000_3000 - 0x0000_30ff	BTIM	基础定时器	W
0x0000_4000 - 0x0000_40ff	ADC	ADC 控制器	W
0x0000_5000 - 0x0000_50ff	DMA	DMA 控制器	W
0x0000_6000 - 0x0000_60ff	CRC	CRC 控制器	W
0x0000_7000 - 0x0000_70ff	Flash	Flash 控制器	W
0x0000_8000 - 0x0000_80ff	SPI	SPI 控制器	W
0x0000_9000 - 0x0000_90ff	UART0	串口 0 控制器	W
0x0000_9100 - 0x0000_91ff	UART1	串口 1 控制器	W
0x0000_a000 - 0x0000_a0ff	I ² C	I ² C 控制器	W
0x0000_b000 - 0x0000_b0ff	CONFREG	CONF 控制器	W
0x0000_c000 - 0x0000_c0ff	PMU	电源管理单元	W
0x0000_c800 - 0x0000_c8ff	RTC	实时时钟	W
0x0000_d000 - 0x0000_d0ff	AFIO	管脚复用控制器	W
0x0000_d100 - 0x0000_d1ff	EXTI	外部中断控制器	W
0x0000_d200 - 0x0000_d2ff	GPIOA	GPIOA 控制器	BW
0x0000_d300 - 0x0000_d3ff	GPIOB	GPIOA 控制器	BW
0x0000_e000 - 0x0000_e0ff	CAN	CAN 控制器	W
0x0000_f000 - 0x0000_f0ff	ACOMP	ACOMP 控制器	W
0x1000_0000 - 0x1000_1fff	IRAM	8KB, 可取指	BHW
0x1000_2000 - 0x1000_3fff	DRAM	8KB, 可取指	BHW
0x1800_0000 - 0x1801_ffff	Flash	Flash 存储区	BHW
0x1c00_0000 - 0x1fff_ffff	Boot	启动存储区映射	BHW
0x2000_0000 - 0x2fff_ffff	SPI	SPI Flash 存储区	BHW

注 1 : 访问类型包括字节 (B)、半字 (H) 和字 (W), 访存地址必须对齐。

第三章 ATIM 定时器

3.1 概述

龙芯 1C203 提供了一个由单个 16 位自动装载计数器驱动的 ATIM。

它适用于多种应用，如测量输入信号的脉冲长度或产生指定的输出波形。同时 ATIM 具有三路互补输出通道，对于电机相关应用具有良好的支持。

ATIM 的时钟由内部 APB 总线时钟提供，地址为 0x00001000，寄存器定义见下文。

3.2 功能描述

3.2.1 计数模式

定时器具有向上、向下、中央对齐 3 种计数模式，其中单向计数模式与中央对齐模式通过 CR1 寄存器中的 CMS 配置位进行选择。在单向计数模式中，用户通过配置 CR1 寄存器中的 DIR 位选择向上/向下计数。在中央对齐模式中，DIR 位只读，由硬件自动设置用于指示当前的计数方向。

用户可通过配置 PSC 寄存器对计数器时钟进行预分频，配置 ARR 寄存器用于配置计数周期，且可对 CNT 计数器实时进行读取与修改，实际完成一次计数周期的时长由 PSC 与 ARR 共同决定。

PSC 与 ARR 寄存器具有预装载功能，即当次的配置值会留到下个计数周期/更新事件产生时才生效，其中 PSC 寄存器预装载功能始终打开，ARR 寄存器预装载功能可自由选择开启或关闭。

ATIM 模块中 CNT 的计数时钟默认由内部 APB 总线时钟提供，用户也可以通过配置 SMCR 寄存器以使用外部输入的脉冲信号或芯片内部互联信号来进行计数，以实现更灵活的应用。

每次计数器溢出、设置 UG 位、从模式控制器产生硬件复位时可根据相关配置位配置产生更新事件。

ATIM 中具有重复计数模式。通过配置重复计数器，可以让用户控制在每 N 次计数上溢或下溢时产生一次更新事件，其中 N 为 RCR 重复计数寄存器中的值。重复计数器在任意模式下计数器发生上溢/下溢时计数。重复计数器始终开启预装载。

当发生更新事件时，PSC 内部计数被清零，CNT 根据计数模式进行重装载，同时：

- SR 寄存器中的 UIF 标志位被设置。
- PSC 与 RCR 寄存器中的值被装载到实际的内部寄存器。
- 若设置了 ARPE 位，ARR 寄存器中的值被装载到实际的自动重装载寄存器。

通过设置 CR1 寄存器中的 UDIS 位，可以禁止除写入 UG 位外的更新事件产生。如设置了 CR1 寄存器中的 URS 位，通过设置 EGR 寄存器中的 UG 位可以手动产生一个更新事件，但不设置 UIF 标志位。

3.2.2 输入模式

ATIM 具有 4 个独立的输入/输出通道，每个通道都可独立地选择输入/输出模式，但同一个通道同时只能选择输入或输出模式中的一种。

由于 4 个通道共用同个 CNT 计数器，因此在使用时需要注意计数值的耦合关系。在输出模式下使用从模式中的复位模式配合进行 PWM 频率捕获时，需要注意仅指定的外部模块输入、CH11、CH2、ETR 信号可用于 CNT 计数器复位，CH3、CH4 信号无法用于计数复位。

在输入模式下，当检测到 CHx 信号上相应的边沿后，计数器的当前值被锁存到捕获/比较寄存器（CCRx）中。当捕获事件发生时，SR 寄存器中相应通道的 CCxIF 标志被置 '1'，如果在 DIER 中使能了相应的中断或 DMA，则将产生中断或 DMA 请求。如果捕获事件发生时 CCxIF 标志已经为 '1'，那么 SR 寄存器中的重复捕获标志 CCxOF 标志将被置 '1'，该标志有助于用户判断是否存在被错过的捕获事件。

写 CCxIF=0 可清除 CCxIF，或读取存储在对应通道的 CCRx 寄存器中的数据也可清除 CCxIF。写 CCxOF=0 可清除 CCxOF。

注：设置 EGR 寄存器中相应的 CCxG 位，可以通过软件输入产生输入捕获事件，同时根据 DIER 寄存器的配置产生中断或 DMA 请求。

3.2.2.1 编码器接口模式

编码器接口模式是输入模式下的一种特殊应用，可连接外部增量式编码器用于计数。

两个输入 CH1 和 CH2 被用来作为增量编码器的接口。根据两个输入信号的跳变顺序，产生了计数脉冲和方向信号，计数器向上或向下计数，同时硬件对 CR1 寄存器的 DIR 位进行相应的设置。

选择编码器接口模式的方法是：如果计数器只在 CH2 的边沿计数，则置 SMCR 寄存器中的 SMS=001；如果只在 CH1 边沿计数，则置 SMS=010；如果计数器同时在 CH1 和 CH2 边沿计数，则置 SMS=011。

有效边沿	相对信号的电平	CH1FP1		CH2FP2	
		上升	下降	上升	下降
仅在 CH1 计数	高	向下计数	向上计数	不计数	不计数
	低	向上计数	向下计数	不计数	不计数
仅在 CH2 计数	高	不计数	不计数	向上计数	向下计数
	低	不计数	不计数	向下计数	向上计数
在 CH1 和 CH2 上计数	高	向下计数	向上计数	向上计数	向下计数
	低	向上计数	向下计数	向下计数	向上计数

编码器接口模式在开始计数之前必须配置 ARR 与其他寄存器，其配置与通常的计数模式保持一致。

在这个模式下，计数器依照增量编码器的速度和方向被自动的修改，因此计数器的内容始终指示着编码器的位置。计数方向与相连的传感器旋转的方向对应。

3.2.2.2 霍尔传感器模式

定时器为外部霍尔传感器应用进行优化。通过配置 CR2 寄存器中的 TIIS 位，可将 CH1、CH2、CH3 输入引脚或后作为通道 1 输入，因此外部霍尔传感器的所有边沿均可通过通道 1 触发内部中断，进而读取外部霍尔传感器输入电平确定转子位置，完成换相配置。

3.2.3 输出模式

该功能用于控制一个输出波形，或者通过电平变化指示时间的变化。

其中通道 1-3 具有互补输出通道。在输出模式下捕获/比较寄存器可开启预装载功能。

3.2.3.1 电平输出模式

当计数器 CNT 与 CCRx 寄存器的值相同时，即称为发生比较匹配事件，此时 OCxREF 信号根据所配置的输出模式，可以保持原本电平 (OCxM=000)、被设置为有效电平 (OCxM=001)、被设置为无效电平 (OCxM=010)、始终输出低电平 (OCxM=0x100)、始终输出高电平 (OCxM=0x101) 或将当前电平状态进行翻转 (OCxM=011)，再根据 CCER 寄存器中 CCxP 输出极性配置，将符合期望的值输出到对应的引脚上。同时 SR 寄存器中对应的 CCxFIF 标志位被设置，并根据 DIER/CR2 寄存器相关配置产生中断或 DMA 请求。

例如：配置 OC1M=101,CC1P=0，即可强制 OC1 输出高电平。

3.2.3.2 PWM 模式

脉冲宽度调制模式可以产生一个由 ARR 寄存器确定频率、由 CCRx 寄存器确定占空比的信号。

在 CCMRx 寄存器中的 OCxM 位写入 '110'(PWM 模式 1) 或 '111'(PWM 模式 2), 能够独立地设置每个 OCx 输出通道产生一路 PWM。用户可设置 CCMRx 寄存器 OCxPE 位以使能相应的预装载寄存器。

仅当发生一个更新事件的时候, 被配置为预装载模式的寄存器中的配置值才可生效, 因此在计数器开始计数之前, 必须通过设置 EGR 寄存器中的 UG 位来初始化所有的寄存器。

CCER 寄存器中的 CCxP/CCxE 位控制 OCx 输出极性与使能。

根据 CR1 寄存器中 CMS 位的状态, 定时器能够产生边沿对齐的 PWM 信号或中央对齐的 PWM 信号。

当 CR1 寄存器中的 DIR 位为低的时候执行向上计数。以 PWM 模式 1 为例, 当 CNT<CCRx 时 PWM 信号参考 OCxREF 为高, 否则为低。如果 CCRx 中的比较值大于自动重装载值 (ARR), 则 OCxREF 保持为 '1'。如果 CCRx 中的比较值为 0, 则 OCxREF 保持为 '0'。

当 CR1 寄存器的 DIR 位为高时执行向下计数。在 PWM 模式 1 时, 当 CNT>CCRx 时参考信号 OCxREF 为低, 否则为高。如果 CCRx 中的比较值大于 ARR 中的自动重装载值, 则 OCxREF 保持为 '1'。该模式下不能产生占空比为 0

在外部事件时清除 OCxREF 信号对于一个给定的通道, 设置 CCMRx 寄存器中对应的 OCxCE 位为 '1', 能够用 ETRF 输入端的高电平把 OCxREF 信号拉低, OCxREF 信号将保持为低直到发生下一次的更新事件 UEV。该功能只能用于输出比较和 PWM 模式, 而不能用于强置模式。

单脉冲模式

将 CR1 寄存器中的 OPM 位置为 '1' 将选择单脉冲模式, 这样可以让定时器自动地在产生下一个更新事件 UEV 时清除 CEN 位, 从而停止计数。这种模式可用于让定时器响应一个激励, 并在一个程序可控的延时之后, 产生一个脉宽可程序控制的脉冲。

3.2.3.3 互补输出和死区插入

ATIM 的 CH1-CH3 通道可以输出两路互补信号, 并且能够在互补信号中插入用户可配置的死区时间。每个互补通道都有一个 10 位的死区发生器, 参考信号 OCxREF 可以产生两路输出 OCx 和 OCxN, 且可为每一个输出独立选择极性。如果 OCx 和 OCxN 均为高有效:

- OCx 输出信号与参考信号相同，只是其上升沿相对于参考信号的上升沿有一个延迟
- OCxN 输出信号与参考信号相反，只是其上升沿相对于参考信号的下降沿有一个延迟

若延迟大于当前有效的输出宽度，则不会产生相应的脉冲。

各通道的死区延迟都是相同的，通过 BDTR 寄存器中的 DTG 位配置。

重定向 OCxREF 到 OCx 或 OCxN

在输出模式下，通过配置 CCER 寄存器的 CCxE 位和 CCxNE 位，OCxREF 可以被重定向到 OCx 或 OCxN 的输出。当只使能 OCx 或只使能 OCxN 时，OCxREF 直接被连接到 OCx 或 OCxN。当 OCx 与 OCxN 都被使能时，OCxREF 先经过互补输出与死区插入控制模块，产生带有死区的互补信号，再分别连接到 OCx 与 OCxN。

3.2.3.4 刹车输入

通过设置 BDTR 寄存器中的 BKE 位和 BKP 位可以使能刹车功能与选择刹车输入信号的极性。当在刹车输入端出现选中的电平时，产生一个刹车事件，MOE 位被清除，将输出关闭。同时若配置了 DIER 寄存器中的 BIE 位，则产生一个中断。

如果设置了 BDTR 寄存器中的 AOE 位，则在下一个更新事件产生时，MOE 被自动置位。

3.2.4 定时器外部控制

通过配置 SMCR 寄存器中的 SMS 位，可使用外部信号对定时器进行一定程度的控制。

3.3 寄存器空间

表 3.1: ATIM 控制器寄存器列表

名称	偏移	描述
CR1	0x00	控制寄存器 1
CR2	0x04	控制寄存器 2
SMCR	0x08	从模式控制寄存器
DIER	0x0c	DMA/中断使能寄存器
SR	0x10	状态寄存器
EGR	0x14	事件产生寄存器
CCMR1	0x18	捕获/比较模式寄存器 1
CCMR2	0x1c	捕获/比较模式寄存器 2
CCER	0x20	捕获/比较使能寄存器

名称	偏移	描述
CNT	0x24	计数器
PSC	0x28	预分频器
ARR	0x2c	自动重装载寄存器
RCR	0x30	重复计数寄存器
CCR1	0x34	捕获/比较寄存器 1
CCR2	0x38	捕获/比较寄存器 2
CCR3	0x3c	捕获/比较寄存器 3
CCR4	0x40	捕获/比较寄存器 4
BDTR	0x44	刹车和死区寄存器
INSTA	0x50	输入通道状态寄存器

3.3.1 控制寄存器 1 (CR1)

偏 移: 0x00

复位值: 32'h0

表 3.2: 控制寄存器 1

位域	名称	访问	描述
31:10	reserved	-	保留
9:8	CKD[1:0]	RW	时钟分频因子 配置定时器时钟频率 CK_APB 与数字滤波器使用的采样频率之间的分频关系 00: $t_{DTS} = t_{APB}$ 01: $t_{DTS} = 2 \times t_{APB}$ 10: $t_{DTS} = 4 \times t_{APB}$ 11: 保留
7	ARPE	RW	自动重装载预装载使能 0:ARR 寄存器没有预装载 1:ARR 寄存器开启预装载
6:5	CMS[1:0]	RW	计数模式选择 00: 边沿对齐模式。计数器依据方向位 (dir) 向上或向下计数。 01: 中央对齐模式 1。计数器交替地向上或向下计数。配置为输出的通道的输出比较标志位，只在计数器向下计数时被设置。 10: 中央对齐模式 2。计数器交替地向上或向下计数。配置为输出的通道的输出比较标志位，只在计数器向上计数时被设置。 11: 中央对齐模式 3。计数器交替地向上或向下计数。配置为输出的通道的输出比较标志位，在计数器向上和向下计数时均被设置。
4	DIR	RW	方向 0: 计数器向上计数 1: 计数器向下计数 注: 当计数器配置为中央对齐模式或编码器模式时，该位由硬件自动配置，只读
3	OPM	RW	单脉冲模式 0: 关闭单脉冲模式 1: 发生更新事件时，清除 CEN 位，停止计数

位域	名称	访问	描述
2	URS	RW	更新请求源 0: 计数器上溢或下溢、设置 UG 位、通过从模式控制器产生的更新均可产生更新中断或 DMA 请求 1: 只有计数器上溢或下溢可以产生更新中断或者 DMA 请求
1	UDIS	RW	禁止更新 0: 计数器上溢或下溢、设置 UG 位、通过从模式控制器产生的更新可产生更新事件。产生更新事件后，开启预装载的寄存器被加载为预装载值。 1: 禁止更新事件产生。此时开启预装载的寄存器将保持其内容无法被更改，但通过设置 UG 位或从模式控制器产生了硬件复位，计数器和预分频器将被重新初始化。
0	CEN	RW	计数使能 0: 停止计数 1: 使能计数

3.3.2 控制寄存器 2 (CR2)

偏 移: 0x04

复位值: 32'h0

表 3.3: 控制寄存器 2

位域	名称	访问	描述
31:15	reserved	-	保留
14	IOS4	RW	空闲输出状态 4 参见 IOS1 位
13	IOS3N	RW	互补空闲输出状态 3 参见 IOSIN 位
12	IOS3	RW	空闲输出状态 3 参见 IOS1 位
11	IOS2N	RW	互补空闲输出状态 2 参见 IOSIN 位
10	IOS2	RW	空闲输出状态 2 参见 IOS1 位
9	IOSIN	RW	互补空闲输出状态 1 0: 当 MOE=0 且 OSI=1 时，则死区后 OCIN=0 1: 当 MOE=0 且 OSI=1 时，则死区后 OCIN=1 注 1: 为安全起见，当 IOS1 与 IOSIN 同时为 1 时，OC1=OCIN=0 注 2: 只有当 OSI=1 时该控制位生效
8	IOS1	RW	空闲输出状态 1 0: 当 MOE=0 且 OSI=1 时，则死区后 OC1=0 1: 当 MOE=0 且 OSI=1 时，则死区后 OC1=1
7	TIIS	RW	TI1 输入选择 0:CH1 引脚连接到 TI1 输入 1:CH1、CH2、CH3 引脚经异或后连到 TI1 输入

位域	名称	访问	描述
6:4	MMS[2:0]	RW	主模式选择 该配置位用于选择在主模式下向从外设发送的触发输出来源。 000: 复位 - 使用配置 UG 位和从模式控制器产生的硬件复位作为触发输出。 001: 使能 - 使用计数器使能信号作为触发输出。计数器实际使能信号由 CEN 控制位与门控模式下触发输入共同决定。 010: 更新 - 更新事件作为触发输出。 011: 比较脉冲 - 当发生一次捕获或比较成功时，当要设置 CCIF 标志时(即使已经为高)，触发输出一个脉冲。 100:OC1REF 信号被作为触发输出。 101:OC2REF 信号被作为触发输出。 110:OC3REF 信号被作为触发输出。 111:OC4REF 信号被作为触发输出。
3	CCDS	RW	捕获/比较的 DMA 选择 0: 当发生比较/捕获事件时，发送 CCx 的 DMA 请求 1: 当发生更新事件时，发送 CCx 的 DMA 请求
2	CCUS	RW	捕获/比较控制更新选择 0: 如果捕获/比较控制位是预装载的 (CCPC=1)，只能通过设置 COM 位被更新 1: 如果捕获/比较控制位是预装载的 (CCPC=1)，可以通过设置 COM 位或在 TRGI 上发生触发输入时更新
1	reserved	-	保留
0	CCPS	RW	捕获/比较预装载控制 0:CCxE,CCxNE 和 OCxM 位不是预装载的 1:CCxE,CCxNE 和 OCxM 位是预装载的，设置该位后，只有在满足 CCUS 位条件的事件发生时才会被更新 注: 该位只对具有互补输出的通道有效

3.3.3 从模式控制寄存器 (SMCR)

偏 移: 0x08

复位值: 32'h0

表 3.4: 从模式控制寄存器

位域	名称	访问	描述
3l:16	reserved	-	保留
15	ETP	RW	外部触发极性 0:ETR 不反相 1:ETR 反相
14	ECE	RW	外部时钟使能位 0: 禁止外部时钟模式 2 1: 使能外部使能模式 2 注: 复位模式、门控模式和触发模式可以与外部时钟模式 2 同时使用，但是此时 TRGI 不能连接到 ETR。当外部时钟模式 1 和外部时钟模式 2 同时被使能时，外部时钟的输入是 ETR。

位域	名称	访问	描述
13:12	reserved	-	保留
11:8	ETF[3:0]	RW	<p>外部触发滤波</p> <p>配置对 ETR 信号采样的频率和数字滤波的带宽。数字滤波器是一个事件计数器，记录到 N 个事件后产生输出跳变。</p> <p>0000: 无滤波器，以 f_{DTS} 采样 0001: 采样频率 $f_{SAMP} = f_{APB}$, N=2 0010: 采样频率 $f_{SAMP} = f_{APB}$, N=4 0011: 采样频率 $f_{SAMP} = f_{APB}$, N=8 0100: 采样频率 $f_{SAMP} = f_{DTS}/2$, N=6 0101: 采样频率 $f_{SAMP} = f_{DTS}/2$, N=8 0110: 采样频率 $f_{SAMP} = f_{DTS}/4$, N=6 0111: 采样频率 $f_{SAMP} = f_{DTS}/4$, N=8 1000: 采样频率 $f_{SAMP} = f_{DTS}/8$, N=6 1001: 采样频率 $f_{SAMP} = f_{DTS}/8$, N=8 1010: 采样频率 $f_{SAMP} = f_{DTS}/16$, N=5 1011: 采样频率 $f_{SAMP} = f_{DTS}/16$, N=6 1100: 采样频率 $f_{SAMP} = f_{DTS}/16$, N=8 1101: 采样频率 $f_{SAMP} = f_{DTS}/32$, N=5 1110: 采样频率 $f_{SAMP} = f_{DTS}/32$, N=6 1111: 采样频率 $f_{SAMP} = f_{DTS}/32$, N=8</p>
7	TSYN	RW	<p>触发同步</p> <p>0: 关闭主从模式 1: 触发输入上的事件被延迟触发，从而让当前定时器与被它的触发输出所控制的从定时器间达成同步</p>
6:4	TS[2:0]	RW	<p>触发来源选择</p> <p>000: 内部触发 0,GTIM 001-011: 保留 100:TII 的边沿检测器 101: 滤波后的 CH1 输入 110: 滤波后的 CH2 输入 111: 外部触发输入 ETR</p>
3	reserved	-	保留

位域	名称	访问	描述
2:0	SMS[2:0]	RW	从模式选择 000: 关闭从模式 001: 编码器模式 1-根据 TI1 的电平, 计数器在 TI2 的边沿向上/向下计数 010: 编码器模式 2-根据 TI2 的电平, 计数器在 TI1 的边沿向上/向下计数 011: 编码器模式 3-根据另一个信号的电平, 计数器在 TI1 和 TI2 的边沿向上/向下计数 100: 复位模式 -在选中的触发输入 (TRGI) 的上升沿初始化计数器, 并产生一个更新寄存器的信号 101: 门控模式 -当触发输入为高时, 计数器计数; 当触发输入为低时, 计数器停止计数但不复位。仅 CEN 位为 '1' 时门控模式有效 110: 触发模式 -在触发输入的上升沿, CEN 位被硬件设置为 '1' 111: 外部时钟模式 1-在选中的触发输入的上升沿, 计数器计数

3.3.4 DMA/中断使能寄存器 (DIER)

偏 移: 0x0c

复位值: 32'h0

表 3.5: DMA/中断使能寄存器

位域	名称	访问	描述
31:l5	reserved	-	保留
14	TDE	RW	触发事件 DMA 请求使能 0: 禁止触发事件 DMA 请求 1: 使能触发事件 DMA 请求
13	COMDE	RW	COM 事件 DMA 请求使能 0: 禁止 COM 事件 DMA 请求 1: 使能 COM 事件 DMA 请求
12	CC4DE	RW	捕获/请求通道 4 的 DMA 请求使能 0: 禁止捕获/比较通道 4 的 DMA 请求 1: 使能捕获/比较通道 4 的 DMA 请求
11	CC3DE	RW	捕获/请求通道 3 的 DMA 请求使能 0: 禁止捕获/比较通道 3 的 DMA 请求 1: 使能捕获/比较通道 3 的 DMA 请求
10	CC2DE	RW	捕获/请求通道 2 的 DMA 请求使能 0: 禁止捕获/比较通道 2 的 DMA 请求 1: 使能捕获/比较通道 2 的 DMA 请求
9	CC1DE	RW	捕获/请求通道 1 的 DMA 请求使能 0: 禁止捕获/比较通道 1 的 DMA 请求 1: 使能捕获/比较通道 1 的 DMA 请求
8	UDE	RW	更新事件 DMA 请求使能 0: 禁止更新事件 DMA 请求 1: 使能更新事件 DMA 请求

位域	名称	访问	描述
7	BIE	RW	刹车事件中断使能 0: 禁止刹车事件中断 1: 使能刹车事件中断
6	TIE	RW	触发事件中断使能 0: 禁止触发事件中断 1: 使能触发事件中断
5	COMIE	RW	COM 事件中断使能 0: 禁止 COM 事件中断 1: 使能 COM 事件中断
4	CC4IE	RW	捕获/请求通道 4 的中断使能 0: 禁止捕获/比较通道 4 中断 1: 使能捕获/比较通道 4 中断
3	CC3IE	RW	捕获/请求通道 3 的中断使能 0: 禁止捕获/比较通道 3 中断 1: 使能捕获/比较通道 3 中断
2	CC2IE	RW	捕获/请求通道 2 的中断使能 0: 禁止捕获/比较通道 2 中断 1: 使能捕获/比较通道 2 中断
1	CCIIE	RW	捕获/请求通道 1 的中断使能 0: 禁止捕获/比较通道 1 中断 1: 使能捕获/比较通道 1 中断
0	UIE	RW	更新事件中断使能 0: 禁止更新事件中断 1: 使能更新事件中断

3.3.5 状态寄存器 (SR)

偏 移: 0x10

复位值: 32'h0

表 3.6: 状态寄存器

位域	名称	访问	描述
3l:13	reserved	-	保留
12	CC4OF	RC W0	捕获/请求通道 4 重复捕获事件标志位 仅当相应通道被配置为输入捕获时有意义 0: 无重复捕获事件 1: 通道 4 发生重复捕获事件
11	CC3OF	RC W0	捕获/请求通道 3 重复捕获事件标志位 0: 无重复捕获事件 1: 通道 3 发生重复捕获事件
10	CC2OF	RC W0	捕获/请求通道 2 重复捕获事件标志位 0: 无重复捕获事件 1: 通道 2 发生重复捕获事件
9	CC1OF	RC W0	捕获/请求通道 1 重复捕获事件标志位 0: 无重复捕获事件 1: 通道 1 发生重复捕获事件

位域	名称	访问	描述
8	reserved	-	保留
7	BIF	RC W0	刹车事件标志位 硬件在产生刹车事件发生时设置该位，软件写 0 清除 0: 未产生刹车事件 1: 产生了刹车事件
6	TIF	RC W0	触发事件标志位 当发生触发事件（当从模式控制器处于除门控模式外的其他模式在触发输入端检测到有效边沿，或门控模式下任一边沿）时硬件置 '1'，软件写 '0' 清除。 0: 无触发事件发生 1: 发生触发事件
5	COMIF	RC W0	COM 事件标志位 硬件在产生 COM 事件发生时设置该位，软件写 0 清除 0: 未产生 COM 事件 1: 产生了 COM 事件
4	CC4IF	RC W0	捕获/请求通道 4 事件标志位 0: 无捕获/比较事件 1: 通道 4 发生捕获/比较通道事件
3	CC3IF	RC W0	捕获/请求通道 3 事件标志位 0: 无捕获/比较事件 1: 通道 3 发生捕获/比较通道事件
2	CC2IF	RC W0	捕获/请求通道 2 事件标志位 0: 无捕获/比较事件 1: 通道 2 发生捕获/比较通道事件
1	CCIIF	RC W0	捕获/请求通道 1 事件标志位 0: 无捕获/比较事件 1: 通道 1 发生捕获/比较通道事件
0	UIF	RC W0	更新事件标志位 硬件在产生更新事件时设置该位，软件写 0 清除 0: 未产生更新事件 1: 产生了更新事件

3.3.6 事件产生寄存器 (EGR)

偏 移: 0x14

复位值: 32'h0

表 3.7: 事件产生寄存器

位域	名称	访问	描述
31:8	reserved	-	保留
7	BG	W	产生刹车事件 该位始终读为 0, 写 1 产生触发事件
6	TG	W	产生触发事件 该位始终读为 0, 写 1 产生触发事件
5	COMG	W	产生 COM 事件 该位始终读为 0, 写 1 产生触发事件

位域	名称	访问	描述
4	CC4G	W	产生捕获/比较 4 事件 该位始终读为 0, 写 1 产生捕获/比较事件。 若通道为输出: 设置 CCIF 为 1, 若开启对应的中断和 DMA, 则产生相应的中断和 DMA 若通道为输入: 将当前计数器 CNT 的值捕获置 CCR1 寄存器, 设置 CCIF 为 1, 若 CCIF 已经为 1, 则设置 CCIOF 为 1
3	CC3G	W	产生捕获/比较 3 事件 该位始终读为 0, 写 1 产生捕获/比较事件
2	CC2G	W	产生捕获/比较 2 事件 该位始终读为 0, 写 1 产生捕获/比较事件
1	CC1G	W	产生捕获/比较 1 事件 该位始终读为 0, 写 1 产生捕获/比较事件
0	UG	W	产生更新事件 该位始终读为 0, 写 1 产生更新事件, 初始化计数器并更新带有预装载的寄存器

3.3.7 捕获/比较模式寄存器 1(输出) (CCMR1)

偏 移: 0x18

复位值: 32'h0

通道可用于输入捕获模式或输出比较模式, 通道的方向由相应的 CCxS 配置位定义。该寄存器其他位在输入和输出模式下不同, 同一个位在输入和输出模式下的意义是不同的。

表 3.8: 捕获/比较模式寄存器 1(输出)

位域	名称	访问	描述
31:16	reserved	-	保留
15	OC2CE	RW	输出比较 2 清零使能 0: 无影响 1: 一旦检测到 ETR 输入高电平, 清除 OC2REF=0

位域	名称	访问	描述
14:12	OC2M[2:0]	RW	输出比较 2 模式 000: 冻结, OC2REF 保持当前状态不变 001: 当计数器 CNT 的值与捕获/比较寄存器 CCR2 相同时, 强制 OC2REF 为高电平 010: 当计数器 CNT 的值与捕获/比较寄存器 CCR2 相同时, 强制 OC2REF 为低电平 011: 当计数器 CNT 的值与捕获/比较寄存器 CCR2 相同时, 翻转 OC2REF 的电平 100: 强制 OC2REF 为低电平 101: 强制 OC2REF 为高电平 110: PWM 模式 1-在向上计数时, 一旦 CNT<CCR2, OC2REF 为高电平, 否则为低电平; 在向下计数时, 一旦 CNT>CCR2, OC2REF 为低电平, 否则为高电平。 111: PWM 模式 2-在向上计数时, 一旦 CNT<CCR2, OC2REF 为低电平, 否则为高电平; 在向下计数时, 一旦 CNT>CCR2, OC2REF 为高电平, 否则为低电平。
11	OC2PE	RW	输出比较 2 预装载使能 0: 关闭 CCR2 寄存器的预装载功能 1: 开启 CCR2 寄存器的预装载功能
10	OC2FE	RW	输出比较 2 快速使能 0: 无影响 1: 仅在单脉冲模式下且通道配置为 PWM1/PWM2 模式时生效, 当开始计数时, 立即输出有效电平, OC2REF 电平此时与比较结果无关
9:8	CC2S[1:0]	RW	输出/比较 2 选择 00:CC2 通道被配置为输出 01:CC2 通道被配置为输入, IC2 映射在 TI2 上 10:CC2 通道被配置为输入, IC2 映射在 TI1 上 11:CC2 通道被配置为输入, IC2 映射在 TRC 上
7	OC1CE	RW	输出比较 1 清零使能 0: 无影响 1: 一旦检测到 ETR 输入高电平, 清除 OC1REF=0
6:4	OC1M[2:0]	RW	输出比较 1 模式 参见 OC2M 说明
3	OC1PE	RW	输出比较 1 预装载使能 0: 关闭 CCR1 寄存器的预装载功能 1: 开启 CCR1 寄存器的预装载功能
2	OC1FE	RW	输出比较 1 快速使能 参见 OC2FE 说明
1:0	CC1S[1:0]	RW	输出/比较 1 选择 00:CCI 通道被配置为输出 01:CCI 通道被配置为输入, IC1 映射在 TI1 上 10:CCI 通道被配置为输入, IC1 映射在 TI2 上 11:CCI 通道被配置为输入, IC1 映射在 TRC 上

3.3.8 捕获/比较模式寄存器 1(输入) (CCMR1)

偏 移: 0x18

复位值: 32'h0

表 3.9: 捕获/比较模式寄存器 1(输入)

位域	名称	访问	描述
31:16	reserved	-	保留
15:12	IC2F[3:0]	RW	<p>输入捕获 2 滤波器 配置对 TI2 输入信号采样的频率和数字滤波的带宽。数字滤波器是一个事件计数器，记录到 N 个事件后产生输出跳变。</p> <p>0000: 无滤波器，以 f_{DTS} 采样 0001: 采样频率 $f_{SAMP} = f_{APB}$, N=2 0010: 采样频率 $f_{SAMP} = f_{APB}$, N=4 0011: 采样频率 $f_{SAMP} = f_{APB}$, N=8 0100: 采样频率 $f_{SAMP} = f_{DTS}/2$, N=6 0101: 采样频率 $f_{SAMP} = f_{DTS}/2$, N=8 0110: 采样频率 $f_{SAMP} = f_{DTS}/4$, N=6 0111: 采样频率 $f_{SAMP} = f_{DTS}/4$, N=8 1000: 采样频率 $f_{SAMP} = f_{DTS}/8$, N=6 1001: 采样频率 $f_{SAMP} = f_{DTS}/8$, N=8 1010: 采样频率 $f_{SAMP} = f_{DTS}/16$, N=5 1011: 采样频率 $f_{SAMP} = f_{DTS}/16$, N=6 1100: 采样频率 $f_{SAMP} = f_{DTS}/16$, N=8 1101: 采样频率 $f_{SAMP} = f_{DTS}/32$, N=5 1110: 采样频率 $f_{SAMP} = f_{DTS}/32$, N=6 1111: 采样频率 $f_{SAMP} = f_{DTS}/32$, N=8</p>
11:10	IC2PSC[1:0]	RW	<p>输入捕获 2 预分频器 定义 CC2 输入 (IC2) 的预分频系数</p> <p>00: 无预分频 01: 每 2 个事件触发一次捕获 10: 每 4 个事件触发一次捕获 11: 每 8 个事件触发一次捕获</p>
9:8	CC2S[1:0]	RW	<p>输出/比较 2 选择 00:CC2 通道被配置为输出 01:CC2 通道被配置为输入, IC2 映射在 TI2 上 10:CC2 通道被配置为输入, IC2 映射在 TI1 上 11:CC2 通道被配置为输入, IC2 映射在 TRC 上</p>
7:4	IC1F[3:0]	RW	<p>输入捕获 1 滤波器 参考 IC2F 说明</p>
3:2	IC1PSC[1:0]	RW	<p>输入捕获 1 预分频器 参考 IC2PSC 说明</p>

位域	名称	访问	描述
1:0	CCIS[1:0]	RW	输出/比较 1 选择 00:CCI 通道被配置为输出 01:CCI 通道被配置为输入, IC1 映射在 TI1 上 10:CCI 通道被配置为输入, IC1 映射在 TI2 上 11:CCI 通道被配置为输入, IC1 映射在 TRC 上

3.3.9 捕获/比较模式寄存器 2(输出) (CCMR2)

偏 移: 0x1c

复位值: 32'h0

通道可用于输入捕获模式或输出比较模式, 通道的方向由相应的 CCxS 配置位定义。该寄存器其他位在输入和输出模式下不同, 同一个位在输入和输出模式下的意义是不同的。

表 3.10: 捕获/比较模式寄存器 2(输出)

位域	名称	访问	描述
31:16	reserved	-	保留
15	OC4CE	RW	输出比较 4 清零使能 0: 无影响 1: 一旦检测到 ETR 输入高电平, 清除 OC4REF=0
14:12	OC4M[2:0]	RW	输出比较 4 模式 000: 冻结, OC4REF 保持当前状态不变 001: 当计数器 CNT 的值与捕获/比较寄存器 CCR4 相同时, 强制 OC4REF 为高电平 010: 当计数器 CNT 的值与捕获/比较寄存器 CCR4 相同时, 强制 OC4REF 为低电平 011: 当计数器 CNT 的值与捕获/比较寄存器 CCR4 相同时, 翻转 OC4REF 的电平 100: 强制 OC4REF 为低电平 101: 强制 OC4REF 为高电平 110: PWM 模式 1-在向上计数时, 一旦 CNT<CCR4, OC4REF 为高电平, 否则为低电平; 在向下计数时, 一旦 CNT>CCR4, OC4REF 为低电平, 否则为高电平。 111: PWM 模式 2-在向上计数时, 一旦 CNT<CCR4, OC4REF 为低电平, 否则为高电平; 在向下计数时, 一旦 CNT>CCR4, OC4REF 为高电平, 否则为低电平。
11	OC4PE	RW	输出比较 4 预装载使能 0: 关闭 CCR4 寄存器的预装载功能 1: 开启 CCR4 寄存器的预装载功能
10	OC4FE	RW	输出比较 4 快速使能 0: 无影响 1: 仅在单脉冲模式下且通道配置为 PWM1/PWM2 模式时生效, 当开始计数时, 立即输出有效电平, OC4REF 电平此时与比较结果无关

位域	名称	访问	描述
9:8	CC4S[1:0]	RW	输出/比较 4 选择 00:CC4 通道被配置为输出 01:CC4 通道被配置为输入, IC4 映射在 TI4 上 10:CC4 通道被配置为输入, IC4 映射在 TI3 上 11:CC4 通道被配置为输入, IC4 映射在 TRC 上
7	OC3CE	RW	输出比较 3 清零使能 0: 无影响 1: 一旦检测到 ETR 输入高电平, 清除 OC3REF=0
6:4	OC3M[2:0]	RW	输出比较 3 模式 参见 OC4M 说明
3	OC3PE	RW	输出比较 3 预装载使能 0: 关闭 CCR3 寄存器的预装载功能 1: 开启 CCR3 寄存器的预装载功能
2	OC3FE	RW	输出比较 3 快速使能 参见 OC4FE 说明
1:0	CC3S[1:0]	RW	输出/比较 3 选择 00:CC3 通道被配置为输出 01:CC3 通道被配置为输入, IC3 映射在 TI3 上 10:CC3 通道被配置为输入, IC3 映射在 TI4 上 11:CC3 通道被配置为输入, IC3 映射在 TRC 上

3.3.10 捕获/比较模式寄存器 2(输入) (CCMR2)

偏 移: 0x1c

复位值: 32'h0

表 3.11: 捕获/比较模式寄存器 2(输入)

位域	名称	访问	描述
31:16	reserved	-	保留

位域	名称	访问	描述
15:12	IC4F[3:0]	RW	输入捕获 4 滤波器 配置对 TI4 输入信号采样的频率和数字滤波的带宽。数字滤波器是一个事件计数器，记录到 N 个事件后产生输出跳变。 0000: 无滤波器，以 f_{DTS} 采样 0001: 采样频率 $f_{SAMP} = f_{APB}$, N=2 0010: 采样频率 $f_{SAMP} = f_{APB}$, N=4 0011: 采样频率 $f_{SAMP} = f_{APB}$, N=8 0100: 采样频率 $f_{SAMP} = f_{DTS}/2$, N=6 0101: 采样频率 $f_{SAMP} = f_{DTS}/2$, N=8 0110: 采样频率 $f_{SAMP} = f_{DTS}/4$, N=6 0111: 采样频率 $f_{SAMP} = f_{DTS}/4$, N=8 1000: 采样频率 $f_{SAMP} = f_{DTS}/8$, N=6 1001: 采样频率 $f_{SAMP} = f_{DTS}/8$, N=8 1010: 采样频率 $f_{SAMP} = f_{DTS}/16$, N=5 1011: 采样频率 $f_{SAMP} = f_{DTS}/16$, N=6 1100: 采样频率 $f_{SAMP} = f_{DTS}/16$, N=8 1101: 采样频率 $f_{SAMP} = f_{DTS}/32$, N=5 1110: 采样频率 $f_{SAMP} = f_{DTS}/32$, N=6 1111: 采样频率 $f_{SAMP} = f_{DTS}/32$, N=8
11:10	IC4PSC[1:0]	RW	输入捕获 4 预分频器 定义 CC4 输入 (IC4) 的预分频系数 00: 无预分频 01: 每 2 个事件触发一次捕获 10: 每 4 个事件触发一次捕获 11: 每 8 个事件触发一次捕获
9:8	CC4S[1:0]	RW	输出/比较 4 选择 00:CC4 通道被配置为输出 01:CC4 通道被配置为输入, IC4 映射在 TI4 上 10:CC4 通道被配置为输入, IC4 映射在 TI3 上 11:CC4 通道被配置为输入, IC4 映射在 TRC 上
7:4	IC3F[3:0]	RW	输入捕获 3 滤波器 参考 IC4F 说明
3:2	IC3PSC[1:0]	RW	输入捕获 3 预分频器 参考 IC4PSC 说明
1:0	CC3S[1:0]	RW	输出/比较 3 选择 00:CC3 通道被配置为输出 01:CC3 通道被配置为输入, IC3 映射在 TI3 上 10:CC3 通道被配置为输入, IC3 映射在 TI4 上 11:CC3 通道被配置为输入, IC3 映射在 TRC 上

3.3.11 捕获/比较使能寄存器 (CCER)

偏 移: 0x20

复位值: 32'h0

表 3.12: 捕获/比较使能寄存器

位域	名称	访问	描述
31:14	reserved	-	保留
13	CC4P	RW	<p>输入/捕获 4 极性 CC4 通道配置为输出: 0:OC4=OC4REF 1:OC4 为 OC4REF 反相输出</p> <p>CC4 通道配置为输入: 0: 不反相: 捕获发生在 IC4 的上升沿 1: 反相: 捕获发生在 IC4 的下降沿</p>
12	CC4E	RW	<p>输入/捕获 4 使能 CC4 通道配置为输出: 0:OC4 禁止输出 1:OC4 信号输出到对应的引脚</p> <p>CC4 通道配置为输入: 0: 捕获禁止 1: 捕获使能</p>
11	CC3NP	RW	<p>输入/捕获 3 互补输出极性 0:OC3N 高电平有效 1:OC3N 低电平有效</p>
10	CC3NE	RW	<p>输入/捕获 3 互补输出使能 0: 关闭—关闭 OCIN 输出 1: 开启—开启 OCIN 输出</p>
9	CC3P	RW	<p>输入/捕获 3 极性 参考 CC4P 描述</p>
8	CC3E	RW	<p>输入/捕获 3 使能 参考 CC4E 描述</p>
7	CC2NP	RW	<p>输入/捕获 2 互补输出极性 参考 CC3NP 描述</p>
6	CC2NE	RW	<p>输入/捕获 2 互补输出使能 参考 CC3NE 描述</p>
5	CC2P	RW	<p>输入/捕获 2 极性 参考 CC4P 描述</p>
4	CC2E	RW	<p>输入/捕获 2 使能 参考 CC4E 描述</p>
3	CC1NP	RW	<p>输入/捕获 1 互补输出极性 参考 CC3NP 描述</p>
2	CC1NE	RW	<p>输入/捕获 1 互补输出使能 参考 CC3NE 描述</p>
1	CC1P	RW	<p>输入/捕获 1 极性 参考 CC4P 描述</p>
0	CC1E	RW	<p>输入/捕获 1 使能 参考 CC4E 描述</p>

3.3.12 计数器 (CNT)

偏 移: 0x24

复位值: 32'h0

表 3.13: 计数器

位域	名称	访问	描述
3l:16	reserved	-	保留
15:0	CNT[15:0]	RW	计数器数值

3.3.13 预分频器 (PSC)

偏 移: 0x28

复位值: 32'h0

表 3.14: 预分频器

位域	名称	访问	描述
3l:16	reserved	-	保留
15:0	PSC[15:0]	RW	预分频器数值 计数器的实际时钟频率为 $f_{psc}/(psc + 1)$ 。 预分频器始终开启预装载功能，在发生更新事件时，psc 的数值被装载到实际的预分频寄存器中。

3.3.14 自动重装载寄存器 (ARR)

偏 移: 0x2c

复位值: 32'h0

表 3.15: 自动重装载寄存器

位域	名称	访问	描述
3l:16	reserved	-	保留
15:0	ARR[15:0]	RW	自动重装载数值 当计数器 cnt 与 arr 相等时，产生上溢事件，并根据相关配置位产生更新事件。 注：当 arr 为 0 时，计数器停止。

3.3.15 重复计数寄存器 (RCR)

偏 移: 0x30

复位值: 32'h0

表 3.16: 重复计数寄存器

位域	名称	访问	描述
3l:8	reserved	-	保留
7:0	RCR[7:0]	RW	重复计数器值 这些位允许用户设置更新事件的产生频率。在产生 RCR 次计数器上/下溢事件后产生一次更新事件。重复计数器始终开启预装载功能，在发生更新事件时，RCR 的数值被装载到实际的重复计数寄存器中。

3.3.16 捕获/比较寄存器 1 (CCR1)

偏 移: 0x34

复位值: 32'h0

表 3.17: 捕获/比较寄存器 1

位域	名称	访问	描述
3l:16	reserved	-	保留
15:0	CCR1[15:0]	RW	捕获/比较 1 数值 CC1 通道配置为输出: CCR1 包含了装入当前捕获/比较 1 寄存器的值（预装载值） CC1 通道配置为输入: CCR1 包含了上次输入捕获 1 事件时传输的计数器 CNT 值

3.3.17 捕获/比较寄存器 2 (CCR2)

偏 移: 0x38

复位值: 32'h0

表 3.18: 捕获/比较寄存器 2

位域	名称	访问	描述
3l:16	reserved	-	保留
15:0	CCR2[15:0]	RW	捕获/比较 2 数值 CC2 通道配置为输出: CCR2 包含了装入当前捕获/比较 2 寄存器的值（预装载值） CC2 通道配置为输入: CCR2 包含了上次输入捕获 2 事件时传输的计数器 CNT 值

3.3.18 捕获/比较寄存器 3 (CCR3)

偏 移: 0x3c

复位值: 32'h0

表 3.19: 捕获/比较寄存器 3

位域	名称	访问	描述
3l:16	reserved	-	保留
15:0	CCR3[15:0]	RW	捕获/比较 3 数值 CC3 通道配置为输出: CCR3 包含了装入当前捕获/比较 3 寄存器的值（预装载值） CC3 通道配置为输入: CCR3 包含了上次输入捕获 3 事件时传输的计数器 CNT 值

3.3.19 捕获/比较寄存器 4 (CCR4)

偏 移: 0x40

复位值： 32'h0

表 3.20: 捕获/比较寄存器 4

位域	名称	访问	描述
31:16	reserved	-	保留
15:0	CCR4[15:0]	RW	捕获/比较 4 数值 CC4 通道配置为输出： CCR4 包含了装入当前捕获/比较 4 寄存器的值（预装载值） CC4 通道配置为输入： CCR4 包含了上次输入捕获 4 事件时传输的计数器 CNT 值

3.3.20 刹车和死区寄存器 (BDTR)

偏 移： 0x44

复位值： 32'h0

表 3.21: 刹车和死区寄存器

位域	名称	访问	描述
31:16	reserved	-	保留
15	MOE	RW	主输出使能 一旦刹车输入有效，该位被硬件清 '0'。根据 AOE 位的设置值，该位可以由软件清 '0' 或被自动置 1。它仅对配置为输出的通道有效。 0: 禁止 OC 和 OCN 输出； 1: 如果设置了相应的使能位，则开启 OC 和 OCN 输出
14	AOE	RW	自动输出使能 0:MOE 只能被软件置 '1'； 1:MOE 能被软件置 '1' 或在下一个更新事件被自动置 '1'(如果刹车输入无效)。
13	BKP	RW	刹车输入极性 0: 刹车输入低电平有效； 1: 刹车输入高电平有效。
12	BKE	RW	刹车输入使能 0: 禁止刹车输入； 1: 使能刹车输入。
11	OSR	RW	运行模式下 '输出状态' 选择 该位用于当 MOE=1 且通道为互补输出时。 0: 当 CCxE=0 或 CCxNE=0 时，禁止 OC/OCN 输出； 1: 当 CCxE=0 或 CCxNE=0 时，开启 OC/OCN 并输出无效电平
10	OSI	RW	关闭模式下 '输出状态' 选择 该位用于当 MOE=0 且通道为互补输出时。 0: 禁止 OC/OCN 输出； 1: 当 CCxE=1 或 CCxNE=1 时，开启 OC 与 OCN 并输出空闲电平。

位域	名称	访问	描述
9:8	LOCK[1:0]	RW	锁定设置 该位为防止软件错误而提供写保护。 00: 锁定关闭, 寄存器无写保护; 01: 锁定级别 1, 不能写入 BDTR 寄存器的 DTG、BKE、BKP、AOE 位和 CR2 寄存器的 IOSx/IOSxN 位; 10: 锁定级别 2, 不能写入锁定级别 1 中的各位, 也不能写入 CC 极性位以及 OSR/OSI 位; 11: 锁定级别 3, 不能写入锁定级别 2 中的各位, 也不能写入 CC 控制位; 注: 在系统复位后, 只能写入一次 LOCK 位, 一旦写入 BDTR 寄存器, 则其内容冻结直至复位。
7:0	DTG[7:0]	RW	死区发生器设置 这些位定义了插入互补输出之间的死区持续时间。假设 DT 表示其持续时间: $DTG[7:5]=0xx \Rightarrow DT=DTG[7:0] \times T_{dtg}, T_{dtg} = T_{DTS};$ $DTG[7:5]=10x \Rightarrow DT=(64+DTG[5:0]) \times T_{dtg}, T_{dtg} = 2 \times T_{DTS};$ $DTG[7:5]=110 \Rightarrow DT=(32+DTG[4:0]) \times T_{dtg}, T_{dtg} = 8 \times T_{DTS};$ $DTG[7:5]=111 \Rightarrow DT=(32+DTG[4:0]) \times T_{dtg}, T_{dtg} = 16 \times T_{DTS};$

3.3.21 输入通道状态寄存器 (INSTA)

偏 移: 0x50

复位值: 32'h0

表 3.22: 输入通道状态寄存器

位域	名称	访问	描述
31:6	reserved	-	保留
5	BKIN_IN	R	BKIN 输入
4	ETR_IN	R	ETR 输入
3	CH4_IN	R	CH4 输入
2	CH3_IN	R	CH3 输入
1	CH2_IN	R	CH2 输入
0	CH1_IN	R	CH1 输入

3.4 使用说明

例如, 在主时钟为 16MHz 时, 将定时器配置为每 1 s 进入一次中断。其寄存器配置和中断处理句柄如下所示。

配置 ATIM 寄存器

```
ATIM->CR1 = 0x0;           // 清零配置寄存器  
ATIM->ARR = 15999;         // 配置自动重装载寄存器  
ATIM->PSC = 999;           // 配置预分频器  
ATIM->EGR = TIM_EGR_UG;    // 手动触发更新事件以更新寄存器  
/* 使能中断位 */  
ATIM->SR = ~TIM_IT_UPDATE; // 清除标志位  
ATIM->DIER |= TIM_IT_UPDATE; // 使能中断  
/* 使能计数 */  
ATIM->CR1 |= TIM_CR1_CEN;
```

中断处理句柄

```
if(((ATIM->SR & (TIM_FLAG_UPDATE)) == TIM_FLAG_UPDATE) != RESET){  
/* 清除中断位 */  
ATIM->SR = ~(TIM_IT_UPDATE);  
/* 进行定时相关工作 */  
do_something();  
}  
return 0;
```

第四章 GTIM 定时器

4.1 概述

龙芯 1C203 提供了一个由单个 16 位自动装载计数器驱动的 GTIM。

它适用于多种应用，如测量输入信号的脉冲长度或产生指定的输出波形。GTIM 支持编码器模式与霍尔传感器模式，可为电机相关应用提供良好的支持。

定时器工作在总线时钟下，定时时间应根据总线时钟频率进行设置。

GTIM 的基址为 0x00002000，寄存器定义见下文。

4.2 功能描述

4.2.1 计数模式

定时器具有向上、向下、中央对齐 3 种计数模式，其中单向计数模式与中央对齐模式通过 CR1 寄存器中的 CMS 配置位进行选择。在单向计数模式中，用户通过配置 CR1 寄存器中的 DIR 位选择向上/向下计数。在中央对齐模式中，DIR 位只读，由硬件自动设置用于指示当前的计数方向。

用户可通过配置 PSC 寄存器对计数器时钟进行预分频，配置 ARR 寄存器用于配置计数周期，且可对 CNT 计数器实时进行读取与修改，实际完成一次计数周期的时长由 PSC 与 ARR 共同决定。

PSC 与 ARR 寄存器具有预装载功能，即当次的配置值会留到下个计数周期/更新事件产生时才生效，其中 PSC 寄存器预装载功能始终打开，ARR 寄存器预装载功能可自由选择开启或关闭。

GTIM 模块中 CNT 的计数时钟默认由内部 APB 总线时钟提供，用户也可以通过配置 SMCR 寄存器以使用外部输入的脉冲信号或芯片内部互联信号来进行计数，以实现更灵活的应用。

每次计数器溢出、设置 UG 位、从模式控制器产生硬件复位时可根据相关配置位配置产生更新事件。

当发生更新事件时，PSC 内部计数被清零，CNT 根据计数模式进行重装载，同时：

- SR 寄存器中的 UIF 标志位被设置。
- PSC 与 RCR 寄存器中的值被装载到实际的内部寄存器。
- 若设置了 ARPE 位，ARR 寄存器中的值被装载到实际的自动重装载寄存器。

通过设置 CR1 寄存器中的 UDIS 位，可以禁止除写入 UG 位外的更新事件产生。如设置了 CR1 寄存器中的 URS 位，通过设置 EGR 寄存器中的 UG 位可以手动产生一个更新事件，但不设置 UIF 标志位。

4.2.2 输入模式

GTIM 具有 4 个独立的输入/输出通道，每个通道都可独立地选择输入/输出模式，但同一个通道同时只能选择输入或输出模式中的一种。

由于 4 个通道共用同个 CNT 计数器，因此在使用时需要注意计数值的耦合关系。在输出模式下使用从模式中的复位模式配合进行 PWM 频率捕获时，需要注意仅指定的外部模块输入、CH1、CH2、ETR 信号可用于 CNT 计数器复位，CH3、CH4 信号无法用于计数复位。

在输入模式下，当检测到 CH_x 信号上相应的边沿后，计数器的当前值被锁存到捕获/比较寄存器（CCR_x）中。当捕获事件发生时，SR 寄存器中相应通道的 CC_xIF 标志被置 '1'，如果在 DIER 中使能了相应的中断或 DMA，则将产生中断或 DMA 请求。如果捕获事件发生时 CC_xIF 标志已经为 '1'，那么 SR 寄存器中的重复捕获标志 CC_xOF 标志将被置 '1'，该标志有助于用户判断是否存在被错过的捕获事件。

写 CC_xIF=0 可清除 CC_xIF，或读取存储在对应通道的 CCR_x 寄存器中的数据也可清除 CC_xIF。写 CC_xOF=0 可清除 CC_xOF。

注：设置 EGR 寄存器中相应的 CC_xG 位，可以通过软件输入产生输入捕获事件，同时根据 DIER 寄存器的配置产生中断或 DMA 请求。

4.2.2.1 编码器接口模式

编码器接口模式是输入模式下的一种特殊应用，可连接外部增量式编码器用于计数。

两个输入 CH1 和 CH2 被用来作为增量编码器的接口。根据两个输入信号的跳变顺序，产生了计数脉冲和方向信号，计数器向上或向下计数，同时硬件对 CR1 寄存器的 DIR 位进行相应的设置。

选择编码器接口模式的方法是：如果计数器只在 CH2 的边沿计数，则置 SMCR 寄存器中的 SMS=001；如果只在 CH1 边沿计数，则置 SMS=010；如果计数器同时在 CH1 和 CH2 边沿计数，则置 SMS=011。

编码器接口模式在开始计数之前必须配置 ARR 与其他寄存器，其配置与通常的计数模式保持一致。

在这个模式下，计数器依照增量编码器的速度和方向被自动的修改，因此计数器的内容始终指示着编码器的位置。计数方向与相连的传感器旋转的方向对应。

有效边沿	相对信号的电平	CH1FP1		CH2FP2	
		上升	下降	上升	下降
仅在 CH1 计数	高	向下计数	向上计数	不计数	不计数
	低	向上计数	向下计数	不计数	不计数
仅在 CH2 计数	高	不计数	不计数	向上计数	向下计数
	低	不计数	不计数	向下计数	向上计数
在 CH1 和 CH2 上计数	高	向下计数	向上计数	向上计数	向下计数
	低	向上计数	向下计数	向下计数	向上计数

4.2.2.2 霍尔传感器模式

定时器为外部霍尔传感器应用进行优化。通过配置 CR2 寄存器中的 TIIS 位，可将 CH1、CH2、CH3 输入异或后作为通道 1 输入，因此外部霍尔传感器的所有边沿均可通过通道 1 触发内部中断，进而读取外部霍尔传感器输入电平确定转子位置，完成换相配置。

4.2.3 输出模式

该功能用于控制一个输出波形，或者通过电平变化指示时间的变化。

4.2.3.1 电平输出模式

当计数器 CNT 与 CCRx 寄存器的值相同时，即称为发生比较匹配事件，此时 OCxREF 信号根据所配置的输出模式，可以保持原本电平 (OCxM=000)、被设置为有效电平 (OCxM=001)、被设置为无效电平 (OCxM=010)、始终输出低电平 (OCxM=0x100)、始终输出高电平 (OCxM=0x101) 或将当前电平状态进行翻转 (OCxM=011)，再根据 CCER 寄存器中 CCxP 输出极性配置，将符合期望的值输出到对应的引脚上。同时 SR 寄存器中对应的 CCxFIF 标志位被设置，并根据 DIER/CR2 寄存器相关配置产生中断或 DMA 请求。

例如：配置 OC1M=101,CC1P=0，即可强制 OC1 输出高电平。

4.2.3.2 PWM 模式

脉冲宽度调制模式可以产生一个由 ARR 寄存器确定频率、由 CCRx 寄存器确定占空比的信号。

在 CCMRx 寄存器中的 OCxM 位写入 '110'(PWM 模式 1) 或 '111'(PWM 模式 2)，能够独立地设置每个 OCx 输出通道产生一路 PWM。用户可设置 CCMRx 寄存器 OCxPE 位以使能相应的预装载寄存器。

仅当发生一个更新事件的时候，被配置为预装载模式的寄存器中的配置值才可生效，因此在计数器开始计数之前，必须通过设置 EGR 寄存器中的 UG 位来初始化所有的寄存器。

CCER 寄存器中的 CCxP/CCxE 位控制 OCx 输出极性与使能。

根据 CR1 寄存器中 CMS 位的状态，定时器能够产生边沿对齐的 PWM 信号或中央对齐的 PWM 信号。

当 CR1 寄存器中的 DIR 位为低的时候执行向上计数。以 PWM 模式 1 为例，当 CNT<CCR_x 时 PWM 信号参考 OCxREF 为高，否则为低。如果 CCR_x 中的比较值大于自动重装载值 (ARR)，则 OCxREF 保持为 '1'。如果 CCR_x 中的比较值为 0，则 OCxREF 保持为 '0'。

当 CR1 寄存器的 DIR 位为高时执行向下计数。在 PWM 模式 1 时，当 CNT>CCR_x 时参考信号 OCxREF 为低，否则为高。如果 CCR_x 中的比较值大于 ARR 中的自动重装载值，则 OCxREF 保持为 '1'。该模式下不能产生占空比为 0

在外部事件时清除 OCxREF 信号对于一个给定的通道，设置 CCMRx 寄存器中对应的 OCxCE 位为 '1'，能够用 ETRF 输入端的高电平把 OCxREF 信号拉低，OCxREF 信号将保持为低直到发生下一次的更新事件 UEV。该功能只能用于输出比较和 PWM 模式，而不能用于强置模式。

单脉冲模式

将 CR1 寄存器中的 OPM 位置为 '1' 将选择单脉冲模式，这样可以让定时器自动地在产生下一个更新事件 UEV 时清除 CEN 位，从而停止计数。这种模式可用于让定时器响应一个激励，并在一个程序可控的延时之后，产生一个脉宽可程序控制的脉冲。

4.2.4 定时器外部控制

通过配置 SMCR 寄存器中的 SMS 位，可使用外部信号对定时器进行一定程度的控制。

4.3 寄存器空间

表 4.1: GTIM 控制器寄存器列表

名称	偏移	描述
CR1	0x00	控制寄存器 1
CR2	0x04	控制寄存器 2
SMCR	0x08	从模式控制寄存器
DIER	0x0c	DMA/中断使能寄存器
SR	0x10	状态寄存器

名称	偏移	描述
EGR	0x14	事件产生寄存器
CCMR1	0x18	捕获/比较模式寄存器 1
CCMR2	0x1c	捕获/比较模式寄存器 2
CCER	0x20	捕获/比较使能寄存器
CNT	0x24	计数器
PSC	0x28	预分频器
ARR	0x2c	自动重装载寄存器
CCR1	0x34	捕获/比较寄存器 1
CCR2	0x38	捕获/比较寄存器 2
CCR3	0x3c	捕获/比较寄存器 3
CCR4	0x40	捕获/比较寄存器 4
INSTA	0x50	输入通道状态寄存器

4.3.1 控制寄存器 1 (CR1)

偏 移: 0x00

复位值: 32'h0

表 4.2: 控制寄存器 1

位域	名称	访问	描述
31:10	reserved	-	保留
9:8	CKD[1:0]	RW	时钟分频因子 配置定时器时钟频率 APB 与数字滤波器使用的采样频率之间的分频关系 00: $t_{DTS} = t_{CK_{INT}}$ 01: $t_{DTS} = 2 \times t_{CK_{INT}}$ 10: $t_{DTS} = 4 \times t_{CK_{INT}}$ 11: 保留
7	ARPE	RW	自动重装载预装载使能 0:ARR 寄存器没有预装载 1:ARR 寄存器开启预装载
6:5	CMS[1:0]	RW	计数模式选择 00: 边沿对齐模式。计数器依据方向位 (dir) 向上或向下计数。 01: 中央对齐模式 1。计数器交替地向上或向下计数。配置为输出的通道的输出比较标志位，只在计数器向下计数时被设置。 10: 中央对齐模式 2。计数器交替地向上或向下计数。配置为输出的通道的输出比较标志位，只在计数器向上计数时被设置。 11: 中央对齐模式 3。计数器交替地向上或向下计数。配置为输出的通道的输出比较标志位，在计数器向上和向下计数时均被设置。
4	DIR	RW	方向 0: 计数器向上计数 1: 计数器向下计数 注: 当计数器配置为中央对齐模式或编码器模式时，该位由硬件自动配置，只读

位域	名称	访问	描述
3	OPM	RW	单脉冲模式 0: 关闭单脉冲模式 1: 发生更新事件时, 清除 CEN 位, 停止计数
2	URS	RW	更新请求源 0: 计数器上溢或下溢、设置 UG 位、通过从模式控制器产生的更新均可产生更新中断或 DMA 请求 1: 只有计数器上溢或下溢可以产生更新中断或者 DMA 请求
1	UDIS	RW	禁止更新 0: 计数器上溢或下溢、设置 UG 位、通过从模式控制器产生的更新可产生更新事件。产生更新事件后, 开启预装载的寄存器被加载为预装载值。 1: 禁止更新事件产生。此时开启预装载的寄存器将保持其内容无法被更改, 但通过设置 UG 位或从模式控制器产生了硬件复位, 计数器和预分频器将被重新初始化。
0	CEN	RW	计数使能 0: 停止计数 1: 使能计数

4.3.2 控制寄存器 2 (CR2)

偏 移: 0x04

复位值: 32'h0

表 4.3: 控制寄存器 2

位域	名称	访问	描述
31:8	reserved	-	保留
7	TII S	RW	TII 输入选择 0:CH1 引脚连接到 TII 输入 1:CH1、CH2、CH3 引脚经异或后连到 TII 输入
6:4	MMS[2:0]	RW	主模式选择 该配置位用于选择在主模式下向从外设发送的触发输出来源。 000: 复位 - 使用配置 UG 位和从模式控制器产生的硬件复位作为触发输出。 001: 使能 - 使用计数器使能信号作为触发输出。计数器实际使能信号由 CEN 控制位与门控模式下触发输入共同决定。 010: 更新 - 更新事件作为触发输出。 011: 比较脉冲 - 当发生一次捕获或比较成功时, 当要设置 CCIF 标志时(即使已经为高), 触发输出一个脉冲。 100:OC1REF 信号被作为触发输出。 101:OC2REF 信号被作为触发输出。 110:OC3REF 信号被作为触发输出。 111:OC4REF 信号被作为触发输出。
3	CCDS	RW	捕获/比较的 DMA 选择 0: 当发生比较/捕获事件时, 发送 CCx 的 DMA 请求 1: 当发生更新事件时, 发送 CCx 的 DMA 请求
2:0	reserved	-	保留

4.3.3 从模式控制寄存器 (SMCR)

偏 移: 0x08

复位值: 32'h0

表 4.4: 从模式控制寄存器

位域	名称	访问	描述
31:16	reserved	-	保留
15	ETP	RW	外部触发极性 0:ETR 不反相 1:ETR 反相
14	ECE	RW	外部时钟使能位 0: 禁止外部时钟模式 2 1: 使能外部使能模式 2 注: 复位模式、门控模式和触发模式可以与外部时钟模式 2 同时使用, 但是此时 TRGI 不能连接到 ETR。当外部时钟模式 1 和外部时钟模式 2 同时被使能时, 外部时钟的输入是 ETR。
13:12	reserved	-	保留
11:8	ETF[3:0]	RW	外部触发滤波 配置对 ETR 信号采样的频率和数字滤波的带宽。数字滤波器是一个事件计数器, 记录到 N 个事件后产生输出跳变。 0000: 无滤波器, 以 f_{DTS} 采样 0001: 采样频率 $f_{SAMP} = f_{APB}$, N=2 0010: 采样频率 $f_{SAMP} = f_{APB}$, N=4 0011: 采样频率 $f_{SAMP} = f_{APB}$, N=8 0100: 采样频率 $f_{SAMP} = f_{DTS}/2$, N=6 0101: 采样频率 $f_{SAMP} = f_{DTS}/2$, N=8 0110: 采样频率 $f_{SAMP} = f_{DTS}/4$, N=6 0111: 采样频率 $f_{SAMP} = f_{DTS}/4$, N=8 1000: 采样频率 $f_{SAMP} = f_{DTS}/8$, N=6 1001: 采样频率 $f_{SAMP} = f_{DTS}/8$, N=8 1010: 采样频率 $f_{SAMP} = f_{DTS}/16$, N=5 1011: 采样频率 $f_{SAMP} = f_{DTS}/16$, N=6 1100: 采样频率 $f_{SAMP} = f_{DTS}/16$, N=8 1101: 采样频率 $f_{SAMP} = f_{DTS}/32$, N=5 1110: 采样频率 $f_{SAMP} = f_{DTS}/32$, N=6 1111: 采样频率 $f_{SAMP} = f_{DTS}/32$, N=8
7	TSYN	RW	触发同步 0: 关闭主从模式 1: 触发输入上的事件被延迟触发, 从而让当前定时器与被它的触发输出所控制的从定时器间达成同步

位域	名称	访问	描述
6:4	TS[2:0]	RW	触发来源选择 000: 内部触发 0,ATIM 001-011: 保留 100:TI1 的边沿检测器 101: 滤波后的 CH1 输入 110: 滤波后的 CH2 输入 111: 外部触发输入 ETR
3	reserved	-	保留
2:0	SMS[2:0]	RW	从模式选择 000: 关闭从模式 001: 编码器模式 1-根据 TI1 的电平, 计数器在 TI2 的边沿向上/向下计数 010: 编码器模式 2-根据 TI2 的电平, 计数器在 TI1 的边沿向上/向下计数 011: 编码器模式 3-根据另一个信号的电平, 计数器在 TI1 和 TI2 的边沿向上/向下计数 100: 复位模式 -在选中的触发输入 (TRGI) 的上升沿初始化计数器, 并产生一个更新寄存器的信号 101: 门控模式 -当触发输入为高时, 计数器计数; 当触发输入为低时, 计数器停止计数但不复位。仅 CEN 位为 '1' 时门控模式有效 110: 触发模式 -在触发输入的上升沿, CEN 位被硬件设置为 '1' 111: 外部时钟模式 1-在选中的触发输入的上升沿, 计数器计数

4.3.4 DMA/中断使能寄存器 (DIER)

偏 移: 0x0c

复位值: 32'h0

表 4.5: DMA/中断使能寄存器

位域	名称	访问	描述
31:15	reserved	-	保留
14	TDE	RW	触发事件 DMA 请求使能 0: 禁止触发事件 DMA 请求 1: 使能触发事件 DMA 请求
13	reserved	-	保留
12	CC4DE	RW	捕获/请求通道 4 的 DMA 请求使能 0: 禁止捕获/比较通道 4 的 DMA 请求 1: 使能捕获/比较通道 4 的 DMA 请求
11	CC3DE	RW	捕获/请求通道 3 的 DMA 请求使能 0: 禁止捕获/比较通道 3 的 DMA 请求 1: 使能捕获/比较通道 3 的 DMA 请求
10	CC2DE	RW	捕获/请求通道 2 的 DMA 请求使能 0: 禁止捕获/比较通道 2 的 DMA 请求 1: 使能捕获/比较通道 2 的 DMA 请求

位域	名称	访问	描述
9	CC1DE	RW	捕获/请求通道 1 的 DMA 请求使能 0: 禁止捕获/比较通道 1 的 DMA 请求 1: 使能捕获/比较通道 1 的 DMA 请求
8	UDE	RW	更新事件 DMA 请求使能 0: 禁止更新事件 DMA 请求 1: 使能更新事件 DMA 请求
7	reserved	-	保留
6	TIE	RW	触发事件中断使能 0: 禁止触发事件中断 1: 使能触发事件中断
5	reserved	-	保留
4	CC4IE	RW	捕获/请求通道 4 的中断使能 0: 禁止捕获/比较通道 4 中断 1: 使能捕获/比较通道 4 中断
3	CC3IE	RW	捕获/请求通道 3 的中断使能 0: 禁止捕获/比较通道 3 中断 1: 使能捕获/比较通道 3 中断
2	CC2IE	RW	捕获/请求通道 2 的中断使能 0: 禁止捕获/比较通道 2 中断 1: 使能捕获/比较通道 2 中断
1	CCIIE	RW	捕获/请求通道 1 的中断使能 0: 禁止捕获/比较通道 1 中断 1: 使能捕获/比较通道 1 中断
0	UIE	RW	更新事件中断使能 0: 禁止更新事件中断 1: 使能更新事件中断

4.3.5 状态寄存器 (SR)

偏 移: 0x10

复位值: 32'h0

表 4.6: 状态寄存器

位域	名称	访问	描述
31:13	reserved	-	保留
12	CC4OF	RC W0	捕获/请求通道 4 重复捕获事件标志位 仅当相应通道被配置为输入捕获时有意义 0: 无重复捕获事件 1: 通道 4 发生重复捕获事件
11	CC3OF	RC W0	捕获/请求通道 3 重复捕获事件标志位 0: 无重复捕获事件 1: 通道 3 发生重复捕获事件
10	CC2OF	RC W0	捕获/请求通道 2 重复捕获事件标志位 0: 无重复捕获事件 1: 通道 2 发生重复捕获事件

位域	名称	访问	描述
9	CCIOF	RC W0	捕获/请求通道 1 重复捕获事件标志位 0: 无重复捕获事件 1: 通道 1 发生重复捕获事件
8:7	reserved	-	保留
6	TIF	RC W0	触发事件标志位 当发生触发事件（当从模式控制器处于除门控模式外的其他模式在触发输入端检测到有效边沿，或门控模式下任一边沿）时硬件置 '1'，软件写 '0' 清除。 0: 无触发事件发生 1: 发生触发事件
5	reserved	-	保留
4	CC4IF	RC W0	捕获/请求通道 4 事件标志位 0: 无捕获/比较事件 1: 通道 4 发生捕获/比较通道事件
3	CC3IF	RC W0	捕获/请求通道 3 事件标志位 0: 无捕获/比较事件 1: 通道 3 发生捕获/比较通道事件
2	CC2IF	RC W0	捕获/请求通道 2 事件标志位 0: 无捕获/比较事件 1: 通道 2 发生捕获/比较通道事件
1	CC1IF	RC W0	捕获/请求通道 1 事件标志位 0: 无捕获/比较事件 1: 通道 1 发生捕获/比较通道事件
0	UIF	RC W0	更新事件标志位 硬件在产生更新事件时设置该位，软件写 0 清除 0: 未产生更新事件 1: 产生了更新事件

4.3.6 事件产生寄存器 (EGR)

偏 移: 0x14

复位值: 32'h0

表 4.7: 事件产生寄存器

位域	名称	访问	描述
31:7	reserved	-	保留
6	TG	W	产生触发事件 该位始终读为 0, 写 1 产生触发事件
5	reserved	-	保留
4	CC4G	W	产生捕获/比较 4 事件 该位始终读为 0, 写 1 产生捕获/比较事件。 若通道为输出: 设置 CC1IF 为 1, 若开启对应的中断和 DMA, 则产生相应的中断和 DMA 若通道为输入: 将当前计数器 CNT 的值捕获置 CCR1 寄存器, 设置 CC1IF 为 1, 若 CC1IF 已经为 1, 则设置 CCIOF 为 1

位域	名称	访问	描述
3	CC3G	W	产生捕获/比较 3 事件 该位始终读为 0, 写 1 产生捕获/比较事件
2	CC2G	W	产生捕获/比较 2 事件 该位始终读为 0, 写 1 产生捕获/比较事件
1	CC1G	W	产生捕获/比较 1 事件 该位始终读为 0, 写 1 产生捕获/比较事件
0	UG	W	产生更新事件 该位始终读为 0, 写 1 产生更新事件, 初始化计数器并更新带有预装载的寄存器

4.3.7 捕获/比较模式寄存器 1(输出) (CCMR1)

偏 移: 0x18

复位值: 32'h0

通道可用于输入捕获模式或输出比较模式, 通道的方向由相应的 CCxS 配置位定义。该寄存器其他位在输入和输出模式下不同, 同一个位在输入和输出模式下的意义是不同的。

表 4.8: 捕获/比较模式寄存器 1(输出)

位域	名称	访问	描述
31:16	reserved	-	保留
15	OC2CE	RW	输出比较 2 清零使能 0: 无影响 1: 一旦检测到 ETR 输入高电平, 清除 OC2REF=0
14:12	OC2M[2:0]	RW	输出比较 2 模式 000: 冻结, OC2REF 保持当前状态不变 001: 当计数器 CNT 的值与捕获/比较寄存器 CCR2 相同时, 强制 OC2REF 为高电平 010: 当计数器 CNT 的值与捕获/比较寄存器 CCR2 相同时, 强制 OC2REF 为低电平 011: 当计数器 CNT 的值与捕获/比较寄存器 CCR2 相同时, 翻转 OC2REF 的电平 100: 强制 OC2REF 为低电平 101: 强制 OC2REF 为高电平 110: PWM 模式 1-在向上计数时, 一旦 CNT<CCR2, OC2REF 为高电平, 否则为低电平; 在向下计数时, 一旦 CNT>CCR2, OC2REF 为低电平, 否则为高电平。 111: PWM 模式 2-在向上计数时, 一旦 CNT<CCR2, OC2REF 为低电平, 否则为高电平; 在向下计数时, 一旦 CNT>CCR2, OC2REF 为高电平, 否则为低电平。
11	OC2PE	RW	输出比较 2 预装载使能 0: 关闭 CCR2 寄存器的预装载功能 1: 开启 CCR2 寄存器的预装载功能

位域	名称	访问	描述
10	OC2FE	RW	输出比较 2 快速使能 0: 无影响 1: 仅在单脉冲模式下且通道配置为 PWM1/PWM2 模式时生效, 当开始计数时, 立即输出有效电平, OC2REF 电平此时与比较结果无关
9:8	CC2S[1:0]	RW	输出/比较 2 选择 00:CC2 通道被配置为输出 01:CC2 通道被配置为输入, IC2 映射在 TI2 上 10:CC2 通道被配置为输入, IC2 映射在 TI1 上 11:CC2 通道被配置为输入, IC2 映射在 TRC 上
7	OC1CE	RW	输出比较 1 清零使能 0: 无影响 1: 一旦检测到 ETR 输入高电平, 清除 OC1REF=0
6:4	OC1M[2:0]	RW	输出比较 1 模式 参见 OC2M 说明
3	OC1PE	RW	输出比较 1 预装载使能 0: 关闭 CCR1 寄存器的预装载功能 1: 开启 CCR1 寄存器的预装载功能
2	OC1FE	RW	输出比较 1 快速使能 参见 OC2FE 说明
1:0	CC1S[1:0]	RW	输出/比较 1 选择 00:CC1 通道被配置为输出 01:CC1 通道被配置为输入, IC1 映射在 TI1 上 10:CC1 通道被配置为输入, IC1 映射在 TI2 上 11:CC1 通道被配置为输入, IC1 映射在 TRC 上

4.3.8 捕获/比较模式寄存器 1(输入) (CCMR1)

偏 移: 0x18

复位值: 32'h0

表 4.9: 捕获/比较模式寄存器 1(输入)

位域	名称	访问	描述
31:16	reserved	-	保留

位域	名称	访问	描述
15:12	IC2F[3:0]	RW	输入捕获 2 滤波器 配置对 TI2 输入信号采样的频率和数字滤波的带宽。数字滤波器是一个事件计数器，记录到 N 个事件后产生输出跳变。 0000: 无滤波器，以 f_{DTS} 采样 0001: 采样频率 $f_{SAMP} = f_{APB}$, N=2 0010: 采样频率 $f_{SAMP} = f_{APB}$, N=4 0011: 采样频率 $f_{SAMP} = f_{APB}$, N=8 0100: 采样频率 $f_{SAMP} = f_{DTS}/2$, N=6 0101: 采样频率 $f_{SAMP} = f_{DTS}/2$, N=8 0110: 采样频率 $f_{SAMP} = f_{DTS}/4$, N=6 0111: 采样频率 $f_{SAMP} = f_{DTS}/4$, N=8 1000: 采样频率 $f_{SAMP} = f_{DTS}/8$, N=6 1001: 采样频率 $f_{SAMP} = f_{DTS}/8$, N=8 1010: 采样频率 $f_{SAMP} = f_{DTS}/16$, N=5 1011: 采样频率 $f_{SAMP} = f_{DTS}/16$, N=6 1100: 采样频率 $f_{SAMP} = f_{DTS}/16$, N=8 1101: 采样频率 $f_{SAMP} = f_{DTS}/32$, N=5 1110: 采样频率 $f_{SAMP} = f_{DTS}/32$, N=6 1111: 采样频率 $f_{SAMP} = f_{DTS}/32$, N=8
11:10	IC2PSC[1:0]	RW	输入捕获 2 预分频器 定义 CC2 输入 (IC2) 的预分频系数 00: 无预分频 01: 每 2 个事件触发一次捕获 10: 每 4 个事件触发一次捕获 11: 每 8 个事件触发一次捕获
9:8	CC2S[1:0]	RW	输出/比较 2 选择 00:CC2 通道被配置为输出 01:CC2 通道被配置为输入, IC2 映射在 TI2 上 10:CC2 通道被配置为输入, IC2 映射在 TI1 上 11:CC2 通道被配置为输入, IC2 映射在 TRC 上
7:4	IC1F[3:0]	RW	输入捕获 1 滤波器 参考 IC2F 说明
3:2	IC1PSC[1:0]	RW	输入捕获 1 预分频器 参考 IC2PSC 说明
1:0	CC1S[1:0]	RW	输出/比较 1 选择 00:CC1 通道被配置为输出 01:CC1 通道被配置为输入, IC1 映射在 TI1 上 10:CC1 通道被配置为输入, IC1 映射在 TI2 上 11:CC1 通道被配置为输入, IC1 映射在 TRC 上

4.3.9 捕获/比较模式寄存器 2(输出) (CCMR2)

偏 移: 0x1c

复位值: 32'h0

通道可用于输入捕获模式或输出比较模式，通道的方向由相应的 CGxS 配置位定义。该寄存器其他位在输入和输出模式下不同，同一个位在输入和输出模式下的意义是不同的。

表 4.10: 捕获/比较模式寄存器 2(输出)

位域	名称	访问	描述
31:16	reserved	-	保留
15	OC4CE	RW	输出比较 4 清零使能 0: 无影响 1: 一旦检测到 ETR 输入高电平，清除 OC4REF=0
14:12	OC4M[2:0]	RW	输出比较 4 模式 000: 冻结，OC4REF 保持当前状态不变 001: 当计数器 CNT 的值与捕获/比较寄存器 CCR4 相同时，强制 OC4REF 为高电平 010: 当计数器 CNT 的值与捕获/比较寄存器 CCR4 相同时，强制 OC4REF 为低电平 011: 当计数器 CNT 的值与捕获/比较寄存器 CCR4 相同时，翻转 OC4REF 的电平 100: 强制 OC4REF 为低电平 101: 强制 OC4REF 为高电平 110: PWM 模式 1-在向上计数时，一旦 CNT<CCR4，OC4REF 为高电平，否则为低电平；在向下计数时，一旦 CNT>CCR4，OC4REF 为低电平，否则为高电平。 111: PWM 模式 2-在向上计数时，一旦 CNT<CCR4，OC4REF 为低电平，否则为高电平；在向下计数时，一旦 CNT>CCR4，OC4REF 为高电平，否则为低电平。
11	OC4PE	RW	输出比较 4 预装载使能 0: 关闭 CCR4 寄存器的预装载功能 1: 启用 CCR4 寄存器的预装载功能
10	OC4FE	RW	输出比较 4 快速使能 0: 无影响 1: 仅在单脉冲模式下且通道配置为 PWM1/PWM2 模式时生效，当开始计数时，立即输出有效电平，OC4REF 电平时与比较结果无关
9:8	CC4S[1:0]	RW	输出/比较 4 选择 00:CC4 通道被配置为输出 01:CC4 通道被配置为输入，IC4 映射在 TI4 上 10:CC4 通道被配置为输入，IC4 映射在 TI3 上 11:CC4 通道被配置为输入，IC4 映射在 TRC 上
7	OC3CE	RW	输出比较 3 清零使能 0: 无影响 1: 一旦检测到 ETR 输入高电平，清除 OC3REF=0
6:4	OC3M[2:0]	RW	输出比较 3 模式 参见 OC4M 说明
3	OC3PE	RW	输出比较 3 预装载使能 0: 关闭 CCR3 寄存器的预装载功能 1: 启用 CCR3 寄存器的预装载功能

位域	名称	访问	描述
2	OC3FE	RW	输出比较 3 快速使能 参见 OC4FE 说明
1:0	CC3S[1:0]	RW	输出/比较 3 选择 00:CC3 通道被配置为输出 01:CC3 通道被配置为输入, IC3 映射在 TI3 上 10:CC3 通道被配置为输入, IC3 映射在 TI4 上 11:CC3 通道被配置为输入, IC3 映射在 TRC 上

4.3.10 捕获/比较模式寄存器 2(输入) (CCMR2)

偏 移: 0xlc

复位值: 32'h0

表 4.11: 捕获/比较模式寄存器 2(输入)

位域	名称	访问	描述
3l:l6	reserved	-	保留
15:12	IC4F[3:0]	RW	输入捕获 4 滤波器 配置对 TI4 输入信号采样的频率和数字滤波的带宽。数字滤波器是一个事件计数器, 记录到 N 个事件后产生输出跳变。 0000: 无滤波器, 以 f_{DTS} 采样 0001: 采样频率 $f_{SAMP} = f_{APB}$, N=2 0010: 采样频率 $f_{SAMP} = f_{APB}$, N=4 0011: 采样频率 $f_{SAMP} = f_{APB}$, N=8 0100: 采样频率 $f_{SAMP} = f_{DTS}/2$, N=6 0101: 采样频率 $f_{SAMP} = f_{DTS}/2$, N=8 0110: 采样频率 $f_{SAMP} = f_{DTS}/4$, N=6 0111: 采样频率 $f_{SAMP} = f_{DTS}/4$, N=8 1000: 采样频率 $f_{SAMP} = f_{DTS}/8$, N=6 1001: 采样频率 $f_{SAMP} = f_{DTS}/8$, N=8 1010: 采样频率 $f_{SAMP} = f_{DTS}/16$, N=5 1011: 采样频率 $f_{SAMP} = f_{DTS}/16$, N=6 1100: 采样频率 $f_{SAMP} = f_{DTS}/16$, N=8 1101: 采样频率 $f_{SAMP} = f_{DTS}/32$, N=5 1110: 采样频率 $f_{SAMP} = f_{DTS}/32$, N=6 1111: 采样频率 $f_{SAMP} = f_{DTS}/32$, N=8
11:10	IC4PSC[1:0]	RW	输入捕获 4 预分频器 定义 CC4 输入 (IC4) 的预分频系数 00: 无预分频 01: 每 2 个事件触发一次捕获 10: 每 4 个事件触发一次捕获 11: 每 8 个事件触发一次捕获

位域	名称	访问	描述
9:8	CC4S[1:0]	RW	输出/比较 4 选择 00:CC4 通道被配置为输出 01:CC4 通道被配置为输入, IC4 映射在 TI4 上 10:CC4 通道被配置为输入, IC4 映射在 TI3 上 11:CC4 通道被配置为输入, IC4 映射在 TRC 上
7:4	IC3F[3:0]	RW	输入捕获 3 滤波器 参考 IC4F 说明
3:2	IC3PSC[1:0]	RW	输入捕获 3 预分频器 参考 IC4PSC 说明
1:0	CC3S[1:0]	RW	输出/比较 3 选择 00:CC3 通道被配置为输出 01:CC3 通道被配置为输入, IC3 映射在 TI3 上 10:CC3 通道被配置为输入, IC3 映射在 TI4 上 11:CC3 通道被配置为输入, IC3 映射在 TRC 上

4.3.11 捕获/比较使能寄存器 (CCER)

偏 移: 0x20

复位值: 32'h0

表 4.12: 捕获/比较使能寄存器

位域	名称	访问	描述
31:14	reserved	-	保留
13	CC4P	RW	输入/捕获 4 极性 CC4 通道配置为输出: 0:OC4=OC4REF 1:OC4 为 OC4REF 反相输出 CC4 通道配置为输入: 0: 不反相: 捕获发生在 IC4 的上升沿 1: 反相: 捕获发生在 IC4 的下降沿
12	CC4E	RW	输入/捕获 4 使能 CC4 通道配置为输出: 0:OC4 禁止输出 1:OC4 信号输出到对应的引脚 CC4 通道配置为输入: 0: 捕获禁止 1: 捕获使能
11:10	reserved	-	保留
9	CC3P	RW	输入/捕获 3 极性 参考 CC4P 描述
8	CC3E	RW	输入/捕获 3 使能 参考 CC4E 描述
7:6	reserved	-	保留
5	CC2P	RW	输入/捕获 2 极性 参考 CC4P 描述

位域	名称	访问	描述
4	CC2E	RW	输入/捕获 2 使能 参考 CC4E 描述
3:2	reserved	-	保留
1	CCIP	RW	输入/捕获 1 极性 参考 CC4P 描述
0	CCIE	RW	输入/捕获 1 使能 参考 CC4E 描述

4.3.12 计数器 (CNT)

偏 移: 0x24

复位值: 32'h0

表 4.13: 计数器

位域	名称	访问	描述
3l:16	reserved	-	保留
15:0	CNT[15:0]	RW	计数器数值

4.3.13 预分频器 (PSC)

偏 移: 0x28

复位值: 32'h0

表 4.14: 预分频器

位域	名称	访问	描述
3l:16	reserved	-	保留
15:0	PSC[15:0]	RW	预分频器数值 计数器的实际时钟频率为 $f_{psc}/(psc + 1)$ 。 预分频器始终开启预装载功能，在发生更新事件时，psc 的数值被装载到实际的预分频寄存器中。

4.3.14 自动重装载寄存器 (ARR)

偏 移: 0x2c

复位值: 32'h0

表 4.15: 自动重装载寄存器

位域	名称	访问	描述
3l:16	reserved	-	保留
15:0	ARR[15:0]	RW	自动重装载数值 当计数器 cnt 与 arr 相等时，产生上溢事件，并根据相关配置位产生更新事件。 注：当 arr 为 0 时，计数器停止。

4.3.15 捕获/比较寄存器 1 (CCR1)

偏 移: 0x34

复位值: 32'h0

表 4.16: 捕获/比较寄存器 1

位域	名称	访问	描述
31:16	reserved	-	保留
15:0	CCR1[15:0]	RW	捕获/比较 1 数值 CC1 通道配置为输出: CCR1 包含了装入当前捕获/比较 1 寄存器的值（预装载值） CC1 通道配置为输入: CCR1 包含了上次输入捕获 1 事件时传输的计数器 CNT 值

4.3.16 捕获/比较寄存器 2 (CCR2)

偏 移: 0x38

复位值: 32'h0

表 4.17: 捕获/比较寄存器 2

位域	名称	访问	描述
31:16	reserved	-	保留
15:0	CCR2[15:0]	RW	捕获/比较 2 数值 CC2 通道配置为输出: CCR2 包含了装入当前捕获/比较 2 寄存器的值（预装载值） CC2 通道配置为输入: CCR2 包含了上次输入捕获 2 事件时传输的计数器 CNT 值

4.3.17 捕获/比较寄存器 3 (CCR3)

偏 移: 0x3c

复位值: 32'h0

表 4.18: 捕获/比较寄存器 3

位域	名称	访问	描述
31:16	reserved	-	保留
15:0	CCR3[15:0]	RW	捕获/比较 3 数值 CC3 通道配置为输出: CCR3 包含了装入当前捕获/比较 3 寄存器的值（预装载值） CC3 通道配置为输入: CCR3 包含了上次输入捕获 3 事件时传输的计数器 CNT 值

4.3.18 捕获/比较寄存器 4 (CCR4)

偏 移: 0x40

复位值： 32'h0

表 4.19: 捕获/比较寄存器 4

位域	名称	访问	描述
3l:16	reserved	-	保留
15:0	CCR4[15:0]	RW	捕获/比较 4 数值 CC4 通道配置为输出： CCR4 包含了装入当前捕获/比较 4 寄存器的值（预装载值） CC4 通道配置为输入： CCR4 包含了上次输入捕获 4 事件时传输的计数器 CNT 值

4.3.19 输入通道状态寄存器 (INSTA)

偏 移： 0x50

复位值： 32'h0

表 4.20: 输入通道状态寄存器

位域	名称	访问	描述
3l:5	reserved	-	保留
4	ETR_IN	R	ETR 输入
3	CH4_IN	R	CH4 输入
2	CH3_IN	R	CH3 输入
1	CH2_IN	R	CH2 输入
0	CH1_IN	R	CH1 输入

4.4 使用说明

例如，在主时钟为 16MHz 时，将定时器配置为每 1 s 进入一次中断。其寄存器配置和中断处理句柄如下所示。

配置 GTIM 寄存器

```

GTIM->CR1 = 0x0;                                // 清零配置寄存器
GTIM->ARR = 15999;                               // 配置自动重装载寄存器
GTIM->PSC = 999;                                 // 配置预分频器
GTIM->EGR = TIM_EGR_UG;                          // 手动触发更新事件以更新寄存器
/* 使能中断位 */
GTIM->SR = ~TIM_IT_UPDATE;                      // 清除标志位
GTIM->DIER |= TIM_IT_UPDATE;                     // 使能中断
/* 使能计数 */
GTIM->CR1 |= TIM_CR1_CEN;

```

中断处理句柄

```
if(((GTIM->SR & (TIM_FLAG_UPDATE)) == TIM_FLAG_UPDATE) != RESET){  
    /* 清除中断位 */  
    GTIM->SR = ~(TIM_IT_UPDATE);  
    /* 进行定时相关工作 */  
    do_something();  
}  
  
return 0;
```

第五章 BTIM 定时器

5.1 概述

龙芯 1C203 提供了与 HPET 工作方式类似的具有 16 位自动装载寄存器的定时器，由可编程预分频器驱动，可以用于提供时间基准。

定时器主要包括 CNT、PSC、ARR 三个寄存器，当时钟计数器 CNT 的计数值与 ARR 相同时触发中断。

定时器工作在总线时钟下，定时时间应根据总线时钟频率进行设置。

BTIM 的基址为 0x00003000，寄存器定义见下文。

5.2 功能描述

计数器从 0 开始累加计数到 ARR 寄存器中存储的自动重装载数值，然后重新从 0 开始计数并产生一个计数器溢出事件。每次计数器溢出、设置 UG 位、从模式控制器产生硬件复位时可根据相关配置位配置产生更新事件。

用户可通过配置 PSC 寄存器对计数器时钟进行预分频，配置 ARR 寄存器用于配置计数周期，且可对 CNT 计数器实时进行读取与修改，实际完成一次计数周期的时长由 PSC 与 ARR 共同决定。

PSC 与 ARR 寄存器具有预装载功能，即当次的配置值会留到下个计数周期/更新事件产生时才生效，其中 PSC 寄存器预装载功能始终打开，ARR 寄存器预装载功能可自由选择开启或关闭。

当发生更新事件时：

- SR 寄存器中的 UIF 标志位被设置。
- PSC 寄存器中的值被装载到实际的预分频器寄存器。
- 若设置了 ARPE 位，ARR 寄存器中的值被装载到实际的自动重装载寄存器。

BTIM 的时钟由内部 APB 总线时钟提供。一旦置 CEN 位为 '1'，内部时钟即向预分频器提供时钟。

5.3 寄存器空间

表 5.1: BTIM 控制器寄存器列表

名称	偏移	描述
CR1	0x00	控制寄存器 1

名称	偏移	描述
CR2	0x04	控制寄存器 2
DIER	0x0c	DMA/中断使能寄存器
SR	0x10	状态寄存器
EGR	0x14	事件产生寄存器
CNT	0x24	计数器
PSC	0x28	预分频器
ARR	0x2c	自动重装载寄存器

5.3.1 控制寄存器 1 (CR1)

偏 移: 0x00

复位值: 32'h0

表 5.2: 控制寄存器 1

位域	名称	访问	描述
31:8	reserved	-	保留
7	ARPE	RW	自动重装载预装载使能 0:ARR 寄存器没有预装载 1:ARR 寄存器开启预装载
6:4	reserved	-	保留
3	OPM	RW	单脉冲模式 0: 关闭单脉冲模式 1: 发生更新事件时, 清除 CEN 位, 停止计数
2	URS	RW	更新请求源 0: 计数器上溢或下溢、设置 UG 位、通过从模式控制器产生的更新均可产生更新中断或 DMA 请求 1: 只有计数器上溢或下溢可以产生更新中断或者 DMA 请求
1	UDIS	RW	禁止更新 0: 计数器上溢或下溢、设置 UG 位、通过从模式控制器产生的更新可产生更新事件。产生更新事件后, 开启预装载的寄存器被加载为预装载值。 1: 禁止更新事件产生。此时开启预装载的寄存器将保持其内容无法被更改, 但通过设置 UG 位或从模式控制器产生了硬件复位, 计数器和预分频器将被重新初始化。
0	CEN	RW	计数使能 0: 停止计数 1: 使能计数

5.3.2 控制寄存器 2 (CR2)

偏 移: 0x04

复位值: 32'h0

表 5.3: 控制寄存器 2

位域	名称	访问	描述
31:7	reserved	-	保留
6:4	MMS[2:0]	RW	主模式选择 该配置位用于选择在主模式下向从外设发送的触发输出来源。 000: 复位 - 使用配置 UC 位和从模式控制器产生的硬件复位作为触发输出。 001: 使能 - 使用计数器使能信号作为触发输出。计数器实际使能信号由 CEN 控制位与门控模式下触发输入共同决定。 010: 更新 - 更新事件作为触发输出。
3:0	reserved	-	保留

5.3.3 DMA/中断使能寄存器 (DIER)

偏 移: 0x0c

复位值: 32'h0

表 5.4: DMA/中断使能寄存器

位域	名称	访问	描述
31:9	reserved	-	保留
8	UDE	RW	更新事件 DMA 请求使能 0: 禁止更新事件 DMA 请求 1: 使能更新事件 DMA 请求
7:1	reserved	-	保留
0	UIE	RW	更新事件中断使能 0: 禁止更新事件中断 1: 使能更新事件中断

5.3.4 状态寄存器 (SR)

偏 移: 0x10

复位值: 32'h0

表 5.5: 状态寄存器

位域	名称	访问	描述
31:1	reserved	-	保留
0	UIF	RC W0	更新事件标志 硬件在产生更新事件时设置该位，软件写 0 清除 0: 未产生更新事件 1: 产生了更新事件

5.3.5 事件产生寄存器 (EGR)

偏 移: 0x14

复位值： 32'h0

表 5.6: 事件产生寄存器

位域	名称	访问	描述
3l:1	reserved	-	保留
0	UG	W	产生更新事件 该位始终读为 0, 写 1 产生更新事件, 初始化计数器并更新带有预装载的寄存器

5.3.6 计数器 (CNT)

偏 移： 0x24

复位值： 32'h0

表 5.7: 计数器

位域	名称	访问	描述
3l:16	reserved	-	保留
15:0	CNT[15:0]	RW	计数器数值

5.3.7 预分频器 (PSC)

偏 移： 0x28

复位值： 32'h0

表 5.8: 预分频器

位域	名称	访问	描述
3l:16	reserved	-	保留
15:0	PSC[15:0]	RW	预分频器数值 计数器的实际时钟频率为 $f_{psc}/(psc + 1)$ 。 预分频器始终开启预装载功能, 在发生更新事件时, PSC 的数值被装载到实际的预分频寄存器中。

5.3.8 自动重装载寄存器 (ARR)

偏 移： 0x2c

复位值： 32'h0

表 5.9: 自动重装载寄存器

位域	名称	访问	描述
3l:16	reserved	-	保留
15:0	ARR[15:0]	RW	自动重装载数值 当计数器 CNT 与 ARR 相等时, 产生上溢事件, 并根据相关配置位产生更新事件。 注: 当 ARR 为 0 时, 计数器停止。

5.4 使用说明

例如，在主时钟为 16MHz 时，将定时器配置为每 1 s 进入一次中断。其寄存器配置和中断处理句柄如下所示。

配置 BTIM 寄存器

```
BTIM->CR1 = 0x0;                                // 清零配置寄存器
BTIM->ARR = 15999;                               // 配置自动重装载寄存器
BTIM->PSC = 999;                                 // 配置预分频器
BTIM->EGR = TIM_EGR_UG;                          // 手动触发更新事件以更新寄存器
/* 使能中断位 */
BTIM->SR = ~TIM_IT_UPDATE;                      // 清除标志位
BTIM->DIER |= TIM_IT_UPDATE;                     // 使能中断
/* 使能计数 */
BTIM->CR1 |= TIM_CR1_CEN;
```

中断处理句柄

```
if(((BTIM->SR & (TIM_FLAG_UPDATE)) == TIM_FLAG_UPDATE) != RESET){
/* 清除中断位 */
    BTIM->SR = ~(TIM_IT_UPDATE);
/* 进行定时相关工作 */
    do_something();
}
return 0;
```

第六章 ADC 控制器

6.1 概述

龙芯 1C203 内置 12 比特精度的模数转换模块（ADC），可用于测量 10 个外部信号源。各通道的 A/D 转换可以预设的顺序进行单次、连续、扫描或间断执行。转换结果会以左对齐或右对齐的方式储存。

ADC 的寄存器空间的基地址为 0x00004000，包含 20 个 32 位寄存器。

6.2 工作模式

		连续	扫描	间断	
		CONT	SCAN	DISCEN	JDISCEN
单次转换模式		0	0	0	0
连续转换模式		1	0	x	x
扫描模式	单次	0	1	0	0
	连续	1	1	0	0
间断模式	规则组	0	1	1	0
	注入组	0	1	0	1

6.2.1 单次转换模式

在单次转换模式下，ADC 在触发后只执行一次转换。

6.2.2 连续转换模式

在连续转换模式下，ADC 在前一组任务完成后马上就启动另一次转换。

6.2.3 扫描模式

此模式用来顺序转换一组预设的模拟通道。

6.2.4 间断模式

在一次触发后，顺序转换 discnum 个模拟通道后停止转换；再次触发后，从上次停止的通道继续按顺序转换 discnum 个通道，直至达到预设的通道数。

6.3 功能描述

6.3.1 注入通道管理

触发注入：jauto=0, scan=1

- 利用外部触发或通过设置 ADC_CR2 寄存器的 adon 位，启动一组规则通道的转换。
- 如果在规则通道转换期间产生一外部注入触发，根据 jtrigmod 配置复位当前转换，以单次扫描方式转换注入通道序列。
- 然后，恢复上次被中断的规则组通道转换。如果在注入转换期间产生一规则事件触发，注入转换不会被中断，但将在注入转换结束后执行规则序列转换。

6.3.2 数据对齐

ADC_CR2 寄存器中的 align 位选择转换后数据储存的对齐方式。数据可以左对齐或右对齐，如下图所示。

数据右对齐

注入组

sext	sext	sext	sext	d11	d10	d9	d8	d7	d6	d5	d4	d3	d2	d1	d0
规则组															
0	0	0	0	d11	d10	d9	d8	d7	d6	d5	d4	d3	d2	d1	d0

数据左对齐

注入组

sext	d11	d10	d9	d8	d7	d6	d5	d4	d3	d2	d1	d0	0	0	0
规则组															
d11	d10	d9	d8	d7	d6	d5	d4	d3	d2	d1	d0	0	0	0	0

注入组通道转换的数据值已经减去了在 ADC_JOFRx 寄存器中定义的偏移量，因此结果可以是一个负值。sext 位是扩展的符号值。对于规则组通道，不需减去偏移值，因此只有 12 个位有效。

6.3.3 可编程的通道采样时间

ADC 在高采样速率下对外部被采样信号的驱动能力存在一定要求，若不希望调整外部被采样信号驱动能力，可通过调节通道采样时间来提升采样精度。当 ADC_CR2 寄存器中的 ADCEDGE 配置位为 1 时，ADC 可使用若干个 ADC CLK 周期对输入电压采

样，采样周期数目可以通过 ADC_SMPR1 和 ADC_SMPR2 寄存器中的 SMP[2:0] 位更改。每个通道可以分别用不同的时间采样。

总转换时间如下计算：

$$T_{CONV} = \text{采样时间} + 15 \text{ 个周期}$$

6.3.4 模拟看门狗

如果被 ADC 转换的模拟电压低于低阈值或高于高阈值，AWD 模拟看门狗状态位被设置。阈值位于 ADC_HTR 和 ADC_LTR 寄存器的最低 12 个有效位中。通过设置 ADC_CR1 寄存器的 awdie 位以允许产生相应中断。

阈值独立于由 ADC_CR2 寄存器上的 align 位选择的数据对齐模式。比较是在对齐之前完成的。

6.3.5 DMA 请求

因为规则通道转换的值储存在一个仅有的数据寄存器中，所以当转换多个规则通道时需要使用 DMA，这可以避免丢失已经存储在 ADC_DR 寄存器中的数据。只有在规则通道的转换结束时才产生 DMA 请求，并将转换的数据从 ADC_DR 寄存器传输到用户指定的目的地址。当前数据寄存器内部维护深度固定为 2 的 FIFO，若一次采样完成后 FIFO 已满，ADC_SR 寄存器中的 ovrf 状态位置起。

注 1：由于 ADC 采样不会等待 DMA 传输完成，因此当总线出现阻塞时，可能出现 DMA 传输漏掉采样数据的情况，建议打开 ADC_ovrf 上溢中断使能，若出现 DR 数据寄存器上溢中断，需要关闭 DMA 对应通道使能并在 CONFREG 中软件复位 ADC 控制器。若出现该情况，可以降低 ADC 采样速度或将部分通道配置为注入通道后使用中断对采样数据进行读取。

注 2：为保证 ADC 与 DMA 配合的稳定性，当使用过程中需要暂停 DMA 搬运时，需要先关闭 DMA 对应通道使能并软件复位 ADC 控制器。

6.3.6 外部触发

转换可以由外部事件触发（例如定时器捕获，EXTI 线）。如果设置了 exttrig 控制位，则外部事件就能够触发转换。extsel 和 jextsel 控制位允许应用程序选择 6 个可能的事件中的某一个，可以触发规则和注入组的采样。

6.4 寄存器定义

ADC 控制器寄存器基址为 0x00004000。

表 6.1: ADC 控制器寄存器列表

名称	偏移	描述
ADC_SR	0x00	ADC 状态寄存器
ADC_CR1	0x04	ADC 控制寄存器 1
ADC_CR2	0x08	ADC 控制寄存器 2
ADC_SMPR1	0x0c	ADC 采样时间寄存器 1
ADC_SMPR2	0x10	ADC 采样时间寄存器 2
ADC_JOFR1	0x14	ADC 注入通道偏移寄存器 1
ADC_JOFR2	0x18	ADC 注入通道偏移寄存器 2
ADC_JOFR3	0x1c	ADC 注入通道偏移寄存器 3
ADC_JOFR4	0x20	ADC 注入通道偏移寄存器 4
ADC_HTR	0x24	ADC 看门狗高阈值寄存器
ADC_LTR	0x28	ADC 看门狗低阈值寄存器
ADC_SQR1	0x2c	ADC 规则序列寄存器 1
ADC_SQR2	0x30	ADC 规则序列寄存器 2
ADC_SQR3	0x34	ADC 规则序列寄存器 3
ADC_JSQR	0x38	ADC 注入序列寄存器
ADC_JDR1	0x3c	ADC 注入数据寄存器 1
ADC_JDR2	0x40	ADC 注入数据寄存器 2
ADC_JDR3	0x44	ADC 注入数据寄存器 3
ADC_JDR4	0x48	ADC 注入数据寄存器 4
ADC_DR	0x4c	ADC 规则数据寄存器

6.4.1 ADC 状态寄存器 (ADC_SR)

偏 移: 0x00

复位值: 32'h0

表 6.2: ADC 状态寄存器

位域	名称	访问	描述
31:6	reserved	-	保留
5	ovrf	RW	规则通道数据溢出标志位 0: 无 1: 采样完成后, 上次规则通道采样数据未被读取
4	strt	RW	规则通道开始位 0: 未开始 1: 已开始
3	jstrt	RW	注入通道开始位 0: 未开始 1: 已开始
2	jeoc	RW	注入通道转换结束位 0: 未完成 1: 已完成

位域	名称	访问	描述
1	eoc	RW	转换结束位 0: 未完成 1: 已完成
0	awd	RW	模拟开门狗标志位 0: 无 1: 有

6.4.2 ADC 控制寄存器 1 (ADC_CR1)

偏 移: 0x04

复位值: 32'h0

表 6.3: ADC 控制寄存器 1

位域	名称	访问	描述
31:30	ops	RW	ADC 控制信号相位选择 0: 与 sck 对齐 1: 比 sck 早一个系统时钟 2: 比 sck 晚一个系统时钟
29:24	clkdiv[5:0]	RW	ADC 时钟分频系数 [5:0] ADC 时钟由系统时钟分频而成，分频系数为 (clkdiv+1)*2
23	awden	RW	规则通道启用模拟看门狗 0: 停用 1: 启用
22	jawden	RW	注入通道启用模拟看门狗 0: 停用 1: 启用
21	reserved	-	保留
20	diffmod	WO	差分模式使能 0: 停用 1: 启用 注: 启用时仅可对低四对模拟输入进行比较; 四对通道分别为 [8,0],[9,1],[10,2],[11,3] 此时通道仅可配置为 0 - 3。
19:16	reserved	-	保留
15:13	discnum	RW	间断模式通道计数 000: 1 个通道 001: 2 个通道 111: 8 个通道
12	jdiscen	RW	在注入通道上的间断模式 0: 注入通道停用间断模式 1: 注入通道启用间断模式
11	discen	RW	在规则通道上的间断模式 0: 规则通道停用间断模式 1: 规则通道启用间断模式

位域	名称	访问	描述
10	jauto	RW	自动注入通道组开转换 0: 关闭 1: 打开
9	awdsgl	RW	扫描模式中单通道模拟看门狗使能 0: 对全部通道使能模拟看门狗 1: 仅对 awdch 中的通道使能模拟看门狗
8	scan	RW	扫描模式 0: 停用扫描模式 1: 启用扫描模式
7	jeocie	RW	允许产生 jeoc 中断 0: 停用 1: 启用
6	awdie	RW	允许产生模拟看门狗中断 0: 停用 1: 启用
5	eocie	RW	允许产生 eoc 中断 0: 停用 1: 启用
4:0	awdch	RW	模拟看门狗通道选择位 00000: ADC 模拟输入通道 0 00001: ADC 模拟输入通道 1 01101: ADC 模拟输入通道 13

6.4.3 ADC 控制寄存器 2 (ADC_CR2)

偏 移: 0x08

复位值: 32'h0

表 6.4: ADC 控制寄存器 2

位域	名称	访问	描述
31	clkmask	RW	ADC 时钟屏蔽使能 0: ADC 时钟始终有效 1: ADC 时钟仅在工作时有效
30	adcedge	RW	ADC 采样沿选择 0: ADC 上升沿有效 1: ADC 下降沿有效
29:26	clkdiv[9:6]	RW	ADC 时钟分频系数 [9:6]
25:24	jtrigmod	RW	注入触发模式选择 0: 结束当前规则组转换并立即开始注入通道转换 1: 结束当前规则组转换并在插入一拍 ADC 复位控制信号后开始注入通道转换 2: 在当前规则组转换结束后开始注入通道转换
23	reserved	-	保留

位域	名称	访问	描述
22	swstart	RW	开始转换规则通道 由软件设置该位以启动转换, 配置完成后由软件马上清除此位。如果在 extsel[2:0] 位中选择了 swstart 为触发事件, 该位用于启动一组规则通道的转换 0: 复位状态; 1: 开始转换规则通道。
21	jswstart	RW	开始转换注入通道 由软件设置该位以启动转换, 配置完成后由软件马上清除此位。如果在 jextsel[2:0] 位中选择了 jswstart 为触发事件, 该位用于启动一组注入通道的转换 0: 复位状态; 1: 开始转换注入通道。
20	exttrig	RW	规则通道的外部触发转换模式 该位由软件设置和清除, 用于开启或禁止可以启动规则通道组转换的外部触发事件 0: 不用外部事件启动转换; 1: 使用外部事件启动转换。
19:17	extsel	RW	选择启动规则通道组转换的外部事件 这些位选择用于启动规则通道组转换的外部事件 触发配置如下 3'b000: ATIM_CCI 事件 3'b001: ATIM_CC2 事件 3'b010: ATIM_CC3 事件 3'b011: GTIM_CC2 事件 3'b110: EXTI 线 11 3'b111: swstart
16	reserved	-	保留
15	jexttrig	RW	注入通道的外部触发转换模式 该位由软件设置和清除, 用于开启或禁止可以启动注入通道组转换的外部触发事件 0: 不用外部事件启动转换; 1: 使用外部事件启动转换。
14:12	jextsel	RW	选择启动注入通道组转换的外部事件 这些位选择用于启动规则通道组转换的外部事件 触发配置如下 3'b000: ATIM_TRGO 事件 3'b001: ATIM_CC4 事件 3'b010: GTIM_TRGO 事件 3'b011: GTIM_CCI 事件 3'b110: EXTI 线 15 3'b111: jswstart
11	align	RW	数据对齐 该位由软件设置和清除 0: 右对齐; 1: 左对齐。
10	reserved	-	保留

位域	名称	访问	描述
9	ovrfie	RW	规则通道溢出中断使能 该位由软件设置和清除 0: 停用; 1: 启用。
8	dma	RW	直接存储器访问模式 该位由软件设置和清除 0: 不使用 DMA 模式; 1: 使用 DMA 模式。
7:4	reserved	-	保留
3	rstcal	RW	复位校准 该位由软件设置并由硬件清除。在校准寄存器被初始化后该位将被清除 0: 校准寄存器已初始化; 1: 初始化校准寄存器。
2	cal	RW	A/D 校准 该位由软件设置以开始校准，并在校准结束时由硬件清除 0: 校准完成; 1: 开始校准。
1	cont	RW	连续转换 该位由软件设置和清除。如果设置了此位，则转换将连续进行直到该位被清除 0: 单次转换模式; 1: 连续转换模式。
0	adon	RW	开/关 A/D 转换器 该位由软件设置和清除。当该位为'0'时，写入'1'将把 ADC 从断电模式下唤醒 该位为'1'时，写入'1'将启动转换 0: 关闭 ADC 转换/校准，并进入断电模式; 1: 开启 ADC 并启动转换。

6.4.4 ADC 采样时间寄存器 1 (ADC_SMPR1)

偏 移: 0x0c

复位值: 32'h0

表 6.5: ADC 采样时间寄存器 1

位域	名称	访问	描述
31:24	reserved	-	保留
23:0	smpx[2:0]	RW	通道 x 的采样时间 000: 1 个周期 001: 2 个周期 010: 4 个周期 011: 8 个周期 100: 16 个周期 101: 32 个周期 110: 64 个周期 111: 128 个周期

6.4.5 ADC 采样时间寄存器 2 (ADC_SMPR2)

偏 移: 0x10

复位值: 32'h0

表 6.6: ADC 采样时间寄存器 2

位域	名称	访问	描述
31:30	reserved	-	保留
29:0	smpx[2:0]	RW	通道 x 的采样时间 000: 1 个周期 001: 2 个周期 010: 4 个周期 011: 8 个周期 100: 16 个周期 101: 32 个周期 110: 64 个周期 111: 128 个周期

6.4.6 ADC 输入通道数据偏移寄存器 (ADC_JOFRx(x=1..4))

偏 移: 0x14–0x20

复位值: 32'h0

表 6.7: ADC 输入通道数据偏移寄存器

位域	名称	访问	描述
31:12	reserved	-	保留
11:0	joffset	RW	注入通道 x 的数据偏移 当转换注入通道时，这些位定义了用于从原始转换数据中减去的数值。 转换的结果可以在 ADC_JDRx 寄存器中读出。

6.4.7 ADC 看门狗高阈值寄存器 (ADC_HTR)

偏 移: 0x24

复位值: 32'h0

表 6.8: ADC 看门狗高阈值寄存器

位域	名称	访问	描述
31:12	reserved	-	保留
11:0	ht	RW	模拟看门狗高阈值

6.4.8 ADC 看门狗低阈值寄存器 (ADC_LTR)

偏 移: 0x28

复位值: 32'h0

表 6.9: ADC 看门狗低阈值寄存器

位域	名称	访问	描述
31:12	reserved	-	保留
11:0	lt	RW	模拟看门狗低阈值

6.4.9 ADC 规则序列寄存器 1 (ADC_SQR1)

偏 移: 0x2c

复位值: 32'h0

表 6.10: ADC 规则序列寄存器 1

位域	名称	访问	描述
31:24	reserved	-	保留
23:20	l	RW	规则通道序列长度 0000: 1 个转换 0001: 2 个转换 1111: 16 个转换
19:15	sql6	RW	规则序列的第 16 个转换 转换通道的编号与引脚的映射关系 0: PA13 1: PA12 2: PA11 3: PA10 4: LDO Vref 5-7: Reserved 8: PA09 9: PA08 10: PA07 11: PA06 12: PB07 13: PB06 14-15: Reserved
14:10	sql5	RW	规则序列的第 15 个转换 转换通道的编号与引脚的映射关系 同上
9:5	sql4	RW	规则序列的第 14 个转换 转换通道的编号与引脚的映射关系 同上
4:0	sql3	RW	规则序列的第 13 个转换 转换通道的编号与引脚的映射关系 同上

6.4.10 ADC 规则序列寄存器 2 (ADC_SQR2)

偏 移: 0x30

复位值: 32'h0

表 6.11: ADC 规则序列寄存器 2

位域	名称	访问	描述
31:30	reserved	-	保留
29:25	sql2	RW	规则序列的第 12 个转换 转换通道的编号与引脚的映射关系 0: PA13 1: PA12 2: PA11 3: PA10 4: LDO Vref 5-7: Reserved 8: PA09 9: PA08 10: PA07 11: PA06 12: PB07 13: PB06 14-15: Reserved
24:20	sql1	RW	规则序列的第 11 个转换 转换通道的编号与引脚的映射关系 同上
19:15	sql0	RW	规则序列的第 10 个转换 转换通道的编号与引脚的映射关系 同上
14:10	sq9	RW	规则序列的第 9 个转换 转换通道的编号与引脚的映射关系 同上
9:5	sq8	RW	规则序列的第 8 个转换 转换通道的编号与引脚的映射关系 同上
4:0	sq7	RW	规则序列的第 7 个转换 转换通道的编号与引脚的映射关系 同上

6.4.11 ADC 规则序列寄存器 3 (ADC_SQR3)

偏 移: 0x34

复位值: 32'h0

表 6.12: ADC 规则序列寄存器 3

位域	名称	访问	描述
31:30	reserved	-	保留

位域	名称	访问	描述
29:25	sq6	RW	规则序列的第 6 个转换 转换通道的编号与引脚的映射关系 0: PA13 1: PA12 2: PA11 3: PA10 4: LDO Vref 5–7: Reserved 8: PA09 9: PA08 10: PA07 11: PA06 12: PB07 13: PB06 14–15: Reserved
24:20	sq5	RW	规则序列的第 5 个转换 转换通道的编号与引脚的映射关系 同上
19:15	sq4	RW	规则序列的第 4 个转换 转换通道的编号与引脚的映射关系 同上
14:10	sq3	RW	规则序列的第 3 个转换 转换通道的编号与引脚的映射关系 同上
9:5	sq2	RW	规则序列的第 2 个转换 转换通道的编号与引脚的映射关系 同上
4:0	sq1	RW	规则序列的第 1 个转换 转换通道的编号与引脚的映射关系 同上

6.4.12 ADC 注入序列寄存器 (ADC_JSQR)

偏 移: 0x38

复位值: 32'h0

表 6.13: ADC 注入序列寄存器

位域	名称	访问	描述
31:22	reserved	-	保留
21:20	jl	RW	注入通道序列长度 00: 1 个转换 01: 2 个转换 10: 3 个转换 11: 4 个转换

位域	名称	访问	描述
19:15	jsq4	RW	注入序列的第 4 个转换 转换通道的编号与引脚的映射关系 0: PA13 1: PA12 2: PA11 3: PA10 4: LDO Vref 5–7: Reserved 8: PA09 9: PA08 10: PA07 11: PA06 12: PB07 13: PB06 14–15: Reserved
14:10	jsq3	RW	注入序列的第 3 个转换 转换通道的编号与引脚的映射关系 同上
9:5	jsq2	RW	注入序列的第 2 个转换 转换通道的编号与引脚的映射关系 同上
4:0	jsq1	RW	注入序列的第一个转换 转换通道的编号与引脚的映射关系 同上

6.4.13 ADC 注入数据寄存器 (ADC_JDRx(x=1..4))

偏 移: 0x3c–0x48

复位值: 32'h0

表 6.14: ADC 注入数据寄存器

位域	名称	访问	描述
31:16	reserved	-	保留
15:0	jdata	RO	ADC 注入转换结果 左对齐或右对齐可配

6.4.14 ADC 规则数据寄存器 (ADC_DR)

偏 移: 0x4c

复位值: 32'h0

表 6.15: ADC 规则数据寄存器

位域	名称	访问	描述
31:16	reserved	-	保留

位域	名称	访问	描述
15:0	data	RO	ADC 规则转换结果 左对齐或右对齐可配, 使用 DMA 模式时不允许软件读取该寄存器

6.5 使用说明

例如, 我们要以软件触发的方式执行一次长度为 6 的规则组单次扫描转换。

其寄存器配置方法如下:

- 在 ADC_CR1 中
 - 将 scan 置 1, 使能扫描模式
 - 当 APB 时钟为 16MHz 时, 将 clkdiv 设置为 1, 获得 4MHz ADC 时钟
- 在 ADC_CR2 中
 - 将 extsel 设置为 3'b111, 选择由软件触发转换
 - 将 cont 置 0, 关闭连续转换模式
- 在 ADC_SQRx 中配置通道顺序与转换长度
- ADC_SMPRx 中配置通道采样时间
- 将 ADC_CR1 中 adon 位写 1, 使能 ADC 控制器
- 将 ADC_CR2 中 swstart 位写 1, 触发规则组转换
- 将 ADC_CR2 中 swstart 位写 0, 等待采样完成 EOC 标志位置起

第七章 DMA 控制器

7.1 概述

龙芯 1C203 的 DMA 可以实现从内存到内存，设备到内存，内存到设备的数据传输。其内部有 4 个通道，每个通道都支持内存到内存传输，但是不同设备被分配到了不同的通道上。

每个通道在配置寄存器都可以配置其优先级，每当遇到两个优先级不同的通道发出 DMA 传输请求时，高优先级会赢得仲裁，低优先级请求会在传输高优先级请求的传输间隙开启。相同优先级的通道，编号越小优先级越高。

DMA 具备循环模式，可用于处理循环缓冲区和连续数据传输，如 ADC 扫描模式，当传输个数变为 0 时，该通道所有寄存器会被复位为传输开启时的值。

DMA 支持存储器到存储器模式，不需要外设请求，在配置 DMA_CCRx 的 EN 位之后开始传输。此模式不能和循环模式同时开启。

7.2 寄存器定义

DMA 控制器寄存器地址为 0x00005000 。

表 7.1: DMA 寄存器列表

名称	偏移	描述
DMA_ISR	0x00	DMA 中断状态寄存器
DMA_IFCR	0x04	DMA 中断标志清除寄存器
DMA_CCR0	0x08	DMA 通道 0 配置寄存器
DMA_CNDTR0	0x0c	DMA 通道 0 传输数量寄存器
DMA_CPAR0	0x10	DMA 通道 0 外设地址寄存器
DMA_CMAR0	0x14	DMA 通道 0 存储地址寄存器
DMA_CCR1	0x1c	DMA 通道 1 配置寄存器
DMA_CNDTR1	0x20	DMA 通道 1 传输数量寄存器
DMA_CPAR1	0x24	DMA 通道 1 外设地址寄存器
DMA_CMAR1	0x28	DMA 通道 1 存储地址寄存器
DMA_CCR2	0x30	DMA 通道 2 配置寄存器
DMA_CNDTR2	0x34	DMA 通道 2 传输数量寄存器
DMA_CPAR2	0x38	DMA 通道 2 外设地址寄存器
DMA_CMAR2	0x3c	DMA 通道 2 存储地址寄存器
DMA_CCR3	0x44	DMA 通道 3 配置寄存器
DMA_CNDTR3	0x48	DMA 通道 3 传输数量寄存器
DMA_CPAR3	0x4c	DMA 通道 3 外设地址寄存器
DMA_CMAR3	0x50	DMA 通道 3 存储地址寄存器

7.2.1 DMA 中断状态寄存器 (DMA_ISR)

偏 移: 0x00

复位值: 32'h0

表 7.2: DMA 中断状态寄存器

位域	名称	访问	描述
31:16	reserved	-	保留
15,11, 7,3	TEIF _x	R	通道 x 传输错误标志 0: 通道 x 无传输错误事件 1: 通道 x 有传输错误事件
14,10, 6,2	HTIF _x	R	通道 x 传输过半标志 0: 通道 x 无传输过半事件 1: 通道 x 有传输过半事件
13,9, 5,1	TCIF _x	R	通道 x 传输完成标志 0: 通道 x 无传输完成事件 1: 通道 x 有传输完成事件
12,8, 4,0	GIF _x	R	通道 x 全局中断标志 0: 通道 x 无传输错误/过半/完成事件 1: 通道 x 有传输错误/过半/完成事件

7.2.2 DMA 中断标志清除寄存器 (DMA_IFCR)

偏 移: 0x04

复位值: 32'h0

表 7.3: DMA 中断标志清除寄存器

位域	名称	访问	描述
31:16	reserved	-	保留
15,11, 7,3	CTEIF _x	RW	清除通道 x 传输错误标志 0: 无效 1: 清除 DMA_ISR 寄存器中对应的传输错误事件标志
14,10, 6,2	CHTIF _x	RW	清除通道 x 传输过半标志 0: 无效 1: 清除 DMA_ISR 寄存器中对应的传输过半事件标志
13,9, 5,1	CTCIF _x	RW	清除通道 x 传输完成标志 0: 无效 1: 清除 DMA_ISR 寄存器中对应的传输完成事件标志
12,8, 4,0	CGIF _x	RW	清除通道 x 全局中断标志 0: 无效 1: 清除 DMA_ISR 寄存器中对应的传输错误/过半/完成事件标志

7.2.3 DMA 通道 x 配置寄存器 (DMA_CCR_x)

偏 移: 0x08+20* 通道编号

复位值: 32'h0

表 7.4: DMA 通道 x 配置寄存器

位域	名称	访问	描述
31:15	reserved	-	保留
14	MEM2MEM	RW	存储器到存储器模式 该位由软件配置和清除。 0: 非存储器到存储器模式 1: 启动存储器到存储器模式
13:12	PL	RW	通道优先级 该位域由软件配置和清除。 00: 低 01: 中 10: 高 11: 最高
11:10	MSIZE	RW	存储器数据宽度 该位域由软件配置和清除。 00: 8 位 01: 16 位 10: 32 位 11: 保留
9:8	PSIZE	RW	外设数据宽度 该位域由软件配置和清除。 00: 8 位 01: 16 位 10: 32 位 11: 保留
7	MINC	RW	存储器地址增量模式 该位域由软件配置和清除。 0: 无效 1: 有效
6	PINC	RW	外设地址增量模式 该位域由软件配置和清除。 0: 无效 1: 有效
5	CIRC	RW	循环模式 该位域由软件配置和清除。 0: 无效 1: 有效
4	DIR	RW	数据传输方向 该位域由软件配置和清除。 0: 从外设读 1: 从存储器读
3	TEIE	RW	传输错误中断使能 该位域由软件配置和清除。 0: 无效 1: 有效

位域	名称	访问	描述
2	HTIE	RW	传输过半中断使能 该位域由软件配置和清除。 0: 无效 1: 有效
1	TCIE	RW	传输完成中断使能 该位域由软件配置和清除。 0: 无效 1: 有效
0	EN	RW	通道开启 该位域由软件配置和清除。 0: 停用 1: 开启

7.2.4 DMA 通道 x 传输数量寄存器 (DMA_CNDTRx)

偏 移: 0x0c+20* 通道编号

复位值: 32'h0

表 7.5: DMA 通道 x 传输数量寄存器

位域	名称	访问	描述
3l:16	reserved	-	保留
15:0	NDT	RW	数据传输个数 数据传输个数为 0 到 65535, 这个寄存器只能通道停用时写入。通道开启后变为只读, 此时读数为待传输个数。 注: DMA 单次传输最大支持范围为 64K, 当 mszie/psize 均为 0 时, NDT 最大可配置为 65535; 当 mszie/psize 任一为 1 时, NDT 最大可配置为 32767; 当 mszie/psize 任一为 2 时, NDT 最大可配置为 16383。

7.2.5 DMA 通道 x 外设地址寄存器 (DMA_CPARx)

偏 移: 0x10+20* 通道编号

复位值: 32'h0

通道开启后此寄存器不可写入

表 7.6: DMA 通道 x 外设地址寄存器

位域	名称	访问	描述
3l:0	PADDR	RW	外设地址 外设数据起始地址。

7.2.6 DMA 通道 x 存储器地址寄存器 (DMA_CMARx)

偏 移: 0x14+20* 通道编号

复位值: 32'h0

通道开启后此寄存器不可写入

表 7.7: DMA 通道 x 存储器地址寄存器

位域	名称	访问	描述
31:0	MADDR	RW	存储器地址 存储器数据起始地址。

7.3 功能描述

7.3.1 配置流程

假设我们要启动一次 DMA 传输，我们需要执行下列初始化操作：

1. 在 DMA_CPARx 设置外设寄存器地址
2. 在 DMA_CMARx 设置存储器寄存器地址
3. 在 DMA_CNDTRx 设置要传输的数据个数
4. 在 DMA_CCRx 设置要通道优先级
5. 在 DMA_CCRx 设置要数据传输方向，循环模式，外设和存储器增量模式，外设和存储器数据宽度，传输中断使能
6. 在 DMA_CCRx 设置 ENABLE，启动该通道

7.3.2 宽度和对齐方式

以 PINC=MINC=1 为例，当源宽度与目的宽度不一致时，若源宽度大于目的宽度，则写入目的地址的数据为源数据自低位开始截取目的宽度的结果；若源宽度小于目的宽度，则写入目的地址的数据为源数据高位补 0 至目的宽度的结果。

7.3.3 通道映射

根据 DMA_CCRx.PL，共有 4 个全局优先级，首先按照全局优先级进行仲裁。当多个通道配置的优先级相同时，按照通道 0 至通道 3 的顺序固定分配优先级。

DMA 通道和外设请求的对应关系如表7.8。

表 7.8: DMA 通道与外设请求对应关系

	通道 0	通道 1	通道 2	通道 3
ADC	ADC_REOC			
SPI			SSPI_RX	SSPI_TX
UART	UART0_RX	UART0_TX	UART1_RX	UART1_TX
I2C	I2C_TX	I2C_RX		
ATIM	ATIM_CH1 ATIM_COM	ATIM_CH2 ATIM_UP	ATIM_CH3 ATIM_TRIG	ATIM_CH4

	通道 0	通道 1	通道 2	通道 3
GTIM	GTIM_CH1	GTIM_CH2 GTIM_UP	GTIM_CH3	GTIM_CH4
BTIM				BTIM_UP
CAN			CAN_RX	

第八章 CRC 控制器

8.1 概述

CRC 计算单元含有 1 个 32 位数据寄存器：

对该寄存器进行写操作时，作为输入寄存器，可以输入要进行 CRC 计算的新数据，其生成多项式为 0x04C11DB7（省略高位）。

对该寄存器进行读操作时，返回上一次 CRC 计算的结果。

每一次写入数据寄存器，其计算结果是前一次 CRC 计算结果和新计算结果的组合（对整个 32 位字进行 CRC 计算，而不是逐字节地计算）。

在 CRC 计算期间会暂停 CPU 的写操作，因此可以对寄存器 CRC_DR 进行背靠背写入或者连续地写 - 读操作。

可以通过设置寄存器 CRC_CR 的 RESET 位来重置寄存器 CRC_DR 为 0xFFFF FFFF。该操作不影响寄存器 CRC_IDR 内的数据。

8.2 寄存器定义

CRC 控制器寄存器基址为 0x00006000。

表 8.1: CRC 寄存器列表

名称	偏移	描述
CRC_DR	0x00	CRC 数据寄存器
CRC_IDR	0x04	CRC 独立数据寄存器
CRC_CR	0x08	CRC 控制寄存器

8.2.1 CRC 数据寄存器 (CRC_DR)

偏 移： 0x00

复位值： 32'hffff_ffff

表 8.2: CRC 数据寄存器

位域	名称	访问	描述
31:0	data	RW	数据 写入 CRC 计算器的新数据时，作为输入寄存器 读取时返回 CRC 计算的结果

8.2.2 CRC 独立数据寄存器 (CRC_IDR)

偏 移: 0x04

复位值: 32'h0

表 8.3: CRC 独立数据寄存器

位域	名称	访问	描述
31:8	reserved	-	保留
7:0	idr	RW	通用 8 位数据 此寄存器不参与 CRC 计算，可以存放任何数据。

8.2.3 CRC 控制寄存器 (CRC_CR)

偏 移: 0x08

复位值: 32'h0

表 8.4: CRC 控制寄存器

位域	名称	访问	描述
31:1	reserved	-	保留
0	reset	W	复位 复位 CRC 计算单元，设置数据寄存器为 0xFFFF FFFF。 只能对该位写'1'，它由硬件自动清'0'。

第九章 Flash

9.1 概述

龙芯 1C203 提供了大小为 128KB 的片内 Flash，可用于程序和数据的存储，Flash 包含 2 个 bank，每个 bank 256 个页，每个页 256 个字节。

Flash 的地址空间包含两个部分：存储空间和寄存器空间。存储空间的基址为 0x18000000，大小为 128KB。当系统从 Flash 启动时，0x1e000000 地址也可访问存储空间。寄存器空间的基址为 0x00007000，包含 6 个 32 位寄存器。

Flash 还包含一个特殊的 OTP 页用于保存特殊配置值，其访问地址在 128KB 以上，为从 0x18020300 开始的一个页。该页的最高 4 字节为控制两个配置位，分别表示 OTP 锁定和 JTAG 锁定；次高 4 字节为 user_ftrim，用户可通过写入该配置位自行配置片内 16M OSC trimming 参数。同时还包含 4 个通用 OTP 页，即从 0x18020400 开始的四页。

9.2 存储空间

存储空间与 Flash 的 128KB 存储空间直接对应，可直接读取。

当需要修改 Flash 的内容时，需要进行擦写操作，一次完整的修改流程如下：

1. 配置擦除/编程时间
2. 设置 PEP 标志
3. 预编程目标页
4. 擦除目标页
5. 清 page_latch
6. 写有效值至目标地址
7. 编程目标页

上述流程中提及的 page_latch 是 Flash 内部的一个暂存空间，大小与一个页相同。每次清空后，只能对其中每个字节写入一次，否则可能导致数据错误。对存储空间的写操作将直接修改 page_latch，故写操作的有效范围为一个页。一次擦写前的存储空间写入值应都在一个页中，否则将导致写入错误。对存储空间的写操作只支持 32 位写。

当执行擦除命令时，会将目标页全部擦除；当执行编程命令时，会将 page_latch 中的值编程至 Flash 中。

必须严格按照流程进行操作，擦除后的目标页即使需要为全 0 也需显式写入并编程，重新开始写 page_latch 前必须进行清 page_latch 操作。

9.3 寄存器空间

表 9.1: Flash 控制器寄存器列表

名称	偏移	描述
CMD	0x00	命令寄存器
STS	0x14	状态寄存器
PET	0x18	擦写时间寄存器
BOUND	0x34	BOUND 寄存器
OTP_CFG	0x38	OTP 配置寄存器

9.3.1 命令寄存器 (CMD)

偏 移: 0x00

复位值: 32'h0

表 9.2: 命令寄存器

位域	名称	访问	描述
31:28	command	RW	命令 命令完成后自动清零。 4'b0011 : 清中断 4'b0100 : 清 page_latch 4'b0111 : 设置 PEP 标志 4'bl001 : 更新区域保护 (仅 SPI 启动或 ISP 段程序可使用该命令) 4'bl010 : 擦除目标页 4'bl011 : 擦除目标 bank 4'bl100 : 进入休眠模式 4'bl110 : 编程目标页 4'bl111 : 编程目标 bank
27:18	reserved	-	保留
17:0	pageaddr	RW	目标页地址 擦除或编程的目标页地址, 范围为 128KB

9.3.2 状态寄存器 (STS)

偏 移: 0x14

复位值: 32'h0

表 9.3: 状态寄存器

位域	名称	访问	描述
31:4	reserved	-	保留
3	no_permission	RO	无权限 中断状态为无权限, 表示上一次命令无操作权限
2	pe_end	RO	擦写结束 中断状态为擦写结束, 表示擦写命令完成
1	reserved	-	保留

位域	名称	访问	描述
0	ldtpass	RO	FLASH 自查通过 为 1 代表 flash 状态正常

9.3.3 擦写时间寄存器 (PET)

偏 移: 0x18

复位值: 32'h000010

表 9.4: 擦写时间寄存器

位域	名称	访问	描述
31:18	reserved	-	保留
17:16	int_en	RW	中断使能 由高位至低位对应于 no_permission、pe_end
15:4	reserved	-	保留
3:0	eptime	RW	擦写/编程时间 当使用 PLL 时钟时，用户需要根据当前 APB 时钟选择合适的擦写/编程时间 0: 25MHz 1: 26MHz 2: 27MHz 3: 28MHz 4: 29MHz 5: 30MHz 6: 32MHz 7: 34MHz 8: 36MHz 9: 38MHz 10: 40MHz 11: 42MHz 12: 44MHz 13: 46MHz 14: 48MHz 15: 50MHz

9.3.4 BOUND 寄存器 (BOUND)

偏 移: 0x34

复位值: 32'h2000

表 9.5: BOUND 寄存器

位域	名称	访问	描述
31:17	reserved	-	保留

位域	名称	访问	描述
16:0	bound	RO	区域保护 读取当前 bound 值，更新 bound 命令有效时变为命令中包含的地址，该配置写入后不会因掉电而失效

9.3.5 OTP 配置寄存器 (OTP_CFG)

偏 移: 0x38

复位值: 32'h0

表 9.6: OTP 配置寄存器

位域	名称	访问	描述
31:16	otp_lock_cfg	RO	OTP 锁定配置 只读，用于查看当前 otp_lock 配置位的数据
15:0	jtag_lock_cfg	RO	JTAG 锁定配置 只读，用于查看当前 jtag_lock 配置位的数据

9.4 使用说明

9.4.1 代码保护

为了防止误擦写带来的风险，Flash 实现了一种代码保护的机制。

Flash 的存储空间分为三段：0 ~ 8K 为 ISP 固化代码段，8K ~ bound 为代码段，bound ~ 128K 为数据段。ISP 段只能由 JTAG 和 SPI 启动模式改写，代码段只能由 JTAG 、 SPI 启动和 ISP 程序改写，数据段没有限制。

bound 地址可通过更新区域保护命令进行配置，该地址值将存入特殊页并自动读出。使用时可根据需求设置 bound 地址，仅将 FLASH 擦写代码置于 ISP 固化段，用于擦写 FLASH 数据段；同时根据软件大小，设置合适的代码段长度对代码进行保护，防止误操作。

不符合上述规则的擦写将无法完成并产生 no_permission 中断。

9.4.2 中断

Flash 控制器中包含两种中断：pe_end 和 no_permission，中断的状态可通过状态寄存器查询获得。pe_end 表示擦写结束，no_permission 表示该次擦写无权限。

在中断处理结束后，需要进行清中断。命令寄存器中的清除中断命令将同时清除两种中断。

9.4.3 编程指南

读取 Flash 中内容
`temp = *(volatile unsigned int*)(0x18000000);`

擦写 Flash 中偏移为 0x100 的页

```
PE_TIME = 0xe;                                // 当 apb_clk 为 48MHz 时，配置擦写时间
CMD      = 0x70000000;                          // 预擦写使能命令
CMD      = 0xe0000100;                          // 使用编程命令进行预擦写
CMD      = 0xa0000100;                          // 擦除命令
CMD      = 0x40000000;                          // 清除 page_latch
for(i=0x18000100; i<0x18000200; i=i+4) // 256 字节
    *(volatile unsigned int*)(i) = 0x12345678; // 写入 page_latch
CMD      = 0xe0000100;                          // 编程至 0x100 偏移地址
wait();
```

9.4.4 OTP 功能

OTP 首页的最高两字节为 0x5aa5 时表示 OTP 锁定，flash 复位后生效，锁定后 OTP 页只能读出，不可擦除或编程，也不能解除 OTP 锁定。

OTP 首页的次高两字节为 0xa55a 时表示 JTAG 锁定，flash 复位后生效，锁定后芯片的 JTAG 功能只能读出 IDCODE，并且只能从片内 Flash 启动，无法使用 SPI 启动与安装模式。

OTP 首页的次高四字节用于用户自行配置 osc trimming 参数，当其的高三字节为 0xa55a00 时，最低字节为用户自定义的 osc trimming 参数。

OTP 区域的其他部分可用于存储用户自定义的产品信息。

第十章 SPI 控制器

10.1 概述

龙芯 1C203 中的 SPI 控制器可作为主从控制器。对于软件而言，SPI 控制器除了有若干 IO 寄存器外还有一段映射到 SPI Flash 的只读 memory 空间。如果将这段 memory 空间分配在 0xlc000000，复位后不需要软件干预就可以直接访问，从而支持处理器从 SPI Flash 启动。SPI 的 IO 寄存器的基址为 0x00008000，外部存储地址空间是 0x20000000。

SPI 模块结构如图10.1所示。根据访问地址，来自内部总线的读写请求被分发到 SPI 主控制器和 Flash 读引擎两个子模块。PARAM.memory_en 为 0 时表示 SPI 主控制器接到 SPI 接口。Flash 读引擎只支持读取 Flash 内容，擦写操作需要由 SPI 主控制器完成。

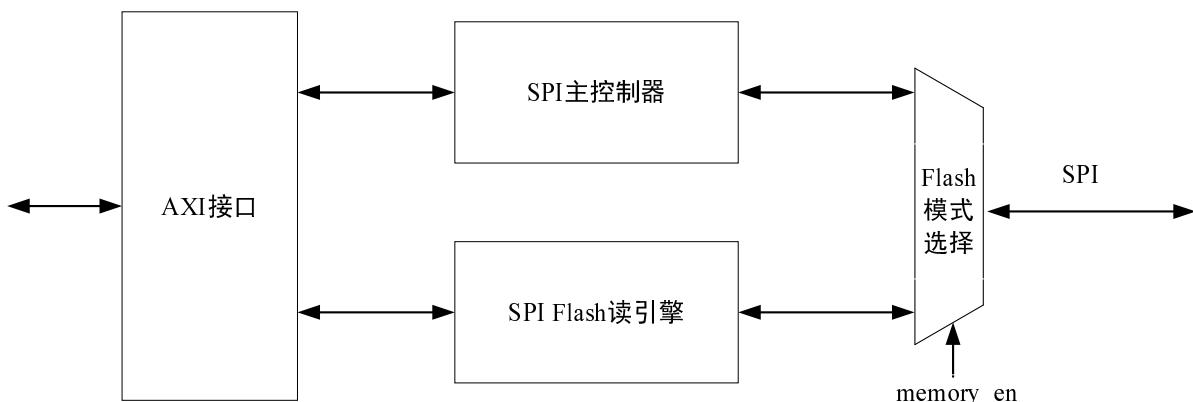


图 10.1: SPI 模块结构

10.2 寄存器定义

SPI 控制器的基地址为 0x00008000。

表 10.1: SPI 控制器寄存器列表

名称	偏移	描述
SPCR	0x00	控制寄存器
SPSR	0x04	状态寄存器
DATA	0x08	数据寄存器
SPER	0x0c	外部寄存器
PARAM	0x10	参数控制寄存器
SOFTCS	0x14	片选控制寄存器
TIMING	0x18	时序控制寄存器

10.2.1 控制寄存器 (SPCR)

偏 移: 0x00

复位值: 8'h12

表 10.2: 控制寄存器

位域	名称	访问	描述
3l:8	reserved	-	保留
7	spie	RW	中断数据使能 高有效
6	spe	RW	系统工作使能 高有效
5	reserved	-	保留
4	mstr	RW	master 模式 0: slave 模式 1: master 模式
3	cpol	RW	时钟极性 表示无时钟时 SPI_CLK 的电平 1: 高电平 0: 低电平
2	epha	RW	时钟相位 0: 相位相同 1: 相位相反
1:0	spr	RW	时钟分频位 需与 SPCR 的 spre 位一起使用

10.2.2 状态寄存器 (SPSR)

偏 移: 0x04

复位值: 8'h05

表 10.3: 状态寄存器

位域	名称	访问	描述
3l:8	reserved	-	保留
7	spif	RW	中断标志位 读为 1 表示有中断, 写 1 清零
6	wcol	RW	写寄存器溢出标志位 读为 1 表示溢出, 写 1 清零
5	reserved	-	保留
4	busy	R	表示控制器忙 主模式下表示 FIFO 非空或状态未完成, 从模式下表示 FIFO 非空或片选有效
3	wffull	R	写寄存器满标志 1 表示满
2	wfempty	R	写寄存器空标志 1 表示空

位域	名称	访问	描述
1	rffull	R	读寄存器满标志 1 表示满
0	rfempty	R	读寄存器空标志 1 表示空

10.2.3 数据寄存器 (DATA)

偏 移: 0x08

复位值: 8'h00

表 10.4: 数据寄存器

位域	名称	访问	描述
31:8	reserved	-	保留
7:0	data	RW	数据 写入则为发送数据，读出则为接收数据

10.2.4 外部寄存器 (SPER)

偏 移: 0x0c

复位值: 8'h00

表 10.5: 外部寄存器

位域	名称	访问	描述
31:8	reserved	-	保留
7:6	icnt	RW	传输多少字节后发中断 0:1 字节 1:2 字节 2:3 字节 3:4 字节
5:4	reserved	-	保留
3	dmae	RW	DMA 使能 0: 关闭 DMA 1: 使能 DMA
2	mode	RW	接口模式 0: 采样与发送时机同时 1: 采样与发送时机错开半周期
1:0	spre	RW	时钟分频位 于 spr 一起设定分频比率

表 10.6: SPI 分频系数

spre,spr	分频系数
4'b0000	2
4'b0001	4
4'b0010	16

spre,spr	分频系数
4'b0011	32
4'b0100	8
4'b0101	64
4'b0110	128
4'b0111	256
4'b1000	512
4'b1001	1024
4'b1010	2048
4'b1011	4096

10.2.5 参数控制寄存器 (PARAM)

偏 移: 0x10

复位值: 8'h21

表 10.7: 参数控制寄存器

位域	名称	访问	描述
31:8	reserved	-	保留
7:4	clk_div	RW	时钟分频数选择 分频系数与 {spre,spr} 组合相同
3	dual_io	RW	双 IO 模式 优先级高于快速读, 需 SPI FLASH 支持 DUAL SPI 功能
2	fast_read	RW	快速读模式
1	burst_en	RW	SPI Flash 支持连续地址读模式
0	memory_en	RW	SPI Flash 读使能 0: Flash 编程模式, SPI 控制器通过 CS0 接入 Flash, 使用常规 SPI 模式 1: Flash 读出模式, 将 SPI-FLASH 映射到地址空间, 可直接执行指令

10.2.6 片选控制寄存器 (SOFTCS)

偏 移: 0x14

复位值: 8'hf0

表 10.8: 片选控制寄存器

位域	名称	访问	描述
31:5	reserved	-	保留
4	csn	RW	片选 对应使能有效时, 控制 SPI 的 spi_csn 片选信号。
3:1	reserved	-	保留
0	cse	RW	片选使能 高有效, 对应片选

10.2.7 Flash 读引擎时序控制寄存器 (TIMING)

偏 移: 0x18

复位值: 8'h03

表 10.9: Flash 读引擎时序控制寄存器

位域	名称	访问	描述
3l:3	reserved	-	保留
2	tFAST	RW	SPI flash 读采样模式 0: SCK 上升沿采样, 间隔半个 SPI 周期 1: SCK 下降沿采样, 间隔一个 SPI 周期
1:0	tCSH	RW	SPI flash 片选信号最短无效时间 以分频后时钟周期 T 计算 0:IT 1:2T 2:4T 3:8T

10.3 接口时序

10.3.1 SPI 主控制器接口时序

接口时序如图10.2所示。

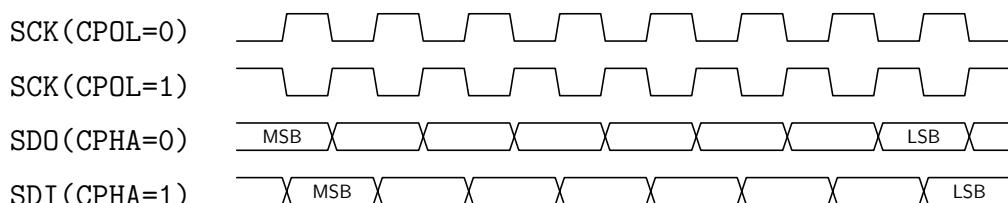


图 10.2: SPI 主控制器接口时序

10.3.2 SPI Flash 访问时序

SPI Flash 的访问时序如图10.3–10.5所示。

10.4 使用指南

10.4.1 SPI 主控制器的读写操作

10.4.1.1 模块初始化

- 停止 SPI 控制器工作, 对控制寄存器 spcr 的 spe 位写 0

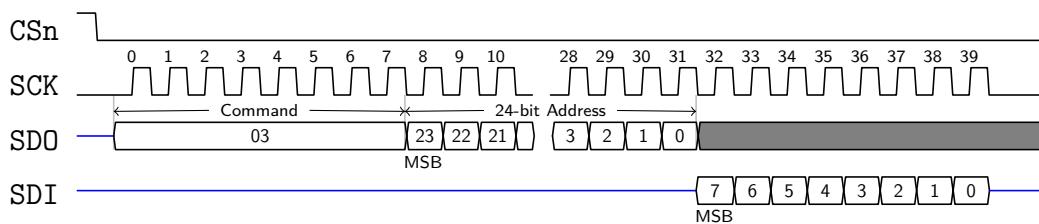


图 10.3: SPI Flash 标准读时序

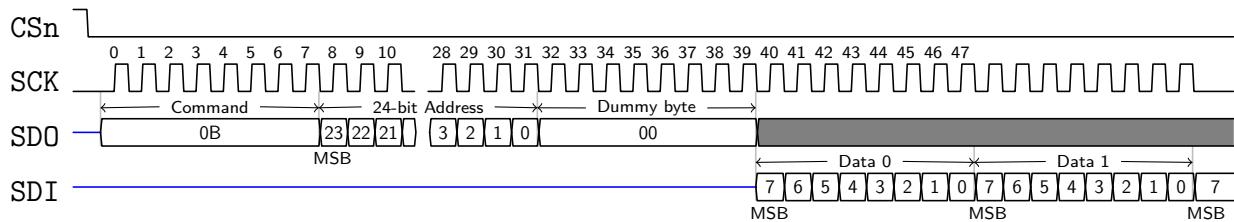


图 10.4: SPI Flash 快速读时序

- 重置状态寄存器 spsr，对寄存器写入 8'b1100_0000
- 设置外部寄存器 sper，包括中断申请条件 sper[7:6] 和分频系数 sper[1:0]，具体参考寄存器说明
- 配置 SPI 时序，包括 sper 的 cpol、cpha 和 sper 的 mode 位。mode 为 1 时是标准 SPI 实现，为 0 时为兼容模式。
- 配置中断使能，sper 的 spie 位启动 SPI 控制器，对控制寄存器 sper 的 spe 位写 1

10.4.1.2 模块的发送/传输操作

- 往数据传输寄存器写入数据
- 传输完成后从数据传输寄存器读出数据。由于发送和接收同时进行，即使 SPI 从设备没有发送有效数据也必须进行读出操作。

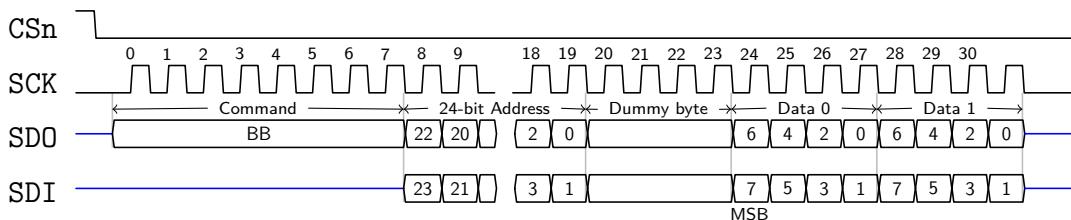


图 10.5: SPI Flash 双向 I/O 读时序

10.4.1.3 中断处理

- 接收到中断申请
- 读状态寄存器 spsr 的值，若 spsr[2] 为 1 则表示数据发送完成，若 spsr[0] 为 1 则表示已经接收数据
- 读或写数据传输寄存器
- 往状态寄存器 spsr 的 spif 位写 1，清除控制器的中断申请

10.4.2 硬件 SPI Flash 读

10.4.2.1 初始化

- 将 SFC_PARAM 的 memory_en 位写 1。当 SPI 被选为启动设备时此位复位为 1。
- 设置读参数 (时钟分频、连续地址读、快速读、双 I/O、tCSH 等)。这些参数复位值均为最保守的值。

10.4.2.2 更改参数

如果所使用的 SPI Flash 支持更高的频率或者提供增强功能，修改相应参数可以大大加快 Flash 的访问速度。参数的修改不需要关闭 SPI Flash 读使能 (memory_en)。具体参考寄存器说明。

10.4.3 混合访问 SPI Flash 和 SPI 主控制器

将 SPI Flash 读使能关闭后，软件就可直接控制 csn[0]，并通过 SPI 主控制器访问 SPI 总线。这意味着在进行此操作时，不能从 SPI Flash 中取指。

除了读以外，SPI Flash 还实现了很多命令 (如擦除、写入)，具体参见相关 Flash 的文档。

10.4.4 安装模式

安装模式用于简化出厂时的固件烧写。在该模式下芯片会从安装卡上的 SPI Flash 启动。安装卡上放置一片 SPI Flash，安装模式下处理器执行安装卡上的软件，烧写内、外 Flash。

烧写外部 Flash 期间，无法执行安装卡上 Flash 的指令，因此需要把相应的烧写代码拷贝到内部 RAM 执行，并将 FLASH 引脚复用调整到外 FLASH 而非安装模式引脚。

值得注意的是，当芯片被锁定后将无法进入安装模式。

第十一章 UART 控制器

11.1 概述

龙芯 1C203 集成了 2 个 UART 控制器，使用总线接口时钟作为波特率时钟，提供与其他外部设备串行通信的功能，例如与一台计算机以 RS232 为标准使用串行线路进行通信。

11.2 寄存器定义

UART 寄存器基地址为 0x00009000 和 0x00009100。

表 11.1: UART 寄存器列表

名称	偏移	描述
DAT/DL_L	0x00	数据寄存器/分频值低字节寄存器
IER/DL_H	0x04	中断使能寄存器/分频值高字节寄存器
IIR	0x08	中断状态寄存器
FCR/DL_D	0x08	FIFO 控制寄存器/分频值小数寄存器
LCR	0x0c	线路控制寄存器
MCR	0x10	MODEM 控制寄存器
LSR	0x14	线路状态寄存器

11.2.1 数据寄存器 (DAT)

偏 移: 0x00

复位值: 8'h0

表 11.2: 数据寄存器

位域	名称	访问	描述
7:0	data	RW	数据 读此寄存器时为收到的数据，写此寄存器将待发送的数据写入发送 FIFO

11.2.2 中断使能寄存器 (IER)

偏 移: 0x04

复位值: 8'h00

表 11.3: 中断使能寄存器

位域	名称	访问	描述
7:6	reserved	-	保留
5	TXDE	RW	发送状态 DMA 使能 值为 1 使能
4	RXDE	RW	接收状态 DMA 使能 值为 1 使能
3	reserved	-	保留
2	ILE	RW	线路状态中断使能 值为 1 使能
1	ITE	RW	发送状态中断使能 值为 1 使能
0	IRE	RW	接收状态中断使能 值为 1 使能

11.2.3 中断状态寄存器 (IIR)

偏 移: 0x08

复位值: 8'h00

表 11.4: 中断状态寄存器

位域	名称	访问	描述
7:4	reserved	-	保留
3:1	II	RO	中断源 中断源, 详见下表。
0	INTP	RO	中断未决状态 低有效, 表示存在未处理的中断

表 11.5: 中断控制器功能表

II	优先级	中断类型	中断源	中断复位控制
3'b011	1	线路状态	奇偶、溢出或帧错误, 或打断中断	读 LSR
3'b010	2	接收状态	接收到的数据数量达到了 trigger 值	读数据寄存器
3'b110	2	接收状态	接收超时, 接收缓冲中有字符数据且在后续两个字符时间内无操作	读数据寄存器
3'b001	3	发送状态	发送 FIFO 为空	写数据寄存器

11.2.4 FIFO 控制寄存器 (FCR)

偏 移: 0x08

复位值: 8'h00

表 11.6: FIFO 控制寄存器

位域	名称	访问	描述
7:6	trigger	WO	接收中断状态所需 trigger 单位为字节 0x0: 1 字节 0x1: 2 字节 0x2: 3 字节 0x3: 4 字节
5:4	reserved	-	保留
3	bkf_add	WO	发送 break flag 此位置位后自动清零
2	txreset	WO	复位发送 FIFO 此位置位后自动清零
1	rxreset	WO	复位接收 FIFO 此位置位后自动清零
0	reserved	-	保留

11.2.5 线路控制寄存器 (LCR)

偏 移: 0x0c

复位值: 8'h03

表 11.7: 线路控制寄存器

位域	名称	访问	描述
7	dlab	RW	分频器模式 0: 访问正常寄存器 1: 访问分频值寄存器
6	bcb	RW	打断控制位 0: 正常操作 1: 串口输出置为 0 (打断状态)
5	spd	RW	指定奇偶校验位 0: 不用指定奇偶校验位 1: 如果 eps 为 1 则传输和检查奇偶校验位为 0 ; 如果 eps 为 0 则传输和奇偶校验位为 1
4	eps	RW	奇偶校验位选择 0: 奇校验 1: 偶校验
3	pe	RW	奇偶校验位使能 0: 无奇偶校验位 1: 使能, 输出校验位, 输入判断校验位
2	sb	RW	生成停止位位数 0: 1 个停止位 1: bec 为 5 时 1.5 个停止位, 其他值时 2 个停止位
1:0	bec	RW	字符位数 0: 5 位 1: 6 位 2: 7 位 3: 8 位

11.2.6 MODEM 控制寄存器 (MCR)

偏 移: 0x10

复位值: 8'h00

表 11.8: MODEM 控制寄存器

位域	名称	访问	描述
7:5	reserved	-	保留
4	loopback	RW	自回环模式控制位 0: 正常工作模式 1: 自回环模式
3:0	reserved	-	保留

在自回环模式下，原 TX 的输出被直接在内部引入 RX 的输入， TX 对外输出的管脚输出高电平。

11.2.7 线路状态寄存器 (LSR)

偏 移: 0x14

复位值: 8'h00

对此寄存器进行读操作时，LSR[4:1] 和 LSR[7] 被清零，LSR[6:5] 在给传输 FIFO 写数据时清零，LSR[0] 则对接收 FIFO 进行判断。

表 11.9: 线路状态寄存器

位域	名称	访问	描述
7	error	RO	错误表示位 0: 无错误 1: 有奇偶校验错误、帧错误或打断中断
6	TE	RO	传输为空表示位 0: 有数据 1: 传输 FIFO 和传输移位寄存器都为空。给传输 FIFO 写数据时清零
5	TFE	RO	传输 FIFO 为空表示位 0: 有数据 1: 当前传输 FIFO 为空，给传输 FIFO 写数据时清零
4	BI	RO	打断中断表示位 0: 没有中断 1: 接收到起始位+数据+奇偶位+停止位都是 0，即有打断中断
3	FE	RO	帧错误表示位 0: 没有错误 1: 接收的数据没有停止位
2	PE	RO	奇偶校验位错误表示位 0: 没有奇偶错误 1: 当前接收数据有奇偶错误
1	OE	RO	数据溢出表示位 0: 无溢出 1: 有数据溢出

位域	名称	访问	描述
0	DR	RO	接收数据有效表示位 0: 在 FIFO 中无数据 1: 在 FIFO 中有数据

11.2.8 分频值低字节寄存器 (DL_L)

偏 移: 0x00

复位值: 8'h0

表 11.10: 分频值低字节寄存器

位域	名称	访问	描述
7:0	low	RW	分频值整数部分低字节

11.2.9 分频值高字节寄存器 (DL_H)

偏 移: 0x04

复位值: 8'h0

表 11.11: 分频值高字节寄存器

位域	名称	访问	描述
7:0	high	RW	分频值整数部分高字节

11.2.10 分频值小数寄存器 (DL_D)

偏 移: 0x08

复位值: 8'h0

表 11.12: 分频值小数寄存器

位域	名称	访问	描述
7:0	deci	RW	分频值小数部分的二进制表示, 如 0xc0 表示 0.75

由 DL_H、DL_L、DL_D 组成分频值寄存器 DL，则波特率为 $\frac{f_{APB}}{win_size \times DL}$ ，在 1C203 中 win_size 固定为 16。假设 UART 控制器的总线收发时钟的频率为 16000 kHz。如果目标波特率为 115200，则 $DL = 8.68056$ ，故 $DL_H = 0x0$, $DL_L = 0x8$, $DL_D = 0xae$ 。波特率的配置值与期望值的误差应在 3% 以内，否则无法识别所有数据位，将导致乱码。

11.3 使用指南

11.3.1 配置流程

假设我们的 UART 总线收发时钟为 16000kHz，目标波特率为 115200，我们需要执行下列初始化操作：

1. 打开分频器
 - 置 LCR 的 dlab 位为 1
 - 置 DL_D 的值为 0xae
 - 置 DL_H 的值为 0x0
 - 置 DL_L 的值为 0x8
 - 置 LCR 的 dlab 位为 0
2. 配置 LCR
 - 根据帧的格式配置 LCR 的值
3. 配置 FCR
 - 置 FCR 为 0xc6, RX 接收的 trigger 值为 4，同时复位发送和接收数据通路
4. 开中断使能
 - 置 IER 为 0x1, 打开接收通路中断使能

第十二章 I²C 控制器

12.1 概述

I²C(Inter-integrated Circuit) 总线接口连接微控制器和串行 I²C 总线。它提供多主机功能，控制所有 I²C 总线特定的时序、协议、仲裁和定时。支持标准和快速两种模式。根据特定设备的需要，可以使用 DMA 以减轻 CPU 的负担。

龙芯 1C203 中，I²C 控制器的寄存器基地址为 0x0000a000。

12.2 主要特性

- 多主机功能：该模块既可做主设备也可做从设备
- I²C 主设备功能
 - 产生时钟
 - 产生起始和停止信号
- I²C 从设备功能
 - 可编程的 I²C 地址检测
 - 停止位检测
- 产生和检测 7 位地址和广播呼叫
- 支持不同的通讯速度
 - 标准模式（高达 100 kHz）
 - 快速模式（高达 400 kHz）
- 状态标志：
 - 发送器/接收器模式标志
 - 字节发送结束标志
 - I²C 总线忙标志
- 错误标志
 - 主模式时的仲裁丢失
 - 地址/数据传输后的应答 (ACK) 错误
 - 检测到错位的起始或停止条件
 - 禁止拉长时钟功能时的上溢或下溢
- 1 个中断输出
 - 用于地址/数据通讯成功和错误
- 可选的拉长时钟功能

- 具单字节缓冲器的 DMA

12.3 功能描述

12.3.1 模式选择

控制器可以工作在从发送、从接收、主发送、主接收等 4 种模式之一。其中无论主从，发送均表示将数据写到 SDA 线，接收均表示从 SDA 线获取数据。

控制器默认处于从模式，在主动发起“开始”命令或“恢复”命令时，自动切换到主模式；当仲裁丢失或总线出现产生“停止”条件时，自动切换回从模式。

控制器的时钟与 APB 总线时钟相同，当使用外部 8M 晶体时，为 8MHz；当不使用晶体时，约为 11MHz（内部 32M 时钟进行 3 分频）。

在从模式下，需要配置时钟频率 (CR2_FREQ)，用于产生合适的建立和保持时间。而在主模式下，数据线的建立和保持时间总是为一半的时钟线低电平时间。

12.3.2 从模式

从模式下，当检测到“开始”条件时，从 SDA 线接收地址，接收完成后与从地址寄存器 (OAR) 或广播地址（当 CR2_ENGC 有效时）进行比对。

若地址不命中，控制器无视本次总线传输（不会进行应答）并等待下一个“开始”条件。

若地址命中，若允许应答 (CR1_ACK 有效) 则会产生 I²C 总线应答；产生应答后，硬件置起地址状态位 (SR1_ADDR)，若事件中断使能 (CR2_IETEVREN) 有效，还会产生中断。

发送状态位 (SR2_TRA) 表示从设备处于发送还是接收状态。

12.3.2.1 从发送模式

从设备拉低 SCL 线，直到地址状态位清除且数据寄存器填入需要发送的第一个数据。填入第一个数据之前，数据寄存器处于发送空状态 (SR1_TXE)。移位寄存器从数据寄存器取出第一个字节，开始移位并发送，取出后数据寄存器再次进入发送空状态。

当第一个发送的数据完成了应答后，若数据寄存器仍然处于空状态，则触发字节传输结束状态 (SR1_BTF) 并等待。在字节传输结束状态被清除前，控制器进入等待状态并拉低 SCL 线。

若完成应答后，数据寄存器不处于空状态，则取出下一个字节并发送。即在前一个数据完成传输前，若查询到 SR1_TXE 状态，即可写入数据寄存器以免进入 SR1_BTF 状态导致总线空闲。

若发送的数据接收到的应答为无应答（NACK），表示主设备不再接收数据，此时应答失败状态（SR1_AF）会置起，控制器回到空闲状态，等待下一个“开始”条件。

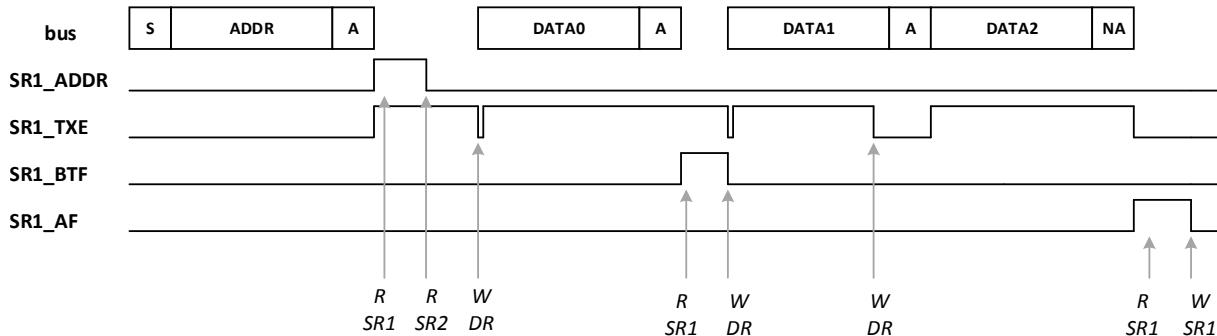


图 12.1: 从发送模式示意图

12.3.2.2 从接收模式

清除地址状态位后，从设备开始从 SDA 线接受数据放入移位寄存器。

收满一个字节后，若接收数据寄存器为空，则在应答周期完成后放入接收数据寄存器中，置起接收非空状态（SR1_RXNE），并继续进行下一个字节的接收。若应答配置（CR1_ACK）为无应答，则会结束本次传输，进入空闲状态等待下一个“开始”条件。

若接收数据寄存器不为空，则数据保留在移位寄存器中，并置起字节传输结束状态（SR1_BTF）并等待。在字节传输结束状态被清除前，控制器进入等待状态并拉低 SCL 线。

当主设备发出“结束”条件时，控制器进入空闲状态，并置起停止状态位（SR1_STOPF）。

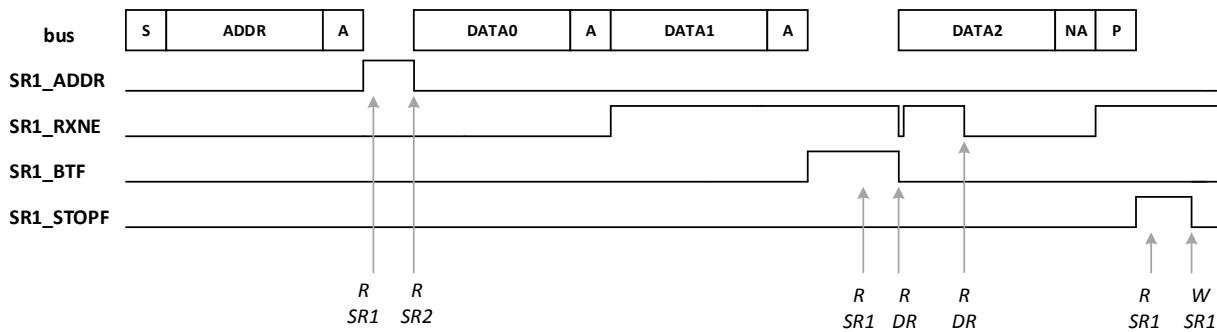


图 12.2: 从接收模式示意图

从接收模式存在一种可能：从设备还没有及时处理数据和停止条件，后续的传输就已经开始。这是由于单独的 SR1_RXNE 不会拉低 SCL，主设备可执行停止和新的开始。

需要注意，在图12.3.2.2中若最后一个字节未读取，则内部接收数据寄存器保持非空（即使 SR1_RXNE 已因写入 DR 或不在接收模式而被清除），在下一次接收模式时（无论主从），会直接产生 SR1_BTF 状态。也就是说，内部维护的接收非空状态（非 SR1_RXNE）只能由读 DR 而清除。

若 CR1_STOPF 也没有处理，则后续传输中会看到 SR1_STOPF 和 SR1_ADDR 同时置起。此时，若前一次访问为接收，则接收数据寄存器有前一次传输的数据。

为避免接收数据混乱，建议软件有足够的处理速度，并及时读出接收的数据；处理时，先处理完 SR1_RXNE 再处理 SR1_STOPF；必要时，还应开启 DMA 方式保证数据接收。

12.3.3 主模式

主模式下，控制器初始化数据传输并提供时钟信号（SCL）。

当内部状态机接收到“开始”命令（CR1_START）或“恢复”命令（CR1_RECOVER）时，即进入主模式，从而支持在总线开始阶段即开始主设备仲裁检测。

12.3.3.1 主模式时钟生成

由于主模式需要产生时钟，故需要一些额外的配置：

- 配置时钟控制寄存器（CCR）
- 配置上升时间寄存器（TRISE）

其中，CCR 配置不同的时钟占空比和分频系数。TRISE 用来确定 SCL 上升时间的上限，在主模式发送 SCL 的上升沿后，等待 TRISE 时间再检查 SCL 输入的状态；若此时 SCL 输入为低，则表示从设备因为无法处理而拉低了 SCL，此时主模式的时钟发送暂停，直到 SCL 恢复为高。

等待 TRISE 的原因是，I²C 总线的上升沿依赖于电阻上拉，需要的事件较长。若主模式释放 SCL 后立刻进行检测，则可能由于上升速度不够而检测到错误的从设备拉低。最终导致时钟高电平事件变长，总线时钟周期不稳定。

12.3.3.2 “开始”条件

设置“开始”命令后，进入主模式（SR2_MSL），并生成总线的开始条件。“开始”命令配置后，硬件不会检查总线是否忙；软件应检查总线忙状态（SR2_BUSY），在非忙状态下设置“开始”命令，并检查是否存在仲裁丢失状态（SR1_ARLO）出现。

当成功生成总线的开始条件后，开始位状态（SR1_SB）置起。清除开始位状态的方法是：读取到开始位后，将从设备地址写到数据寄存器中。

12.3.3.3 从设备地址发送

移位寄存器从数据寄存器中取出从设备地址，开始发送到 SDA 线上。在龙芯 IC203 中，只支持 7 位地址模式，地址阶段发送的一个字节中，高 7 位为地址，最低位为发送或接收模式的选择。最低位为低时，将进行主发送模式；最低位为高时，将进行主接收模式。

当发送的地址在应答周期接收到有效应答时，会产生地址状态位；若收到的为无应答，则会进行空闲状态等待新的命令（如再次开始或结束），此时 SCL 为低、SDA 为高。

与从模式类似，发送状态位（SR2_TRA）表示处于发送还是接收状态。

12.3.3.4 主发送模式

处理完地址状态位后，主设备通过移位寄存器将数据寄存器中的字节发送到 SDA 线上。

当需要发送数据，但发送数据寄存器没有有效的数时，会产生发送空状态（SR1_TXE）。若传输完一个数据字节后，仍出现发送空状态，则还会产生字节传输结束状态（SR1_BTF）。即第一个需要发送的字节未写入时，只会有 TXE 状态，而后续字节未写入时，会有 BTF 状态。

等待 TXE 或 BTF 状态时，总线处于保持状态，即 SCL 为低，SDA 不变。

当需要结束传输时，写入“停止”命令（CR1_STOP）即可，主设备会在当前字节传输结束后发送停止条件。停止条件产生后，控制器自动返回从模式。

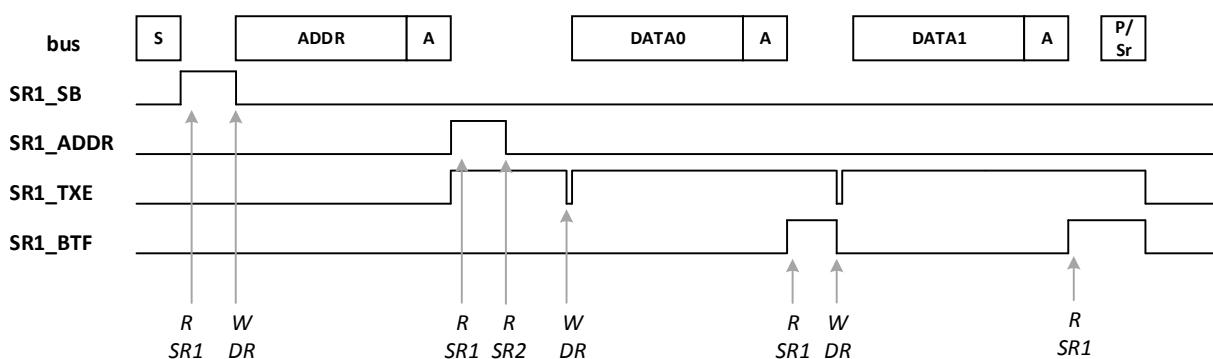


图 12.3: 主发送模式示意图

12.3.3.5 主接收模式

清除地址状态位后，主设备开始从 SDA 线接受数据放入移位寄存器。

收满一个字节后，若接收数据寄存器为空，则在应答周期完成后放入接收数据寄存器中，置起接收非空状态 (SR1_RXNE)，并继续进行下一个字节的接收。若应答配置 (CR1_ACK) 为无应答，则会结束本次传输，进入空闲状态等待下一个“开始”条件。

若接收数据寄存器不为空，则数据保留在移位寄存器中，并置起字节传输结束状态 (SR1_BTF) 并等待。在字节传输结束状态被清除前，控制器进入等待状态并拉低 SCL 线。

与从接收模式不同的是，主接收模式若需要结束传输，需要在最后一个字节的应答周期中给出无应答 (NACK) 条件。从设备收到无应答条件，释放总线，避免产生总线死锁现象。

发送完无应答条件后，控制器进入空闲状态，可接收再次开始或停止命令。开始或停止命令也可在最后一个字节传输过程中进行配置，传输完成后立刻执行。

为及时发送无应答条件，有下列注意事项：

- **能确保在收到状态后、下一个字节传输过程中完成寄存器配置时：**

接收到倒数第二个字节后，通过清除 CR1_ACK 配置位的方式发送无应答条件。

若只需要传输一个字节，则在清除地址状态位后立刻清除应答配置位；事实上，由于应答配置位只对接收有效，在发送地址前后清除应答配置位均可达到相同目的。

- **无法确保及时完成寄存器配置时**

这种条件下，需要在接收到倒数第三个字节后，就进行配置。当接收字节数大于 2 时，接收到倒数第三个字节后，不进行读出，直到倒数第二个字节也被接收在移位寄存器中；即此时接收数据寄存器中保存倒数第三个字节，移位寄存器中保存倒数第二个字节，此时 SR1_RXNE 和 SR1_BTF 状态位都置起；此时，清除应答配置位即可成功发送无应答条件。读取倒数第三个字节的同时，倒数第二个字节自动由移位寄存器进入接收数据寄存器，总线开始进行最后一个字节的传输。故在读取倒数第三个字节后配置开始或停止命令已经是安全的。

当接收字节数等于 2 时，情况有所不同。由于接收数据寄存器和移位寄存器共能接收 2 个字节，故需要特殊机制来保证最后一个字节的无应答。此时，需要使用应答位置配置位 (CR1_POS) 来获得延迟应答，CR1_POS 为 0 时，延迟应答为 0；CR1_POS 为 1 时，延迟应答会在下一次接收应答时更新为应答配置位 (CR1_ACK) 的值。故在地址状态处理的前后位置，即可配置 CR1_POS 并清除 CR1_ACK，此时 2 个字节的应答会分别为有应答和无应答。接收到 SR1_BTF 状态时，表示 2 个字节都接收完成，读取数据寄存器两次即可。重新开始或停止命令在收到 SR1_BTF 状态后进行配置。

当接收字节数为 1 时，在清除地址状态前即清除应答配置位，以免错过配置时间。

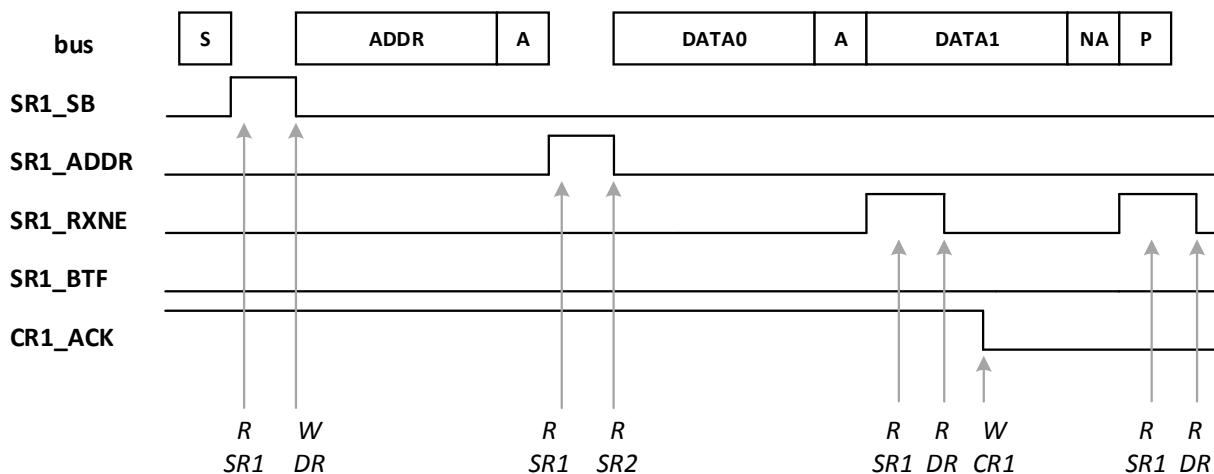


图 12.4: 主接收模式(及时)示意图

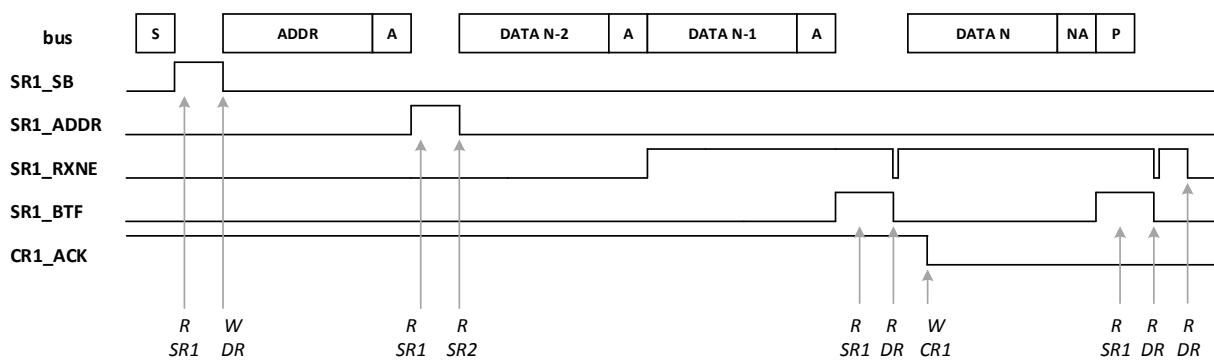


图 12.5: 主接收模式(非及时、3 字节)示意图

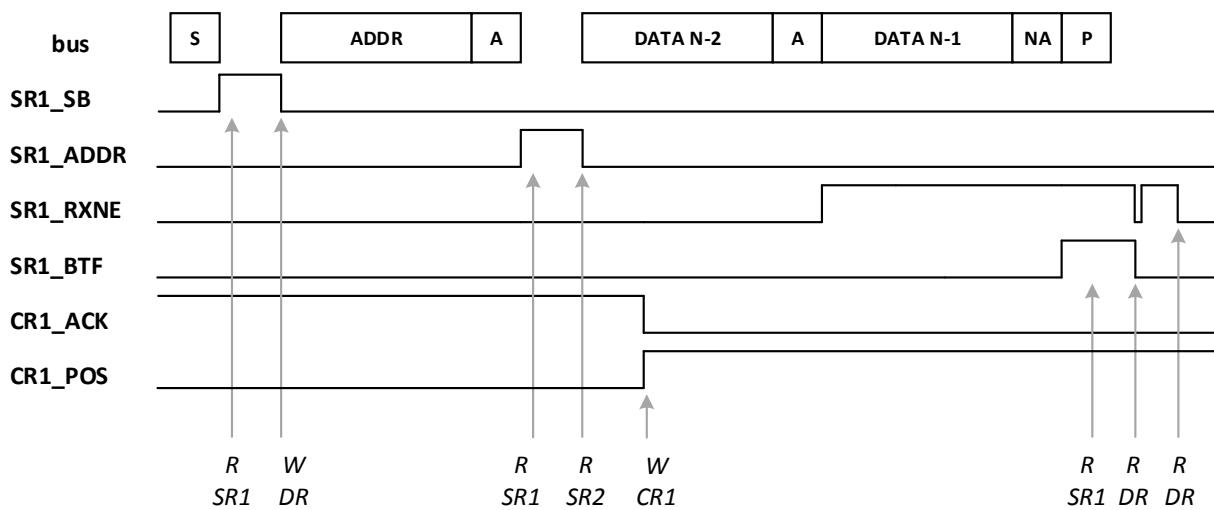


图 12.6: 主接收模式(非及时、2 字节)示意图

12.3.4 错误条件

下列为可能导致传输失败的错误条件。

- **总线错误 (SR1_BERR)**

当控制器处于地址或数据传输状态时，总线上出现了开始或停止条件。在从模式中，当前传输数据被丢弃，总线被释放；错误的开始条件会被视为正常的重新开始，等待地址或停止；错误的停止条件会被视为正常的停止。在主模式中，当前传输继续，软件可依据状态进行操作；若软件不中断当前传输，则后续有可能出现仲裁丢失而停止。

- **应答失败 (SR1_AF)**

产生应答失败时，表示发送的地址或数据未被接收。此时，内部状态回到空闲状态。从模式时，总线被释放，等待新的开始条件；主模式时，等待软件配置重新开始或停止命令。

- **仲裁丢失 (SR1_ARLO)**

当主模式欲发送的 SDA 为高，而 SDA 线为低时，产生仲裁丢失状态，表明其他主设备赢得总线控制权。此时，总线被释放，控制器回到从模式，进入空闲状态。即使获胜的主设备访问的是本设备，也无法进行应答，需等待下一个开始条件。

- **溢出错误 (SR1_OVR)**

溢出错误分为上溢和下溢两种，都是由于从模式下时钟伸展特性被禁用 (CR1_NOSTRETCH) 时，上溢由于数据寄存器非空时仍接收写入，下溢由于数据寄存器非满时仍读出发送。

当产生上溢时，最后一个接收的字节被丢弃；软件应清除非空状态，并以一定方法使发送方重发。当产生下溢时，数据寄存器的字节将被发送两次；用户应保证接收方能识别并无视该错误。当需要发送第一个字节时，必须在数据阶段的第一个 SCL 上升沿之前写入数据寄存器。

当与不支持时钟伸展的主设备进行传输时，用户必须自行定义合理的校验方式，来识别可能的溢出错误；并尽量保证及时对数据进行读出或写入。

12.3.5 DMA 请求

当需要进行数据传输时，可使用 DMA 进行传输，使用时置起 DMA 使能位 (CR2_DMAEN)，同时控制发送和接收两个通道。发送请求连接到 DMA 通道 1，接收请求连接到 DMA 通道 2。开启 DMA 时，内部的数据寄存器空满状态（而非状态寄存器的状态）控制 DMA 请求信号。

其中，发送通道在内部 TXE 时置起请求信号。内部 TXE 在复位信号有效、控制器未使能时，以及总线的开始和停止条件后复位为 1；在写数据寄存器后置为 0；在内

部加载到移位寄存器（包括发送字节和主模式发送地址）时置为 1。

接收通道在内部 RXNE 时置起请求信号。内部 RXNE 在复位信号有效、控制器为使能时复位为 0；在接收到字节（不含从模式接收地址）后且非 RXNE 时置为 1；在读数据寄存器后置为 0。

DMA 通道配置方法如下，配置完成后在需要开启时打开 DMA 使能。

1. 外设基址设为 I²C 的数据寄存器地址
2. 内部基址设为发送或接收缓冲区的地址
3. 方向依据发送或接收配置为外设为目标或外设为源
4. 缓冲区大小设为需要传输的字节数
5. 外设地址自增设为关闭
6. 内存地址自增设为开启
7. 外设数据大小设为字节
8. 内存数据大小设为字节
9. 模式设为普通
10. 优先级根据需要进行设定
11. 内存到内存开关设为关闭

主接收模式时，由于最后 1 个或 2 个字节需要特殊控制以正确发送 NACK，DMA 只能用于传输多于 2 个的字节，剩余字节必须用 PIO 方式进行。

12.4 中断

中断状态和对应的使能控制位如下表：

表 12.1: I²C 中断请求

中断事件	标记位	使能位
开始条件已发送（主模式）	SRI_SB	CR2_Itevtten
地址已发送（主模式）或地址命中（从模式）	SRI_ADDR	CR2_Itevtten
收到停止条件（从模式）	SRI_STOPF	CR2_Itevtten
字节传输结束	SRI_STF	CR2_Itevtten
接收数据寄存器非空	SRI_RXNE	CR2_Itevtten and CR2_Itbufen
发送数据寄存器空	SRI_TXE	CR2_Itevtten and CR2_Itbufen
总线错误	SRI_BERR	CR2_Iterren
仲裁丢失（主模式）	SRI_ARLO	CR2_Iterren
应答失败	SRI_AF	CR2_Iterren
溢出	SRI_OVR	CR2_Iterren

12.5 寄存器定义

I²C 控制器的基地址为 0x0000a000。

表 12.2: I²C 控制器寄存器列表

名称	偏移	描述
I2C_CR1	0x00	I ² C 控制寄存器 1
I2C_CR2	0x04	I ² C 控制寄存器 2
I2C_OAR	0x08	I ² C 从地址寄存器
I2C_DR	0x10	I ² C 数据寄存器
I2C_SR1	0x14	I ² C 状态寄存器 1
I2C_SR2	0x18	I ² C 状态寄存器 2
I2C_CCR	0x1c	I ² C 时钟控制寄存器
I2C_TRISE	0x20	I ² C 上升时间寄存器

12.5.1 I²C 控制寄存器 1 (I2C_CR1)

偏 移: 0x0

复位值: 32' h0

表 12.3: I²C 控制寄存器 1

位域	名称	访问	描述
31:16	reserved	-	保留
15	CR1_SWRST	RW	软复位 0: 未复位 1: 复位 该复位只复位内部控制逻辑, 不复位寄存器, 应配合 CR1_PE 使用软件可配置和清除该位。
14	CR1_RECOVER	RW	总线恢复命令 发出 9 个 SCL 时钟和一个停止条件, 可用于解除死锁状态 (SCL 为高, 从设备将 SDA 拉低)。 软件可设置和清除该位, 硬件会在发出停止条件后或 CR1_PE 为 0 时清除该位。
13:12	reserved	-	保留
11	CR1_POS	RW	数据接收的应答位置 0: CR1_ACK 位控制当前移位寄存器正在接收的字节的应答 1: CR1_ACK 位控制将由移位寄存器接收的下一个字节的应答 硬件行为是在接收字节的应答周期完成时, 将 CR1_ACK 表示的值保存到寄存器中作为应答值; 该位无效时, 应答寄存器复位为有应答; 故开启时, 第一个应答为有应答, 下一个为在第一个应答周期保存的 CR1_ACK 表示的值。 软件可设置和清除该位, 硬件会在 CR1_PE 为 0 时清除该位。
10	CR1_ACK	RW	应答使能 0: 无应答返回 (在应答拍为高电平) 1: 收到一个字节后返回有应答 (地址命中或接收到数据后, 在应答拍为低电平) 软件可设置和清除该位, 硬件会在 CR1_PE 为 0 时清除该位。

位域	名称	访问	描述
9	CR1_STOP	RW	停止生成命令 0: 无命令 1: 主模式下在当前字节传输（不含地址阶段）或开始/恢复命令完成后，生成总线停止条件；从模式下在当前字节传输完成后（不含地址阶段）释放总线，回到空闲状态。 停止命令在主接收模式未输出无应答条件时存在总线状态不确定的风险。 软件可设置和清除该位，硬件会在总线停止条件后清除该位。
8	CR1_START	RW	开始生成命令 0: 无命令 1: 主模式下在当前字节传输（不含地址阶段）后，生成重复开始条件；从模式下在当前字节传输（不含地址阶段）后或空闲时，生成开始条件并进入主模式。 开始命令无视总线状态，软件应自行检查总线状态（通过 SR2_BUSY）并准备处理可能的仲裁丢失错误。 软件可设置和清除该位，硬件会在总线开始条件后或 CR1_PE 为 0 时清除该位。
7	CR1_NOSTRETCH	RW	时钟伸展无效（从模式） 0: 时钟伸展有效 1: 时钟伸展无效 软件可配置和清除该位。
6	CR1_ENGC	RW	广播呼叫使能 1: 使能广播呼叫，地址 0x00 将得到应答 软件可配置和清除该位。
5:1	reserved	-	保留
0	CR1_PE	RW	控制器使能 1: 使能 在工作中清除该位会立刻重置控制器状态机，无视总线 软件可配置和清除该位。

12.5.2 I²C 控制寄存器 2 (I2C_CR2)

偏 移: 0x4

复位值: 32' h0

本寄存器不含硬件置位或复位

表 12.4: I²C 控制寄存器 2

位域	名称	访问	描述
3l:16	reserved	-	保留
15:13	CR2_FILTER	RW	输入滤波配置 输入信号滤波长度
12	reserved	-	保留
11	CR2_DMAEN	RW	DMA 请求使能 1: 使能
10	CR2_ITBUFEN	RW	缓冲类中断使能 1: 使能缓冲类中断，包括 TXE 和 RXNE

位域	名称	访问	描述
9	CR2_IteVTEN	RW	事件类中断使能 1: 使能事件类中断, 包括 SB、ADDR、STOPF、BTB、TXE、RXNE
8	CR2_ITERREN	RW	错误类中断使能 1: 使能错误类中断, 包括 BERR、ARLO、AF、OVR
7:6	reserved	-	保留
5:0	CR2_FREQ	RW	设备时钟频率 表示 APB 接口时钟频率 (MHz), 用于生成数据建立和保持事件 (从模式)。在龙芯 1C203 中, 若 APB 总线频率为 8MHz, 则该位域配置为 8。

12.5.3 I²C 从地址寄存器 (I2C_OAR)

偏 移: 0x8

复位值: 32' h0

本寄存器不含硬件置位或复位

表 12.5: I²C 从地址寄存器

位域	名称	访问	描述
31:8	reserved	-	保留
7:1	OAR	RW	从设备地址 作为从模式地址阶段的 [7:1] 位进行地址命中的判断
0	reserved	-	保留

12.5.4 I²C 数据寄存器 (I2C_DR)

偏 移: 0x10

复位值: 32' h0

表 12.6: I²C 数据寄存器

位域	名称	访问	描述
31:8	reserved	-	保留
7:0	DR	RW	字节数据寄存器 写入时, 写到发送数据寄存器 (TXR) 中; 读出时, 读出接收数据寄存器 (RXR) 的值。从模式接收的地址不会放入 RXR 中。

12.5.5 I²C 状态寄存器 1 (I2C_SR1)

偏 移: 0x14

复位值: 32' h0

表 12.7: I²C 状态寄存器 1

位域	名称	访问	描述
31:12	reserved	-	保留

位域	名称	访问	描述
11	SR1_OVR	R	溢出状态位 详细说明见错误条件 软件向该位写 0 清除状态，硬件在 CR1_PE 为 0 时清除该位。
10	SR1_AF	R	应答失败状态位 详细说明见错误条件 软件向该位写 0 清除状态，硬件在 CR1_PE 为 0 时清除该位。
9	SR1_ARLO	R	仲裁丢失状态位 详细说明见错误条件 软件向该位写 0 清除状态，硬件在 CR1_PE 为 0 时清除该位。
8	SR1_BERR	R	总线错误状态位 详细说明见错误条件 软件向该位写 0 清除状态，硬件在 CR1_PE 为 0 时清除该位。
7	SR1_TXE	R	发送数据寄存器空 发送模式时数据寄存器为空。 在地址阶段不会置位，收到无应答（NACK）条件时不会置位。 软件写数据寄存器后清除，硬件在开始或停止条件后或在 CR1_PE 为 0 时清除。 该位在写数据寄存器清除后可能很快再次置起，此时可再次写入。
6	SR1_RXNE	R	接收数据寄存器非空 接收模式时数据寄存器非空，即收到了有效的数。 在地址阶段不会置位，在出现仲裁丢失时不会置位。 软件写或读数据寄存器后清除，硬件在 CR1_PE 为 0 时清除。 该位在读数据寄存器清除后可能很快再次置起，因为移位寄存器中的数放到了接收数据寄存器，此时可再次读出。
5	reserved	-	保留
4	SR1_STOPF	R	从模式停止位检测 从模式时，在正常的应答后检测到总线停止条件后置位。 收到无应答（NACK）时不会置位。 要清除该位，软件在读出该位为 1 后，再写 I ² C_CR1 寄存器；硬件在 CR1_PE 为 0 时清除。
3	reserved	-	保留
2	SR1_BTF	R	字节传输结束状态 当 CR1_NOSTRETCH 为 0 时可置位。接收模式时，接收到一个字节且接收数据寄存器非空时置位；发送模式时，发送完一个数据字节后且发送数据寄存器为空时置位。 在收到无应答（NACK）条件时不会置位。 要清除该位，软件在读出该位为 1 后，再写或读数据寄存器；硬件收到开始或停止状态，或在 CR1_PE 为 0 时清除。
1	SR1_ADDR	R	地址阶段成功 主模式时发送地址成功，或从模式时接收地址命中。 收到 NACK 时不会置位。 要清除该位，软件在读出该位为 1 后，再读 I ² C_SR2 寄存器；硬件在 CR1_PE 为 0 时清除。

位域	名称	访问	描述
0	SR1_SB	R	开始条件成功 主模式成功生成开始条件后置位。 要清除改位，软件在读出该位为 1 后，再写数据寄存器（地址）；硬件在 CR1_PE 为 0 时清除。

12.5.6 I²C 状态寄存器 2 (I2C_SR2)

偏 移： 0x18

复位值： 32' h0

表 12.8: I²C 状态寄存器 2

位域	名称	访问	描述
3l:5	reserved	-	保留
4	SR2_GENCALL	R	广播地址命中 当 CR1_ENGC 有效时，接收到了广播地址后置位。 硬件接收到开始或停止条件后清除，或在 CR1_PE 为 0 时清除。
3	reserved	-	保留
2	SR2_TRA	R	发送模式 0: 接收模式 1: 发送模式 当内部状态机为发送相关状态时，该位为 1，否则均为 0。 当 CR1_PE 为 0，或各种会导致状态机离开发送状态的事件均会清除该位。
1	SR2_BUSY	R	总线忙 硬件检测到 SCL 或 SDA 线上为低时置位，检测到停止条件后清除。 该位在 CR1_PE 为 0 时仍会更新。
0	SR2_MSL	R	主从模式 0: 从模式 1: 主模式 默认为从模式，从模式下收到开始或恢复命令后变为主模式。 主模式接收到停止条件或仲裁丢失时回到从模式，在 CR1_PE 为 0 时为从模式。

12.5.7 I²C 时钟控制寄存器 (I2C_CCR)

偏 移： 0x1c

复位值： 32' h0

本寄存器不含硬件置位或复位

表 12.9: I²C 时钟控制寄存器

位域	名称	访问	描述
3l:16	reserved	-	保留
15	CCR_F_S	RW	主模式选择 0: 标准模式 1: 快速模式
14	CCR_DUTY	RW	占空比控制 0: 快速模式 SCL 高低电平时间为 1:2 1: 快速模式 SCL 高低电平时间为 9:16

位域	名称	访问	描述
13:12	reserved	-	保留
11:0	CCR_CCR	RW	时钟分频控制 定义 SCL 的高电平时间 T_{high} 和低电平时间 T_{low} 。 标准模式时： $T_{high} = CCR_CCR \times T_{PCLK}$, $T_{low} = CCR_CCR \times T_{PCLK}$ 快速模式且 CCR_DUTY 为 0 时： $T_{high} = CCR_CCR \times T_{PCLK}$, $T_{low} = 2 \times CCR_CCR \times T_{PCLK}$ 快速模式且 CCR_DUTY 为 1 时： $T_{high} = 9 \times CCR_CCR \times T_{PCLK}$, $T_{low} = 16 \times CCR_CCR \times T_{PCLK}$ 例如，要配置标准模式 100KHz 时钟，APB 时钟为 8MHz 时： $CCR_CCR = 5000ns / 125ns = 40$

12.5.8 I²C 上升时间寄存器 (I2C_TRISE)

偏 移： 0x20

复位值： 32' h0

本寄存器不含硬件置位或复位

表 12.10: I²C 上升时间寄存器

位域	名称	访问	描述
31:6	reserved	-	保留
5:0	TRISE	RW	SCL 最大上升时间 (主模式) 根据总线协议规定的最大 SCL 上升时间与 APB 时钟进行配置。例如， 标准模式下最大上升事件为 1000ns，则 TRISE 配置为 $TRISE = 1000ns / 125ns + 1 = 9$ 。当除法结果不是整数时，向下取整 即可。 该位域用于在合适的时间判断是否出现时钟伸展，从而有助于保持 SCL 频率稳定。

第十三章 CAN FD 控制器

13.1 概述

龙芯 1C203 集成了一路 CAN FD 接口控制器。CAN 总线是由发送数据线 TX 和接收数据线 RX 构成的串行总线，可发送和接收数据。器件与器件之间进行双向传送，最高传送速率 5Mbps。

CAN 总线控制器的寄存器地址为 0x0000e000；

13.2 CAN FD 控制器特性

此 CAN FD 控制器主要特性有：

- 支持 CAN FD 协议并兼容 CAN 2.0 协议
- RX 缓存区大小为 32（宽）x 20（深）
- 1 个 TX 缓存区可容纳一个满载荷的（64 字节）CAN FD 报文
- 支持 ISO 与 non-ISO CAN FD 协议
- 支持接收添加时间戳与定时发送功能
- 支持 Loopback mode、Bus monitoring mode、ACK forbidden mode、Self-test mode 与 Restricted operation mode

第十四章 模拟比较器

14.1 概述

龙芯 1C203 提供了 3 个模拟比较器，可用于模拟信号比较。

模拟比较器控制器用于使能模拟比较器、选择模拟比较器输入信号及对模拟比较器输出进行滤波、极性选择及中断触发方式选择。

当使能模拟比较器后，模拟比较器宏单元根据输入模拟信号输出对应的数字信号，该数字信号经极性选择与数字滤波后，根据控制器选择的触发方式，输出相应状态。

模拟比较器控制器的基址为 0x0000f000，寄存器定义见下文。

14.2 寄存器空间

表 14.1: ACOMP 控制器寄存器列表

名称	偏移	描述
CR1	0x00	比较器 1 控制寄存器
CR2	0x04	比较器 2 控制寄存器
CR3	0x08	比较器 3 控制寄存器
SR	0x0c	状态寄存器

14.2.1 比较器 x 控制寄存器 (CRx)

偏 移: 0x00,0x04,0x08

复位值: 32'h0

表 14.2: 比较器 x 控制寄存器

位域	名称	访问	描述
31:15	reserved	-	保留
14	FAL	RW	输出信号下降沿选择 若 FAL/RIS 任一配置为 1，则为边沿模式模式 0: 电平模式 1: 下降沿有效
13	RIS	RW	输出信号上升沿选择 0: 电平模式 1: 上升沿有效
12	POL	RW	输出信号极性选择 0: 高电平有效 1: 低电平有效

位域	名称	访问	描述
11:8	FILT	RW	滤波配置 模拟比较器输出信号滤波拍数 0: 不滤波 1: 当模拟比较器输出电平拍数大于 1 个时钟周期时有效 ... 15: 当模拟比较器输出电平拍数大于 15 个时钟周期时有效
7:6	VINNS	RW	VINN 选择 当不使用模拟比较器时, 请配置为 CLOSE 0: CLOSE 1: PA09 2: PA08 3: PA07
5:4	VINPS	RW	VINP 选择 1: PA10 2: PA09 其他:CLOSE
3:2	HYST	RW	迟滞配置 0: 无迟滞 1~3: 迟滞档位
1	AIEN	RW	比较器中断使能 0: 关闭比较器中断 1: 使能比较器中断
0	AEN	RW	比较器使能 0: 关闭比较器 1: 使能比较器

14.2.2 状态寄存器 (SR)

偏 移: 0x0c

复位值: 32'h0

表 14.3: 状态寄存器

位域	名称	访问	描述
3l:3	reserved	-	保留
2	src2	ROWC	模拟比较器 2 状态 模拟比较器 2 输出状态, 若比较器为边沿模式, 写 1 可清除状态
1	src1	ROWC	模拟比较器 1 状态 模拟比较器 1 输出状态, 若比较器为边沿模式, 写 1 可清除状态
0	src0	ROWC	模拟比较器 0 状态 模拟比较器 0 输出状态, 若比较器为边沿模式, 写 1 可清除状态

第十五章 CONF

15.1 概述

龙芯 1C203 的 CONFREG 模块用于配置 CPU 域的时钟、软复位、中断控制器等功能。

15.2 中断结构

龙芯 1C203 的 CPU 支持 8 个中断事件，其中 6 个来自片内的模块和中断控制器相连。

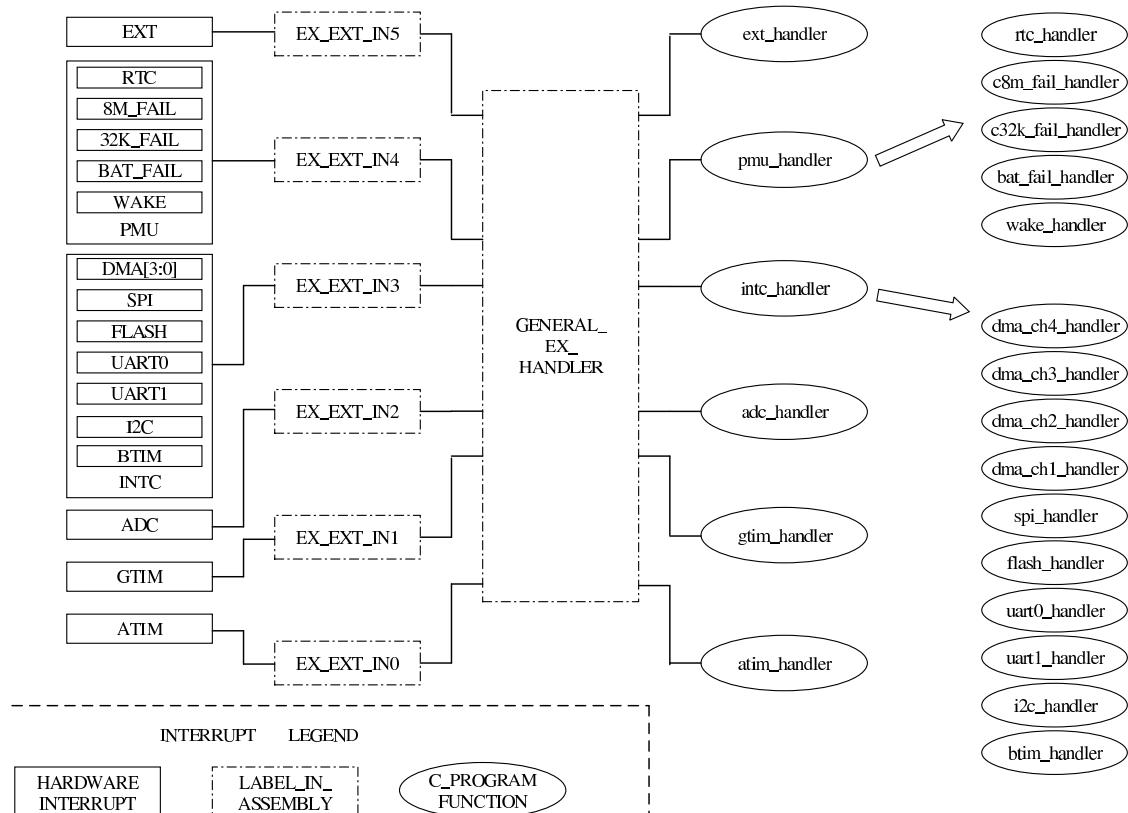


图 15.1: 中断连接示意

表15.1为用户可用的每个中断源给出了说明

表 15.1: 中断对应关系

中断号	中断名	说明
HWI5	ExInt	来自 GPIO 的中断，参见表18.9~18.13寄存器定义。

中断号	中断名	说明
HWI4	PEvent	PMU 中断事件，包括电池掉电、外部时钟失效、RTC 等。详见第十六章。
HWI3	INTC	详见本章寄存器定义。
HWI2	ADC	ADC 中断，具体用法参见 ADC 手册。
HWI1	GTIM	GTIM 中断，具体用法参见 GTIM 手册。
HWI0	ATIM	ATIM 中断，具体用法参见 ATIM 手册。

在龙芯 1C203 中，HWI0 ~ 5 对应于 CPU 的 CSR.ESTA.IS[2] ~ IS[7]，即对应于中断号 2 ~ 7，详细说明见《龙芯 LA132 处理器核用户手册》。

15.3 中断处理

当某控制器需要使用中断方式时，需打开整个中断连接路径上的所有中断使能，包括

- 处理器全局中断使能 CSR.CRMD.IE
- 处理器局部中断使能 CSR.ECFG.LIE
- 本章寄存器 INT_EN (如果存在)
- 对应控制器的中断使能位 (如果存在)

CPU 的中断处理入口由 CSR.EENTRY 配置。中断处理模式由 CSR.ECFG.VS 控制，一般推荐使用非 0 值，即使用向量化中断直接进入中断号对应的入口；若 VS 配置为 0，则需要由软件区分中断源并进行相应的中断处理。

本章中断控制器的 INT_OUT[11:0] 指示对应控制器是否有中断信号产生，清中断操作需要清除对应控制器内的中断标志位。

中断处理的基本流程如下：

- 将寄存器值保存到 SRAM 中。
- 读取处理器 CSR.ESTA.IS，结合 CSR.ECFG.LIE，获知处理器中断源。若使用向量化中断，则省去该步骤。
- 根据表15.1继续查询中断控制器和模块相关寄存器，获知中断发生原因。
- 依据不同中断源进行相关处理，包括事件处理和清中断。
- 处理完成后恢复寄存器值。
- 返回正常执行流。

15.4 寄存器定义

中断相关寄存器存放于 conf 模块，其基地址为 0x0000b000。

表 15.2: Conf 寄存器列表

名称	偏移	描述
INT_EN	0x00	中断使能寄存器
INT_OUT	0x08	中断输出寄存器
CpuCtrl	0x10	CPU 配置
RstCtrl	0x14	复位控制寄存器
ClkCtrl	0x18	时钟控制寄存器
SrProt	0x1c	运行状态及保护寄存器
OscTrim	0x20	OscTrim 控制寄存器
PLLctrl	0x24	PLL 控制寄存器

15.4.1 中断使能寄存器 (INT_EN)

偏 移: 0x00

复位值: 32' h0

表 15.3: 中断使能寄存器

位域	名称	访问	描述
31:12	reserved	-	保留
11	acmp_int_en	RW	ACOMP 中断使能位 置 1 使能
10	can_int_en	RW	CAN 中断使能位 置 1 使能
9:6	dma_int_en	RW	DMA 中断使能位 置 1 使能
5	spi_int_en	RW	SPI 中断使能位 置 1 使能
4	flash_int_en	RW	Flash 中断使能位 置 1 使能
3	uart0_int_en	RW	UART0 中断使能位 置 1 使能
2	uart1_int_en	RW	UART1 中断使能位 置 1 使能
1	i2c_int_en	RW	I ² C 中断使能位 置 1 使能
0	timer_int_en	RW	BTIM 中断使能位 置 1 使能

15.4.2 中断输出寄存器 (INT_OUT)

偏 移: 0x08

复位值: 32' h0

表 15.4: 中断输出寄存器

位域	名称	访问	描述
31:12	reserved	-	保留

位域	名称	访问	描述
11:0	int_out	RO	中断输出位，对应于中断使能寄存器的各位 值为 1 表示中断触发，仅在对应中断使能后触发

15.4.3 CPU 全局配置 (CpuCtrl)

偏 移： 0x10

复位值： 32'h0

表 15.5: CPU 全局配置

位域	名称	访问	描述
31:28	reserved	-	保留
27	TurboEn	RW	CPU 加力模式 0: 关闭,CPU 默认使用 PLL 输出时钟四分频 1: 当 CPU 在 RAM 中执行指令时，频率提高至 PLL 输出频率 仅在选择 PLL 时钟时有效
26	spi_start	RW	SPI 启动速率选择 发唤醒命令后到 SPI 可用的时间 0: 256us 1: 8us
25	iram_as_d	RW	iram 可复用为 dram 0: 停用 1: 使能
24:15	reserved	-	保留
14	btime_stop	RW	基础定时器计数停止 JTAG 调试模式暂停计数器，写 1 有效
13	gtim_stop	RW	通用定时器计数停止 JTAG 调试模式暂停计数器，写 1 有效
12	atim_stop	RW	高级定时器计数停止 JTAG 调试模式暂停计数器，写 1 有效
11	clk8m_fail	RO	8M 外部时钟失效 1 表示失效
10	clk8m_sel	RO	8M 时钟选择 1 表示选外部时钟
9:8	clkup_dly	RW	高速晶振开启到可以使用的延迟。 0: 5.14ms 1: 480us 2: 1.46ms 3: 2.44ms
7	c8m_sel	RW	OSC 时钟选择 0: 内部 16M 时钟 1: 外部 8M 时钟 变化沿起作用。当外部时钟失效时，将自动切换到内部时钟，但此位保持不变
6	osc8m_en	RW	高速晶体振荡器使能 仅支持外部有源晶振
5:0	reserved	-	保留

15.4.4 软件复位 (RstCtrl)

偏 移: 0x14

复位值: 32'h00000000

表 15.6: 软件复位

位域	名称	访问	描述
31:13	reserved	-	保留
12	cmp_RST	RW	cmp 复位 0: 解除复位 1: 复位
11	can_RST	RW	can 复位 0: 解除复位 1: 复位
10	adc_RST	RW	adc 复位 0: 解除复位 1: 复位
9	crc_RST	RW	crc 复位 0: 解除复位 1: 复位
8	atim_RST	RW	atim 复位 0: 解除复位 1: 复位
7	gtim_RST	RW	gtim 复位 0: 解除复位 1: 复位
6	btim_RST	RW	btim 复位 0: 解除复位 1: 复位
5	i2c_RST	RW	i2c 复位 0: 解除复位 1: 复位
4	uart1_RST	RW	uart1 复位 0: 解除复位 1: 复位
3	uart0_RST	RW	uart0 复位 0: 解除复位 1: 复位
2	dma_RST	RW	dma 复位 0: 解除复位 1: 复位
1	spi_RST	RW	spi 复位 0: 解除复位 1: 复位
0	flash_RST	RW	flash 复位 0: 解除复位 1: 复位

15.4.5 时钟关断 (ClkCtrl)

偏 移: 0x18

复位值: 32'h00000000

表 15.7: 时钟关断

位域	名称	访问	描述
31:13	reserved	-	保留
12	cmp_cg	RW	cmp 时钟 0: 开启 1: 关断
11	can_cg	RW	can 时钟 0: 开启 1: 关断
10	adc_cg	RW	adc 时钟 0: 开启 1: 关断
9	crc_cg	RW	crc 时钟 0: 开启 1: 关断
8	atim_cg	RW	atim 时钟 0: 开启 1: 关断
7	gtim_cg	RW	gtim 时钟 0: 开启 1: 关断
6	btim_cg	RW	btim 时钟 0: 开启 1: 关断
5	i2c_cg	RW	i2c 时钟 0: 开启 1: 关断
4	uart1_cg	RW	uart1 时钟 0: 开启 1: 关断
3	uart0_cg	RW	uart0 时钟 0: 开启 1: 关断
2	dma_cg	RW	dma 时钟 0: 开启 1: 关断
1	spi_cg	RW	spi 时钟 0: 开启 1: 关断
0	flash_cg	RW	flash 时钟 0: 开启 1: 关断

15.4.6 运行状态及保护寄存器 (SrProt)

偏 移: 0x1c

复位值: 32'h00000000

表 15.8: 运行状态及保护寄存器

位域	名称	访问	描述
31:8	reserved	-	保留
7	addr_check_en	RO	非法地址检查中断使能 1 表示进行地址检查, 当软件操作未定义的地址时触发 NMI 中断 向该寄存器连续写入 0x00,0x5a,0xa5 打开该位写使能
6	reserved	-	保留
5	jtag_lock	RO	JTAG 锁定 1 表示 JTAG 接口被禁用, 此时无法从 SPI 启动
4	otp_lock	RO	OTP 锁定 1 表示 OTP 区域被禁写
3	reserved	-	保留
2	cjtag_sel	RO	CJTAG 模式选择 1 表示 CJTAG 接口为两线模式
1	install_mode	RO	安装模式 0 1 表示当前为安装模式 0
0	boot_spi	RO	SPI 启动 1 表示当前从 SPI 启动, 包括 SPI 启动、安装模式 0

15.4.7 OSC TRIM 寄存器 (OSCTrim)

偏 移: 0x20

复位值: 32'h0

用于片内 16M OSC 校准

表 15.9: OSC TRIM 寄存器

位域	名称	访问	描述
31:9	reserved	-	保留
8	trim_done	RO	TRIM 完成 1 表示 trim_r 可用
7:0	trim_r	RO	TRIM 校准值 当前 trim 校准值

15.4.8 PLL 控制寄存器 (PllCtrl)

偏 移: 0x24

复位值: 32'h000000413

PLLout = PLLref * M / N;

其中:

2.5M <= PLLref <= 25M;

100M <= PLLout <= 200M;

M >= 4; N >= 1

表 15.10: PLL 控制寄存器

位域	名称	访问	描述
31:17	reserved	-	保留
16	pll_sel	RW	系统时钟源选择 当 PLL 开启且 PLL 锁定位为 1 时可将系统时钟源切换为 PLL 时钟， 当 PLL 参考时钟改变、PLL 锁定失败时强制使用 OSC 时钟作为系统时 钟源 0: OSC 1: PLL
15	reserved	-	保留
14:8	pll_m	RW	pll 倍频系数 最小为 4
7:4	pll_n	RW	pll 参考时钟分频系数 最小为 1
3	reserved	-	保留
2	pll_lock	RO	PLL 锁定 1 表示 PLL 时钟可用
1	pll_bypass	RW	PLL BYPASS 0: pll 输出为倍频输出 1: pll 输出为输入参考时钟
0	pll_pd	RW	PLL 关断 当 pll 开启时，不允许修改倍频/分频系数 0: PLL 开启 1: PLL 关断

第十六章 电源与顶层控制

16.1 电源管理

龙芯 1C203 实现了完善的电源管理，通过有效的软件控制，可大大延长电池寿命。WDT 模块包含在 PMU 模块内部。按电源状态分组，龙芯 1C203 包括：电源管理模块（PMU）、处理器模块（CPU），如图16.1 所示。

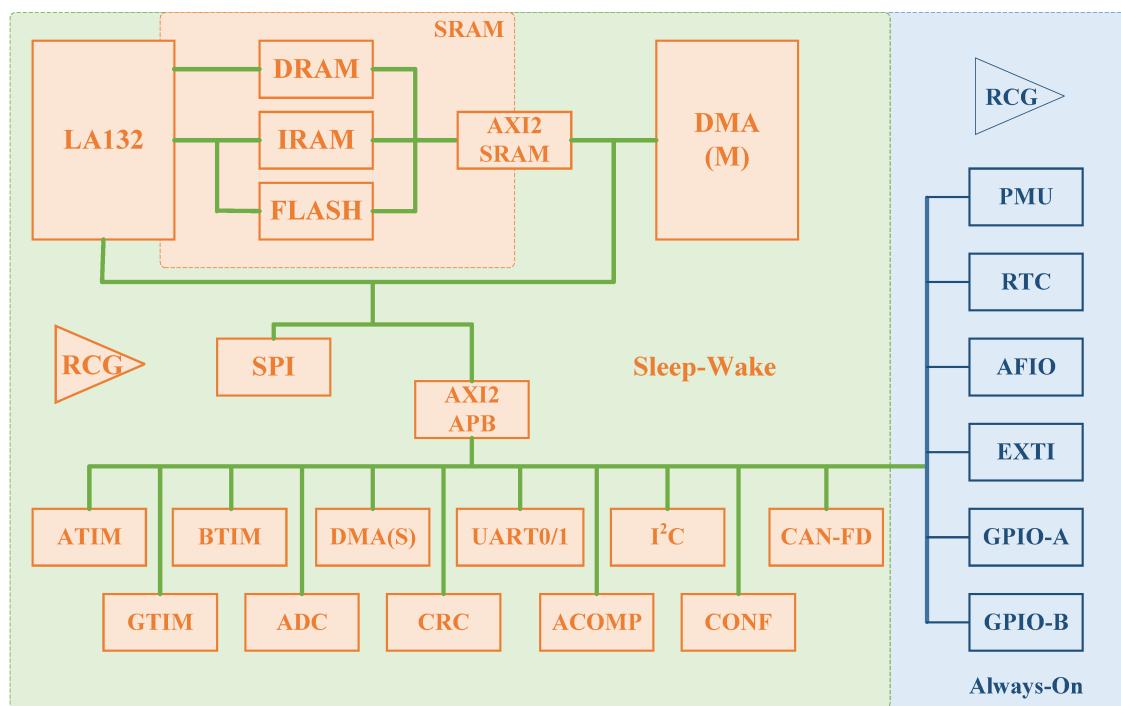


图 16.1: 电源架构

除 PMU 外，剩余部分实现了低功耗关断模式。

CPU 模块的关断由 CmdSts.Sleep 控制，软件写 1 后进入关断模式。当 PMU 看到中断时，CPU 模块将被唤醒。唤醒后 CPU 模块内所有内部寄存器都会被复位，处理器的执行与复位一致，软件需要判断是一次系统复位，还是一次待机唤醒。一个简单的方法是通过 CmdSts.RstSrc 判断，待机唤醒将会是 2'b11。另外还可以在不掉电的 PMU 模块 UserDat 寄存器中存储状态信息。

其它模块的关断由软件静态配置，没有硬件自动开关。可根据应用需要一次性配好。

16.2 寄存器定义

电源管理模块的基址地址为 0x0000c000。

表 16.1: PMU 寄存器列表

名称	偏移	描述
ChipCtrl	0x00	全局配置
CmdSts	0x04	命令与状态
Count	0x08	时间计数器
Compare	0x0c	唤醒时间配置
RstCtrl	0x10	复位控制寄存器
ClkCtrl	0x14	时钟控制寄存器
WdtCfg	0x30	看门狗配置
WdtFeed	0x34	看门狗重置
PowerCfg	0x38	电源配置
CmdW	0x3c	状态清除寄存器
UserDat0	0x60	用户数据 0
UserDat1	0x64	用户数据 1
UserDat2	0x68	用户数据 2
UserDat3	0x6c	用户数据 3

16.2.1 芯片全局配置 (ChipCtrl)

偏 移: 0x00

复位值: 32'h0

表 16.2: 芯片全局配置

位域	名称	访问	描述
31:11	reserved	-	保留
10	input_hold	RW	输入保持 对处于输入状态的可复用为 GPIO 的引脚，施加与输入值相同的上下拉，写 1 使能。有引脚悬空时，打开此功能可避免漏电。GPIO 方向配置为输入，且 GPIO 输出值配置为 1 的那些引脚才会有此功能。未复用成 GPIO 的引脚同样受 GPIO 配置控制。
9:6	reserved	-	保留
5	c32k_sel	RW	32K 时钟选择 0: 内部时钟 1: 外部时钟 变化沿起作用。当外部时钟失效时，将自动切换到内部时钟，但此位保持不变 切换至外部时钟需要特定流程，切换步骤详见提供的驱动
4:0	c32k_trim	RW	内部 32K OSC Trimming 值

16.2.2 命令与状态 (CmdSts)

偏 移: 0x04

复位值: 32'h00000000

该寄存器有一些写 1 有效的只写位，这些位在偏移为 0x3c 处有另一个写端口 (CommandW)。往该端口写 1 等价于将 Command 读出，或上要写 1 的位再写回。

当芯片休眠时，除使能 ext_en 的引脚外将会关闭，若需使用引脚唤醒功能，请提前配置 IO 的 ext 使能。

表 16.3: 命令与状态

位域	名称	访问	描述
31:30	reserved	-	保留
29	clk32k_fail	RO	32K 外部时钟失效 1 表示失效
28	clk32k_sel	RO	32K 时钟选择 1 表示选外部时钟
27:26	RstSrc	RO	复位来源 00: 外部复位 01/10: 看门狗复位，每次看门狗复位均切换 11: 休眠唤醒
25	ExtIntEn	RW	外部中断使能 1 有效
24:16	IntSrc	RO	中断状态 [8]: e_ExtInt [7:5]: reserved [4]: e_RTC [3]: e_C8MFail [2]: e_C32KFail [1]: e_BatFail [0]: e_Wake 往 CommandW 寄存器的对应位写 1 可清除中断状态
15:8	IntEn	RW	中断使能，每一位对应一个中断源 [7:5]: reserved [4]: e_RTC [3]: e_C8MFail [2]: e_C32KFail [1]: e_BatFail [0]: e_Wake
7	WakeEn	RW	定时唤醒使能 0: 关闭定时唤醒 1: 打开定时唤醒
6:1	reserved	-	保留
0	SleepEn	RO	进入休眠状态 当读出值为 1 表示可休眠，此时往 CommandW[0] 写 1 则关闭处理器系统

16.2.3 时间计数器 (Count)

偏 移: 0x8

复位值: 32'h00000000

表 16.4: 时间计数器

位域	名称	访问	描述
19:0	RTC	RO	时间计数器 每 1/256 秒加 1

16.2.4 唤醒时间配置 (Compare)

偏 移: 0x0c

复位值: 32'h00000000

表 16.5: 唤醒时间配置

位域	名称	访问	描述
19:0	WakeCmp	RW	唤醒时间配置 当该值与 Count 寄存器相等且 WakeEn 为 1 时产生唤醒事件

16.2.5 软件复位 (RstCtrl)

偏 移: 0x10

复位值: 32'h00000000

表 16.6: 软件复位

位域	名称	访问	描述
31:19	reserved	-	保留
18	gpiob_RST	RW	gpiob 复位 仅在 FLASH 启动时可以配置 0: 解除复位 1: 复位
17	gpioa_RST	RW	gpioa 复位 仅在 FLASH 启动时可以配置 0: 解除复位 1: 复位
16	afio_RST	RW	afio 复位 仅在 FLASH 启动时可以配置 0: 解除复位 1: 复位
15:0	reserved	-	保留

16.2.6 时钟关断 (ClkCtrl)

偏 移: 0x14

复位值： 32'h00000000

表 16.7: 时钟关断

位域	名称	访问	描述
31:19	reserved	-	保留
20	rtc_cg	RW	rtc 时钟 0: 开启 1: 关断
19	wdt_cg	RW	wdt 时钟 仅在休眠时生效配置，关闭后定时唤醒功能同时关闭 0: 开启 1: 关断
18	gpiob_cg	RW	gpiob 时钟 仅在 FLASH 启动时可以配置 0: 开启 1: 关断
17	gpioa_cg	RW	gpioa 时钟 仅在 FLASH 启动时可以配置 0: 开启 1: 关断
16	afio_cg	RW	afio 时钟 仅在 FLASH 启动时可以配置 0: 开启 1: 关断
15:0	reserved	-	保留

16.2.7 看门狗配置寄存器 (WdtCfg)

偏 移： 0x30

复位值： 32'hffffb0004

看门狗配置必须满足低 16 位奇校验，且高 16 位与低 16 位相反的要求，否则会立即复位。复位后默认的等待延迟为 4 秒。看门狗无法关闭，只有调试模式会暂停计数。

表 16.8: 看门狗配置寄存器

位域	名称	访问	描述
31:16	wdtcfg_hi	RW	看门狗配置高位 应当为 wdtcfg_lo 的反
15:0	wdtcfg_lo	RW	看门狗配置低位 看门狗复位等待时间，以 1 秒为单位。最高位为奇偶校验位，采用奇校验

16.2.8 看门狗重置寄存器 (WdtFeed)

偏 移： 0x34

复位值： 32'h00000000

表 16.9: 看门狗重置寄存器

位域	名称	访问	描述
31:0	wdtfeed	WO	看门狗重置 写入 0xa55a55aa 将看门狗计数器重置为初始值，写入其它值无效

16.2.9 电源配置 (PowerCfg)

偏 移: 0x38

复位值: 32'h00000000

表 16.10: 电源配置

位域	名称	访问	描述
31:28	reserved	-	保留
27:23	vbgtrim	RW	电压调节参数，硬件自动配置，不建议更改
22:0	reserved	-	保留

16.2.10 命令写端口 (CommandW)

偏 移: 0x3c

复位值: 32'h00000000

表 16.11: 命令写端口

位域	名称	访问	描述
31:21	reserved	-	保留
20:16	IntClr	WO	中断状态清除 [4]: e_RTC [3]: e_C8MFail [2]: e_C32KFail [1]: e_BatFail [0]: e_Wake 往 CommandW 寄存器的对应位写 1 可清除中断状态
15:1	reserved	-	保留
0	Sleep	WO	进入休眠状态 当 SleepEn 为 1 表示可休眠，此时往 CommandW[0] 写 1 则关闭处理器系统

16.2.11 用户数据 0/1/2/3 (UserDat)

偏 移: 0x60/0x64/0x68/0x6c

复位值: 无

表 16.12: 用户数据 0/1/2/3

位域	名称	访问	描述
3l:0	user_dat	RW	用户数据 复位不会清除的数据

第十七章 实时时钟

17.1 概述

实时时钟模块提供年、月、日、时、分、秒、1/16 秒计数和一个定时中断。定时中断可将芯片从休眠状态唤醒。计时相关逻辑无复位电路，不会因为芯片复位而丢失时间信息。实时时钟模块时钟源为内部或外部 32k 时钟的 32 分频，其精度依赖于时钟源的精度，当时钟源的频率出现固定偏斜时，可通过修改分频系数来进行修正。

17.2 寄存器定义

实时时钟寄存器基址为 0x0000c800 。

表 17.1: 实时时钟寄存器列表

名称	偏移	描述
FREQ	0x00	分频值寄存器
CFG	0x04	配置寄存器
RTC0	0x08	时间值寄存器 0
RTC1	0x0c	时间值寄存器 1

17.2.1 分频值寄存器 (FREQ)

偏 移: 0x00

复位值: 无复位值

内部需要产生 1/16 秒的事件，通过本寄存器的配置分频得到 16Hz 时钟

表 17.2: 分频值寄存器

位域	名称	访问	描述
31:28	reserved	-	保留
27:6	freqscale	RW	分频系数 27:16 位为整数部分， 15:6 位为小数部分， $freqscale = \frac{freq_in}{16}$ ， $freq_in$ 为输入时钟频率，以 Hz 为单位
5:0	reserved	-	保留

17.2.2 配置寄存器 (CFG)

偏 移: 0x04

复位值: 32' h0

表 17.3: 配置寄存器

位域	名称	访问	描述
31	state	RW	操作进行状态 为 1 表示原子读写序列执行中，写 1 强制清零。仅供硬件调试使用
30	timer_en	RW	定时器使能 写 1 使能定时器，时间到后自动清此位
29:26	timer_month	RW	定时器月 表示对应单位的时间，用于定时器比较
25:21	timer_day	RW	定时器日 表示对应单位的时间，用于定时器比较
20:16	timer_hour	RW	定时器小时 表示对应单位的时间，用于定时器比较
15:10	timer_minute	RW	定时器分钟 表示对应单位的时间，用于定时器比较
9:4	timer_second	RW	定时器秒 表示对应单位的时间，用于定时器比较
3:0	timer_sixteenth	RW	定时器十六分之一秒 表示对应单位的时间，用于定时器比较

17.2.3 时间值寄存器 0 (RTC0)

偏 移: 0x08

复位值: 32' h0

表 17.4: 时间值寄存器 0

位域	名称	访问	描述
31	bad_time	RO	无效数值 表示所读出的时间无效
30:21	reserved	-	保留
20:16	hour	RW	小时 表示对应单位的时间，写时为待更新时间，读时为当前实时时钟时间
15:10	minute	RW	分钟 表示对应单位的时间，写时为待更新时间，读时为当前实时时钟时间
9:4	second	RW	秒 表示对应单位的时间，写时为待更新时间，读时为当前实时时钟时间
3:0	sixteenth	RW	十六分之一秒 表示对应单位的时间，写时为待更新时间，读时为当前实时时钟时间

17.2.4 时间值寄存器 1 (RTC1)

偏 移: 0x0c

复位值: 32' h0

读出此寄存器后必须接着读出 RTC0。

表 17.5: 时间值寄存器 1

位域	名称	访问	描述
31	bad_time	RO	无效数值 表示所读出的时间无效
30:16	reserved	-	保留
15:9	year	RW	年 表示对应单位的时间，写时为待更新时间，读时为当前实时时钟时间，年计数自公元 2000 年起
8:5	month	RW	月 表示对应单位的时间，写时为待更新时间，读时为当前实时时钟时间
4:0	day	RW	日 表示对应单位的时间，写时为待更新时间，读时为当前实时时钟时间

17.3 说明

实时时钟的功能包括：

- **时间配置**

配置时间时先后写 RTC0 和 RTC1 寄存器，中间不允许插入其它寄存器访问。

- **实时时钟读取**

直接读 RTC0 取得时分秒；或者先读 RTC1 后读 RTC0，中间不允许插入其它寄存器访问。内部采样寄存器周期性地从实时时钟中取得时间，当读出 bad_time 为 1 时说明采样未完成，应当再次读出。

- **定时中断**

配置目标时间，然后使能定时器。定时器与实时时钟进行比较，相等时产生中断，使能信号自动清零。

第十八章 IO 配置

18.1 概述

龙芯 1C203 的 IO 包括三个部分，引脚复用分配的 AFIO，外部中断的 EXTI，两组通用输入输出 GPIOA 和 GPIOB。

其中，GPIO 的端口读写既包括寄存器的并行口，也同时包括字节对单个位的操作。

在龙芯 1C203 中，部分主功能的输入输出状态也受到 GPIO 配置的影响，因此在使用主功能时需要将 IO 端口配置为适当的模式。

固定功能引脚包括电源、地和 RSTN，其余均可复用为 GPIO，如下表。

其中带 * 号的表示上电配置引脚。

表 18.1: QFN32 引脚复用关系

引脚号	引脚名	主功能	第一复用	第二复用	模拟复用	GPIO 输入
1	PA00	atim_ch1	-	-	-	-
2	PA01	atim_chln	uart0_tx	uart1_tx	-	-
3	PA02	atim_ch2	-	-	-	-
4	PA03*	atim_ch2n	uart1_tx	spi_clk	-	SAMP1
5	PA04	atim_ch3	-	-	-	-
6	PA05*	atim_ch3n	spi_csb	uart0_tx	-	SAMP_TM
7	VDDIV2CPU	-	-	-	-	-
8	VDD	-	-	-	-	-
9	PA14	uart0_rx	i2c_scl	can_tx	-	-
10	PA15	uart0_tx	i2c_sda	can_rx	-	-
11	PB00	can_tx	uart1_tx	i2c_scl	XIN	-
12	PB01	can_rx	uart1_rx	i2c_sda	XOUT	-
13	PB02	uart1_tx	i2c_scl	can_tx	CLK32IN	atim_etr
14	PB03	uart1_rx	i2c_sda	can_rx	CLK32OUT	gtim_etr
15	PB04	spi_clk	uart1_tx	i2c_scl	-	-
16	PB05	spi_mosi	uart1_rx	i2c_sda	-	-
17	PA06	uart0_rx	i2c_sda	gtim_ch4	ADC7	batfail
18	PA07	gtim_ch1	spi_clk	uart1_rx	ADC6/COMP1	-
19	PA08	gtim_ch2	uart1_rx	uart1_tx	ADC5/COMP2	-
20	PA09	gtim_ch3	uart0_rx	i2c_scl	ADC4/COMP3	-
21	PA10	gtim_ch4	uart0_tx	i2c_sda	ADC3/COMP0	-
22	PA11	i2c_scl	spi_miso	uart0_rx	ADC2	-
23	PA12	i2c_sda	spi_mosi	uart1_rx	ADC1	-
24	PA13	uart0_tx	i2c_scl	atim_ch4	ADC0	atim_brk
25	PB06	spi_miso	uart0_tx	uart1_tx	ADC9	-

引脚号	引脚名	主功能	第一复用	第二复用	模拟复用	GPIO 输入
26	PB07	spi_csb	uart0_rx	uart1_rx	ADC8	-
27	PB08	jtag_tck	spi_clk	gtim_ch1	-	-
28	PB09*	jtag_tdo	spi_mosi	gtim_ch2	-	SAMPO
29	PB10	jtag_tdi	spi_miso	atim_ch2n	-	-
30	PB11	jtag_tms	spi_csb	gtim_ch3	-	-
31	PB12	jtag_trst	atim_ch4	atim_ch3n	-	-
32	RSTN	-	-	-	-	-
33	GND	-	-	-	-	-

18.2 寄存器定义

AFIO 控制器寄存器基地址为 0x0000d000。

表 18.2: AFIO 寄存器列表

名称	偏移	描述
AFIO_SEL0	0x00	AFIO 引脚复用选择寄存器 0
AFIO_SEL1	0x04	AFIO 引脚复用选择寄存器 1

EXTI 控制器寄存器基地址为 0x0000d100。

表 18.3: EXTI 寄存器列表

名称	偏移	描述
EXTI_EN	0x00	EXTI 使能寄存器
EXTI_INEN	0x04	EXTI 外部中断使能寄存器
EXTI_POL	0x08	EXTI 外部中断极性寄存器
EXTI_RIS	0x0c	EXTI 外部中断上升沿寄存器
EXTI_FAL	0x10	EXTI 外部中断下降沿寄存器
EXTI_SRC	0x14	EXTI 外部状态寄存器

GPIOA 控制器寄存器基地址为 0x0000d200。

表 18.4: GPIOA 寄存器列表

名称	偏移	描述
GPIOA_CRL	0x00	GPIOA 端口配置低寄存器
GPIOA_CRH	0x04	GPIOA 端口配置高寄存器
GPIOA_IDR	0x08	GPIOA 端口输入数据寄存器
GPIOA_ODR	0x0c	GPIOA 端口输出数据寄存器
GPIOA_BSRR	0x10	GPIOA 端口位设置清除寄存器

GPIOB 控制器寄存器基地址为 0x0000d300。

表 18.5: GPIOB 寄存器列表

名称	偏移	描述
GPIOB_CRL	0x00	GPIOB 端口配置低寄存器
GPIOB_CRH	0x04	GPIOB 端口配置高寄存器
GPIOB_IDR	0x08	GPIOB 端口输入数据寄存器
GPIOB_ODR	0x0c	GPIOB 端口输出数据寄存器
GPIOB_BSRR	0x10	GPIOB 端口位设置清除寄存器

18.2.1 引脚复用选择 (IOSEL0)

偏 移: AFIO+0x00

复位值: 32'h0

由低到高每两位控制一个 GPIO 引脚 (PA00–PA15) 的复用状态。复位期间所有引脚配置为 GPIO 输入；复位后为 GPIO 模式

表 18.6: 引脚复用选择

位域	名称	访问	描述
1:0	sel	RW	复用选择 0: GPIO 1: 主功能 2: 第一复用 3: 第二复用

18.2.2 引脚复用选择 (IOSEL1)

偏 移: AFIO+0x04

复位值: 32'h01550000

由低到高每两位控制一个 GPIO 引脚 (PB00–PB12) 的复用状态。复位期间所有引脚配置为 GPIO 输入；复位后 JTAG 引脚为主功能，安装模式/SPI 引脚视启动引脚选择复用为 SPI 复用或 GPIO 复用，其余引脚为 GPIO

表 18.7: 引脚复用选择

位域	名称	访问	描述
1:0	sel	RW	复用选择 0: GPIO 1: 主功能 2: 第一复用 3: 第二复用

18.2.3 外部触发使能 (ExtEn)

偏 移: EXTI+0x00

复位值： 32'h0

表 18.8: 外部触发使能

位域	名称	访问	描述
3l:0	ext_en	RW	外部触发使能 0 到 15 位分别对应 GPIO0 到 GPIO15(PA00 – PA15) 16 到 28 位分别对应 GPIO16 到 GPIO28(PB00 – PB12)

18.2.4 外部中断使能 (ExintEn)

偏 移： EXTI+0x04

复位值： 32'h0

表 18.9: 外部中断使能

位域	名称	访问	描述
3l:0	exint_en	RW	外部中断使能 0 到 15 位分别对应 GPIO0 到 GPIO15(PA00 – PA15) 16 到 28 位分别对应 GPIO16 到 GPIO28(PB00 – PB12)

18.2.5 外部中断极性 (ExintPol)

偏 移： EXTI+0x08

复位值： 32'h0

表 18.10: 外部中断极性

位域	名称	访问	描述
3l:0	exint_pol	RW	外部中断极性 对应关系同上，写 0 为高电平/上升沿有效

18.2.6 外部中断上升沿 (ExintRis)

偏 移： EXTI+0x0c

复位值： 32'h0

表 18.11: 外部中断上升沿

位域	名称	访问	描述
3l:0	exint_ris	RW	外部中断边沿模式选择 0: 电平模式 1: 上升沿模式，对电平宽度无要求

18.2.7 外部中断下降沿 (ExintFall)

偏 移： EXTI+0x10

复位值： 32'h0

表 18.12: 外部中断下降沿

位域	名称	访问	描述
31:0	exint_fal	RW	外部中断边沿模式选择 0: 电平模式 1: 下降沿模式, 对电平宽度无要求

18.2.8 外部触发状态 (ExtSrc)

偏 移: EXTI+0x14

复位值: 32'h0

表 18.13: 外部触发状态

位域	名称	访问	描述
31:0	ext_src	RO	外部触发状态 对应关系同上
31:0	ext_clr	WO	边沿模式触发清除 写 1 清除, 对电平模式无效

18.2.9 端口配置低寄存器 (GPIOx_CRL)

偏 移: GPIOx+0x00

复位值: 32'h4444_4444

表 18.14: 端口配置低寄存器

位域	名称	访问	描述
31:30 27:26 23:22 19:18 15:14 11:10 7:6 3:2	CNFy[1:0]	RW	端口 x 配置位 y(y=0...7) 在输入模式 (MODE[1:0]=2'b00) 00: 模拟输入模式 01: 浮空输入模式 10: 上拉/下拉输入模式 (该模式下上拉/下拉由 GPIO 输出寄存器 ODR 控制) 11: 保留 在输出模式 (MODE[1:0]>2'b00) x0: 推挽输出模式 x1: 开漏输出模式
29:28 25:24 21:20 17:16 13:12 9:8 5:4 1:0	MODEy[1:0]	RW	端口 x 模式位 y(y=0...7) x0: 输入模式 x1: 输出模式

18.2.10 端口配置高寄存器 (GPIOx_CRH)

偏 移: GPIOx+0x04

复位值: 32'h4444_4444

表 18.15: 端口配置高寄存器

位域	名称	访问	描述
31:30	CNFy[1:0]	RW	端口 x 配置位 y(y=8...15) 在输入模式 (MODE[1:0]=2'b00) 00: 模拟输入模式 01: 浮空输入模式 10: 上拉/下拉输入模式 (该模式下上拉/下拉由 GPIO 输出寄存器 ODR 控制) 11: 保留 在输出模式 (MODE[1:0]>2'b00) x0: 推挽输出模式 x1: 开漏输出模式
29:28	MODEy[1:0]	RW	端口 x 模式位 y(y=8...15) x0: 输入模式 x1: 输出模式
25:24			
21:20			
17:16			
13:12			
9:8			
5:4			
1:0			

18.2.11 端口输入数据寄存器 (GPIOx_IDR)

偏 移: GPIOx+0x08

复位值: 32'h0000_xxxx

表 18.16: 端口输入数据寄存器

位域	名称	访问	描述
31:16	reserved	-	保留
15:0	IDR	RO	端口输入数据 这些位为只读并只能以字 (16 位) 的形式读出。读出的值为对应 I/O 口的状态。

18.2.12 端口输出数据寄存器 (GPIOx_ODR)

偏 移: GPIOx+0x0c

复位值: 32'h0000_0000

表 18.17: 端口输出数据寄存器

位域	名称	访问	描述
31:16	reserved	-	保留
15:0	ODR	RW	端口输出数据 这些位可读可写并只能以字(16位)的形式操作。注: 对 GPIOx_BSRR(x = A…E), 可以分别地对各个 ODR 位进行独立的设置/清除。

18.2.13 端口设置/清除寄存器 (GPIOx_BSRR)

偏 移: GPIOx+0x10

复位值: 32'h0000_0000

表 18.18: 端口设置/清除寄存器

位域	名称	访问	描述
31:16	BRy	W	BRy: 清除端口 x 的位 y (y = 0…15) (Port x Reset bit y) 这些位只能写入并只能以字(16位)的形式操作。 0: 对对应的 ODRy 位不产生影响 1: 清除对应的 ODRy 位为 0 注: 如果同时设置了 BSy 和 BRy 的对应位, BSy 位起作用。
15:0	BSy	W	BSy: 设置端口 x 的位 y (y = 0…15) (Port x Set bit y) 这些位只能写入并只能以字(16位)的形式操作。 0: 对对应的 ODRy 位不产生影响 1: 设置对应的 ODRy 位为 1

18.2.14 GPIO 位访问配置端口 (GPIOBit_CFG)

偏 移: GPIOx+0x80 ~0x8f

复位值: 无

此处有 16 个字节的空间, 分别对应 16 个 GPIO。需用字节访问, 每个字节内的定义如下

表 18.19: GPIO 位访问配置端口

位域	名称	访问	描述
3:2	gpio_bit_cnf	RW	GPIO 位配置 定义同 CNFy
1:0	gpio_bit_mod	RW	GPIO 位模式 定义同 MODy

18.2.15 GPIO 位访问输入端口 (GPIOBit_IDR)

偏 移: GPIOx+0x90 ~0x9f

复位值: 无

此处有 16 个字节的空间, 分别对应 16 个 GPIO。需用字节访问, 每个字节内的定义如

下

表 18.20: GPIO 位访问输入端口

位域	名称	访问	描述
0	gpio_bit_i	RO	GPIO 位输入

18.2.16 GPIO 位访问输出端口 (GPIOBit_ODR)

偏 移: GPIOx+0xa0 ~0xaf

复位值: 无

此处有 16 个字节的空间，分别对应 16 个 GPIO。需用字节访问，每个字节内的定义如下

表 18.21: GPIO 位访问输出端口

位域	名称	访问	描述
0	gpio_bit_o	WO	GPIO 位输出

修订历史

序号	版本号	更新内容
1	V1.0	正式版发布

技术支持

可通过邮箱向我司提交芯片手册和产品使用的问题，并获取技术支持。

服务邮箱：service@loongson.cn

声明

本文档版权归龙芯中科技术股份有限公司所有，并保留一切权利。未经许可不得擅自实施传播等侵害版权人合法权益的行为。

本文档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因文档使用不当造成的直接或间接损失，本公司不承担任何责任。

龙芯中科技术股份有限公司

Loongson Technology Corporation Limited

地址：北京市海淀区中关村环保科技示范园龙芯产业园 2 号楼

Building No.2, Loongson Industrial Park, Zhongguancun Environmental Protection Park

电话 (Tel) : 010-62546668

传真 (Fax) : 010-62600826