

Q/LS

Q/LS 0046B-2021

龙芯中科技术股份有限公司企业标准

龙芯 CPU 统一系统架构规范

(适用于 LA 架构通用 PC、服务器系列)

V4.0

2022-11-01 发布

2022-11-05 实施

龙芯中科技术股份有限公司 批准

版权声明

本档版权归龙芯中科技术股份有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此档中的任何部分公开、转载或以其他方式散发给第三方。否则，必将追究其法律责任。

免责声明

本档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因档使用不当造成的直接或间接损失，本公司不承担任何责任。

龙芯中科技术股份有限公司

Loongson Technology Corporation Limited

地址：北京市海淀区中关村环保科技示范园龙芯产业园 2 号楼

Building No.2, Loongson Industrial Park,

Zhongguancun Environmental Protection Park, Haidian District, Beijing

电话(Tel): 010-62546668

传真(Fax): 010-62600826

版本信息

版本记录	文档名	龙芯 CPU 统一系统架构规范
	版本号	V4.0
	创建人	研发部
版本历史		
序号	版本号	更新内容
1	V1.0	1、发布文档初始版本 V1.0 版
2	V1.2	1、更新《龙芯 3A4000_7A1000 硬件设计规范》为 V1.1 版; 2、新增《龙芯内置显卡软硬件设计规范》V0.2 版
3	V3.1	1、本规范版本更新为 V3.1 版; 2、更新《龙芯 3 号 CPU 固件与内核接口规范》为 V3.1 版; 3、更新《龙芯 3A5000_7A1000 固件开发规范》为 V0.3 版; 4、更新《龙芯 CPU 内核开发规范》为 V1.2 版; 5、更新《龙芯 7A1000 内置显卡软硬件设计规范》为 V1.0 版; 6、发布《龙芯 3A5000_7A1000 通用类板卡硬件设计规范》V1.1 版; 7、发布《龙芯 3A5000_7A1000 外围功能芯片支持列表》V1.0 版
4	V4.0	1、本规范版本更新为 V4.0 版; 2、更新《龙芯 3 号 CPU 固件与内核接口规范》为 V4.0 版; 3、更新《龙芯 7A1000 固件开发规范》为 V1.0 版; 4、发布《龙芯 7A2000 固件开发规范》V1.0 版; 5、发布《龙芯 3A5000 硬件设计规范》V1.0 版; 6、发布《龙芯 7A1000 硬件设计规范》V1.0 版; 7、发布《龙芯 7A2000 硬件设计规范》V1.0 版; 8、更新《龙芯 7A1000 内置显卡软硬件设计规范》为 V1.0 版; 9、发布《龙芯 7A2000 内置显卡软硬件设计规范》V1.1 版; 10、发布《龙芯外围功能芯片支持列表》V1.0 版

1 序言

龙芯 CPU 统一系统架构规范是龙芯产品在桌面 PC、服务器领域的开发指导规范，通过规范整机设计、固件开发、内核开发的技术要求，定义了整机、固件、系统的兼容性标准。

2 发布列表

序号	规范名称	版本号
1	龙芯 3 号 CPU 固件与内核接口规范	V4.0
2	龙芯 7A1000 固件开发规范	V1.0
3	龙芯 7A2000 固件开发规范	V1.0
4	龙芯 3A5000 硬件设计规范	V1.0
5	龙芯 7A1000 硬件设计规范	V1.0
6	龙芯 7A2000 硬件设计规范	V1.0
7	龙芯 7A1000 内置显卡软硬件设计规范	V1.0
8	龙芯 7A2000 内置显卡软硬件设计规范	V1.1
9	龙芯外围功能芯片支持列表	V1.0

龙芯 3 号 CPU 固件与内核接口规范

V4.0

版本信息

文档信息	文档名	龙芯 3 号 CPU 固件与内核接口规范
	版本号	V4.0
	创建人	系统研发部
版本历史		
序号	版本号	更新内容
1	V1.0	发布文档初始版本 V1.0 版。
2	V1.1	1、重新修订了地址规范约束； 2、重新修订了 SMBIOS 规范中 CPU 型号的约定；
3	V1.2	1、添加传参新成员 <code>cpuname</code> 及其格式规范； 2、添加新传参功能：表示桥片个数、DMA cache/uncache； 3、添加新的结构体描述（ <code>efi_reset_system_t</code> ）； 4、添加成员 <code>DoSuspend</code> ；
4	V2.0	1、重新修订附录 B <code>bootparam.h</code> 文件； 2、修正附录 A 中的几处错误；
5	V2.1	1、第 4 节修改，地址规范相关修改； 2、增加附录 E，添加 3A/3B+7A 描述（ <code>boardinfo</code> 、地址、中断），增加 7A GPU 使用地址段约束； 3、完善 4.2 节地址规范约束； 4、添加 4.3 节 DMA 规范描述以及 C、D、E 附录中 DMA 规范约束表； 5、修改一些编写错误；
6	V2.2	1、第 4.2 节，低端内存的高 16M 地址空间相对 UEFI 做了约束； 2、第 7 节，对 SMBIOS 产品信息（Type2）第六字段增加了命名约束，附录 A.6 <code>board_devices.name</code> 受同样约束； 3、附录 A.2，删除现在接口中已经废弃的 <code>screen_info</code> 和 <code>sys_desc_table</code> ； 4、附录 A.3，删除现在接口中已经废弃的 <code>sysstab</code> 和 UEFI runtime 服务相关的接口； 5、附录 A.4，规范了使用龙芯内置显卡情况 <code>vbios</code> 的处理； 6、附录 A.8，固件传参接口的内存映射表中对应地址空间范围增加了对应的 DMA 地址空间范围； 7、附录 A.9，固件传参接口添加 <code>of_dtb_addr</code> 成员； 8、附录 A.12，对固件传参接口 <code>cpuname</code> 的使用进行补充完善； 9、修改了一些语法错误和排版问题。
7	V2.3	1、4.2 节，低端内存搞 16M 地址空间 UEFI 参考分布更新； 2、4.3 节，DMA 地址规范删除，参考不同平台的固件设计规范； 3、5.1.2 节，修改中断处理方式，参考各平台固件开发规范；

		<p>4、5.2 节，约束 LPC 接口使用方式；</p> <p>5、第 7 节，修改 SMBIOS 约定必须传递的信息以及实现参考；</p> <p>6、附录 A.4，更名 <code>smbios_tables</code> 为 <code>sysinfo_tables</code>；</p> <p>7、附录 A.7，修改 <code>vers</code> 成员的定义、根据实际使用情况修改其他成员定义；</p> <p>8、附录 B，更新 <code>bootparam.h</code> 文件；</p> <p>9、删除附录 C、D、E 各平台中断及地址空间约定，请分别参考对应平台的固件开发规范；</p> <p>10、修改了一些语法错误和排版问题。</p>
8	V3.0	<p>1、文档名称及正文中删除“开发系统”</p> <p>2、2 节，增加了约定章节和部分术语</p> <p>3、4.2 节，修改了地址空间的解释</p> <p>4、5.1.1 节，修改了固件内中断的分工</p> <p>5、6 节，改变了固件与内核的传参接口</p> <p>6、7 节，具体化了 <code>type2</code> 中 <code>product</code> 的格式约束</p> <p>7、8 节，新增了固件对 ACPI 规范的实现约束</p> <p>8、附录 A，更新为最新固件内核传参接口的的数据结构</p> <p>9、附录 B，增加 LINUX 操作系统键值表</p> <p>10、修改了一些语句描述和排版问题。</p>
9	V3.1	<p>1、8.5 节，FADT 的 <code>flags</code> 中新增支持 <code>PCI_EXP_WAK</code> 及 <code>RESET_REG_SUP</code> 标志使用描述。</p> <p>2、8.3 节、中断模型更新</p> <p>3、增加 8.8 节 MCFG 支持</p> <p>4、8.6.1 节，新增 <code>_SEG</code> 对象支持双桥</p> <p>5、6.3.1 节，3.0 接口 <code>bpi</code> 结构增加 64 位 <code>flags</code></p> <p>6、8.6.9 节，热键驱动增加 <code>VCBL</code> 的约束</p> <p>7、8.6.12 节，GPIO 多中断支持</p> <p>8、8.6.18 节，增加 ACPI 对 SE 设备的支持</p> <p>9、8.6.19 节，增加 ACPI 对温度传感器的支持</p> <p>10、8.9 节，增加 <code>SLIT</code> 表的支持</p> <p>11、8.10 节，增加 <code>SPCR</code> 表的支持</p>
10	V4.0	<p>1、修改了部分章节序号、图表序号以及语句描述</p> <p>2、2.1 节，添加了 <code>BootLoader</code> 的描述</p> <p>3、3 节，更新了架构关系</p> <p>4、6.1、6.2、6.3 和 6.4 节更新了传参约束</p>

		<ul style="list-style-type: none">5、更新了传参约定，删除 BPI 以及扩展链表相关内容6、8.4 节，修改了 SRAT 语句描述7、8.6.1，增加了 _OSC 方法的支持8、8.6.20 节，增加 EC 的支持9、8.6.21 节，增加 BMC 的支持10、9 节，增加了 VBIOS 的传递约定11、删掉 BPI 定义附录 A，添加了 ACPI 设备 ID 附录
--	--	---

目录

1 范围.....	1
2 术语与约定.....	1
2.1 术语.....	1
2.2 约定.....	2
3 架构关系.....	2
4 地址空间规范.....	2
4.1 地址空间.....	2
4.2 DMA 地址映射规范.....	2
5 中断配置规范.....	3
5.1 配置方法.....	3
6 BootLoader 与内核传参规范.....	3
6.1 传参约定.....	3
6.2 命令行传递的约定.....	3
6.2.1 initrd.....	3
6.3 UEFI system table 传递的约定.....	4
6.3.1 memory map 表.....	4
6.3.2 initrd 表.....	4
6.4 其他约定.....	4
7 SMBIOS 规范的实现约定.....	5
8 ACPI 规范的实现约定.....	7
8.1 RSDP.....	7
8.2 XSDT.....	8
8.3 MADT.....	9
8.4 SRAT.....	12
8.5 FADT.....	13
8.6 DSDT.....	15
8.6.1 PCI 总线枚举.....	15
8.6.2 PCI 中断路由.....	17
8.6.3 设备电源管理.....	17
8.6.4 USB 设备配置.....	18
8.6.5 电池配置.....	18
8.6.6 电源适配器配置.....	22
8.6.7 处理器配置和控制.....	22
8.6.8 系统休眠唤醒.....	23
8.6.9 热键配置.....	23
8.6.10 热区管理.....	28
8.6.11 串口配置.....	28
8.6.12 GPIO 配置.....	29
8.6.13 I2C 配置.....	29
8.6.14 GPIO 模拟 I2C 配置.....	29
8.6.15 RTC 配置.....	30
8.6.16 PWM 配置.....	30
8.6.17 SE 设备.....	30

8.6.18 EC 设备.....	31
8.6.19 BMC 设备.....	32
8.6.20 DMA 配置.....	32
8.7 FACS.....	33
8.8 MCFG.....	33
8.9 SLIT.....	34
8.10 SPCR.....	34
9 VBIOS 的传递约定.....	35
10 screen_info 传参约定.....	35
11 总结.....	36
附录 A LINUX 操作系统键值表.....	37
附录 B 龙芯 ACPI 设备 ID.....	50

1 范围

本规范规定了龙芯 CPU 的地址空间、中断配置、固件与内核接口传参实现、SMBIOS、ACPI 及 VBIOS 实现约定的要求。本规范适用于龙芯 LoongArch 架构的 3 号系列 CPU。建议其它系统厂商遵循此规范开发相关产品。

本规范正文及附录 A、B 为通用规范，通用规范描述一般性的约定。针对不同的芯片组，请参阅对应芯片组的固件开发规范。

2 术语与约定

2.1 术语

本规范所用术语定义如下：

固件：Firmware，写入 ROM、EPROM 等非易失存储器中的程序，负责控制和协调集成电路。

BIOS：基本输入输出系统，Basic Input Output System，一组固化到主板上一个 ROM 芯片上的程序，它保存着计算机基本输入输出程序、系统设置信息、开机后自检程序和系统自启动程序。BIOS 与硬件系统集成在一起，也被称为固件，本规范中固件和 BIOS 不做区分。

UEFI：统一的可扩展固定接口，Unified Extensible Firmware Interface，是 Intel 为全新类型的 PC 固件的体系结构、接口和服务提出的建议标准。主要目的是提供在 OS 加载之前在所有平台上一致、正确指定的启动服务，被看做是有近 20 多年历史的 PC BIOS 的继任者。

UEFI system table：包含了指向 UEFI runtime、boot services 和 Configuration Table 等内容的指针，具体可参考 UEFI 规范。

UEFI Configuration table：对应 UEFI system table 中的 ConfigurationTable 字段，包含了一个表数组，每个数组成员由 GUID 和对应表的指针构成，具体可参考 UEFI 规范。

BootLoader：引导加载程序，又称引导加载器、启动加载器或启动引导器，是由计算机固件（BIOS 或 UEFI）启动的软件，它负责用想要的内核参数加载内核，并根据配置文件初始化 RAM 磁盘。常见的 BootLoader 有：ELILO, SYSLINUX, EFI stub loader, GRUB 等

PMON：龙芯平台使用的一种兼有 BIOS 和 BootLoader 部分功能的开放源码软件。

SMBIOS(System Management BIOS)：是主板或系统制造者以标准格式显示产品管理信息所需遵循的统一规范。DMI (Desktop Management Interface)是帮助收集电脑系统信息的管理系统，DMI 信息的收集必须在严格遵照 SMBIOS 规范的前提下进行。SMBIOS 和 DMI 是由行业指导机构 Desktop Management Task Force (DMTF)起草的开放性的技术标准。

HT(HyperTransport)：是一种为主板上的集成电路互连而设计的端到端总线技术，目的是加快芯片间的数据传输速度。HT 通常指 CPU 到主板芯片（或北桥）之间的连接总线，即 HT 总线。类似于 Intel 平台中的前端总线（FSB），HT 按技术规格分有 HT1.0、HT2.0、HT3.0、HT3.1。

PCI(Peripheral Component Interconnect)：是连接电子计算机主板和外部设备的总线标准，用于定义局部总线的标准。此标准允许在计算机内安装多达 10 个遵从 PCI 标准的扩展卡。

CPU(central processing unit)：中央处理器，简称处理器。

Core: 处理器核，特指一个物理 cpu，是一个独立的硬件执行单元，有独立的寄存器和计算单元。

Node: 节点，NUMA 体系结构中的一个概念，一个 NUMA node 有一组 core 和内存，core 访问自身 node 内存（本地内存）的速度要快于访问其他 node 内存（远端内存）的速度，访问速度与 node 的距离有关。在没有特殊说明情况下，统一系统架构规范中提到的节点或 node，均为 NUMA 节点。

2.2 约定

(1) 本规范中的地址，未明确说明为虚拟地址时，均表示物理地址。

3 架构关系

龙芯 PC 产品的固件与内核接口在系统各软件之间所处的层次关系如图 3-1 所示：

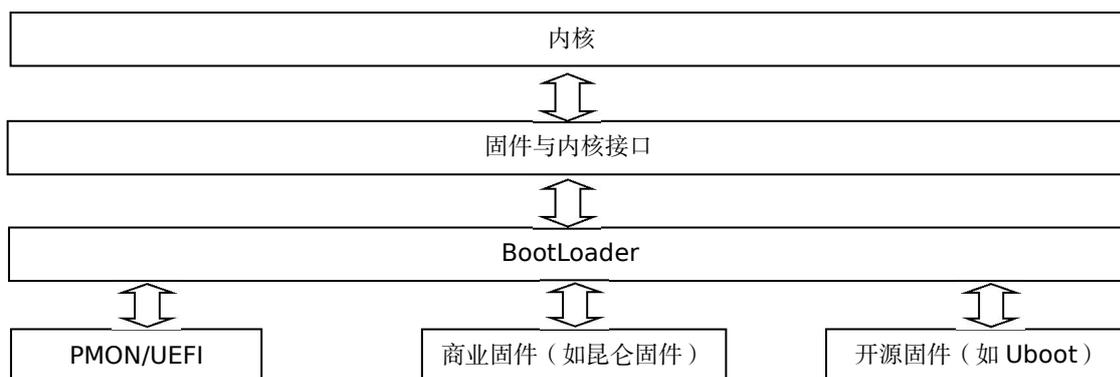


图 3-1 接口与内核和固件之间的关系

4 地址空间规范

4.1 地址空间

龙芯 3 号 CPU+ 芯片组的地址空间规定了内存空间、处理器及芯片组寄存器空间、PCI I/O 空间、PCI MEM 空间、PCI 配置空间，每种地址空间的范围，请参阅对应处理器、芯片组的固件开发规范。

4.2 DMA 地址映射规范

DMA 地址映射描述了系统中 DMA 地址与物理内存地址的转换关系，请参阅对应处理器、芯片组的固件开发规范。

5 中断配置规范

5.1 配置方法

根据 ACPI 规范，系统使用 GSI (global system interrupts, 全局系统中断) 为系统中断源分配中断号，并通过 ACPI 表实现中断配置，系统 GSI 分配详见对应处理器、芯片组的固件开发规范。

6 BootLoader 与内核传参规范

6.1 传参约定

BootLoader 传递给内核的参数包括标志、命令行地址、UEFI system table 地址，分别通过 a0、a1、a2 三个寄存器传递给内核。寄存器及对应的参数说明见下表：

表 6-1 传参寄存器及对应参数说明

寄存器名	参数大小	参数说明
a0	u64	UEFI 规范兼容标记, 为 1 1: 表示固件支持 UEFI 规范 0: 表示固件不支持 UEFI 规范 注: 当前规范版本仅支持 UEFI 兼容的固件, 固件不支持 runtime 时需将 runtime 指针置空, 并通过命令行的 noefi 禁止内核的 runtime 功能
a1	u64	64 位命令行物理地址
a2	u64	64 位 UEFI system table 物理地址

6.2 命令行传递的约定

6.2.1 initrd

当使用 initrd 时，用户可通过命令行向内核传递 initrd 信息，initrd 信息的固定格式为“initrd=inird_start,initrd_size”，initrd_start 为 initrd 的起始 64 位物理地址，initrd_size 为 initrd 的 64 位大小。

6.3 UEFI system table 传递的约定

6.3.1 memory map 表

memory map 表的数据结构定义如下：

```
struct efi_boot_memmap {
    unsigned long    map_size;
    unsigned long    desc_size;
    u32              desc_ver;
    unsigned long    map_key;
    unsigned long    buff_size;
    efi_memory_desc_t map[];
};
```

其中，map_size 为 UEFI memory map buffer 大小；desc_size 为 UEFI memory map 描述符大小；desc_ver 为 UEFI memory map 描述符版本；map_key 为 UEFI memory map key；map 为 UEFI memory map 起始地址；具体请参考 UEFI 规范。buff_size 保留。

memory map 表的地址存储在 UEFI Configuration table 中，内核在 UEFI Configuration table 中查找 memory map GUID({800f683f-d08b-423a-a293-965c3c6fe2b4})获取 memory map 地址。

6.3.2 initrd 表

initrd 表的数据结构定义如下：

```
struct efi_initrd {
    unsigned long    base;
    unsigned long    size;
};
```

其中，base 为 initrd 的起始 64 位物理地址，size 为 initrd 的 64 位大小。

initrd 表的地址存储在 UEFI Configuration table 中，内核在 UEFI Configuration table 中查找 initrd GUID({5568e427-68fc-4f3d-ac74-ca555231cc68})获取 initrd 表地址。

6.4 其他约定

UEFI Configuration table 包含了 SMBIOS 表、ACPI 表的入口地址、自定义 screen_info 表、memory map 表，详细描述参考章节 7 SMBIOS 规范的实现约定、章节 8 ACPI 的规范实现约定、章节 10 screen_info 传参约定和章节 6.3.1 memory map 表。其中，传参涉及到的 SMBIOS 表、ACPI 表、screen_info 表、memory map 表、initrd 的起始地址等地址均为 64 位物理地址且 64K 字节对齐。

initrd 有两种传递方式(分别对应 6.2.1 和 6.3.2 章节)，兼容 UEFI 规范的固件推荐使用 UEFI system table 传递。

7 SMBIOS 规范的实现约定

SMBIOS 是主板或系统制造者以标准格式显示产品管理信息所需遵循的统一规范。 DMI (Desktop Management Interface, DMI)就是帮助收集电脑系统信息的管理系统, DMI 信息的收集必须在严格遵照 SMBIOS 规范的前提下进行。SMBIOS 和 DMI 是由行业指导机构 Desktop Management Task Force (DMTF)起草的开放性的技术标准, 其中, DMI 设计适用于任何的平台和操作系统。 DMI 充当了管理工具和系统层之间接口的角色。它建立了标准的可管理系统更加方便了电脑厂商和用户对系统的了解。DMI 的主要组成部分是 Management Information Format (MIF)数据库。这个数据库包括了所有有关电脑系统和配件的信息。通过 DMI, 用户可以获取序列号、电脑厂商、串口信息以及其它系统配件信息。

SMBIOS 表的地址存储在 UEFI Configuration table 中, 内核在 UEFI Configuration table 中查找 SMBIOS GUID({EB9D2D31-2D88-11D3-9A16-0090273FC14D})获取 SMBIOS 地址。

龙芯固件平台必须实现的 **SMBIOS** 类别如下:

- BIOS 信息(Type 0)
- 系统信息 (Type 1)
- 产品信息 (Type 2)
- 系统外围或底架 (Type3)
- 处理器信息 (Type 4)
- 高速缓存信息 (Type 7)
- 系统插槽 (Type 9)
- 物理存储阵列 (Type 16)
- 存储设备(Type 17)
- 存储阵列映射信息 (Type 19)
- 表格结束指示 (Type 127)

其中:

Type0,描述固件信息。包括 BIOS 制造厂商、版本、ROM 大小等,其中, BIOS Characteristics Extension Byte 2 的 Bit 3 应与 6.1 章节 a0 一致。参考 SMBIOS3 系列协议实现。

Type1, 描述系统信息。通常指的是品牌整机的信息, 包括该机器的型号、版本、UUID 等信息, 参考 SMBIOS3 系列协议实现。

Type2, 描述主板信息。指主板制造商和主板本身信息, 包括主板生产厂家, 主板生产名称、版本、串号等, 参考 SMBIOS3 系列协议实现。

Type3, 系统外围或底架。《System Management BIOS (SMBIOS) Reference Specification》7.4 章节中规定了第六个字节的信息含义, 里面包含了主机的类型。见表 7-1。

表 7-1 SMBIOS Type3 第六字节信息含义

值	意义
01h	Other
02h	Unknown
03h	Desktop
04h	Low Profile Desktop
05h	Pizza Box

06h	Mini Tower
07h	Tower
08h	Portable
09h	Laptop
0Ah	Notebook
0Bh	Hand Held
0Ch	Docking Station
0Dh	All in One
0Eh	Sub Notebook
0Fh	Space-saving
10h	Lunch Box
11h	Main Server Chassis
12h	Expansion Chassis
13h	SubChassis
14h	Bus Expansion Chassis
15h	Peripheral Chassis
16h	RAID Chassis
17h	Rack Mount Chassis
18h	Sealed-case PC
19h	Multi-system chassis
1Ah	Compact PCI
1Bh	Advanced TCA
1Ch	Blade
1Dh	Blade Enclosure
1Eh	Tablet
1Fh	Convertible
20h	Detachable
21h	IoT Gateway
22h	Embedded PC
23h	Mini PC
24h	Stick PC

Type4, CPU 信息；描述 CPU 表项信息，由龙芯实现，无需固件和主板厂商填写，龙芯固件针对不同节点数量实现相应的参考代码。

注：ProcessorVersion 字段表示处理器名称；CurrentSpeed 字段表示处理器运行频率；CoreCount 字段表示一个封装内处理器核的数量。

Type7, Cache 信息；描述 Cache 组织结构信息。由龙芯实现，无需固件和主板厂商填写。

Type9, 系统插槽；描述主板的 PCI、PCIE 插槽的信息，该表项需要主板厂商根据各自设计自行完成；可参考龙芯固件代码实现。

Type16, 物理存储阵列；描述内存的信息，如大小、DIMM 槽数量、错误信息 Handle 等。该表项需要

主板厂商根据各自设计自行完成，可参考龙芯固件代码实现。

Type17，存储设备；描述每个内存槽的信息，比如类型、大小、是否有 ECC 等。该表项需要主板厂商根据各自设计自行完成，可参考龙芯固件代码实现。

Type19，存储阵列映射信息；描述内存映射到物理地址的范围。需要根据二级交叉开关的映射关系以及主存实际大小填写相应的地址范围；该表项需要固件和主板厂商根据自己 BIOS 地址映射关系进行填写，可参考龙芯固件代码实现。

Type127，表格结束标识；标识 SMBIOS 表的结尾，无需固件和主板厂商填写，龙芯代码已经实现。

8 ACPI 规范的实现约定

高级配置与电源接口（Advanced Configuration and Power Interface），简称 ACPI，是独立于体系结构的电源管理和配置框架，此框架建立了一个硬件寄存器集来定义电源状态（睡眠、休眠、唤醒等），并在软件上通过 ACPI 表的方式描述硬件信息、特性和控制特性的方法。ACPI 表列出了硬件板卡上无法使用硬件标准检测到或进行电源管理的设备，以及这些设备的功能。ACPI 表还列出了休眠电源状态、可用电源平面描述等系统功能。

本接口规范支持表项如 8-1：

表 8-1 支持表项

表	描述	是否强制
RSDP	Root System Description Pointer	是
XSDT	Extended System Description Table	是
MADT	Multiple APIC Description Table	是
SRAT	System Resource Affinity Table	是
FADT	Fixed ACPI Description Table	是
DSDT	Differentiated System Description Table	是
FACS	Firmware ACPI Control Structure	是
MCFG	PCI Express Memory-mapped Configuration Space base address description table	是
SLIT	System Locality Distance Information Table	否
SPCR	Serial Port Console Redirection Table	是

注：建议同一厂家的各个表项的 OEM ID 保持相同

8.1 RSDP

RSDP（Root System Description Pointer）是整个 ACPI 表的第一个表，与其他表的关系可以用下图表示。

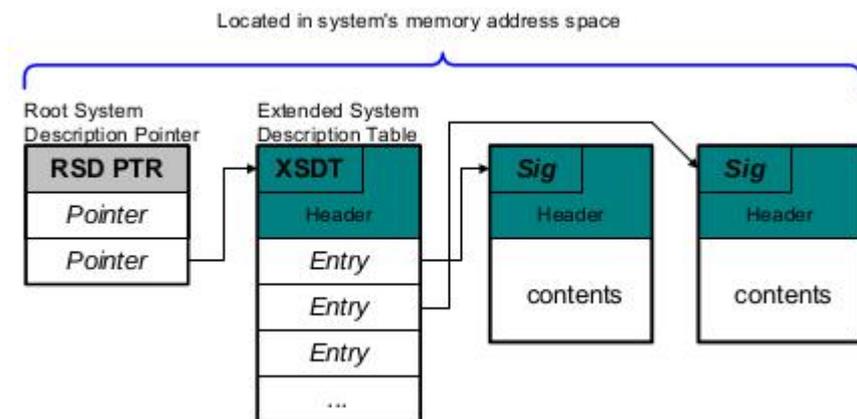


图 8-1 RSDP 示意图

RSDP 结构包含 XSDT（指向其他系统描述表的 64 位指针数组，见章节 8.2）的地址。RSDP 的地址存储在 UEFI Configuration table 中，内核通过在 UEFI Configuration table 中查找 ACPI2.0 GUID ({8868e871-e4f1-11d3-bc22-0080c73c8881})来获取 RSDP 的地址。

RSDP 填写规范见表 8-2:

表 8-2 RSDP 结构

域	长度 (字节)	偏移 (字节)	描述
Signature	8	0	“RSD PTR”
Checksum	1	8	ACPI 1.0 规范中定义的字段的校验和。只包括该表的前 20 个字节，字节 0 到 19，包括校验和字段。这些字节的和必须为零。(代码实际实现)
OEMID	6	9	OEM 标识字符串
Revision	1	15	
RsdAddress	4	16	RSDT 的 32 位地址
Length	4	20	表的长度，包括表头，从偏移量 0 开始。用于记录整个表的大小。
XsdtAddress	8	24	XSDT 的 64 位地址
Extended Checksum	1	32	整个表的校验和，从偏移 0 开始到表结束，字节和为 0
Reserved	3	33	保留

8.2 XSDT

XSDT (Extended System Description Table) 包含其他系统描述表的 64 位指针数组，这些系统描述表向 OS 提供系统基本实现和配置的信息。部分定义如表 8-3:

表 8-3 XSDT 约束

域	大小 (字节)	偏移 (字节)	描述
Header			
Signature	4	0	‘XSDT’
Revision	1	8	1

8.3 MADT

MADT (Multiple APIC Description Table) 描述系统多核和中断信息。

表 8-4, 表列出了 MADT 部分约束条件, 未列出的部分参考 ACPI 规范。

LoongArch 架构支持的中断控制器模型包括 CORE PIC、LIO PIC、HT PIC、EIO PIC、MSI PIC、BIO PIC、LPC PIC 七种, 具体结构定义参考对应表项。

表 8-4 MADT 约束

域	大小 (字节)	偏移 (字节)	描述
Header			
Signature	4	0	'APIC'
Revision	1	8	1
Local Interrupt Controller Address	4	36	处理器中断控制器寄存器基地址
Flags	4	40	0
Interrupt Controller Structure[n]		44	中断控制器结构列表

MADT 的 CORE PIC 结构参考如下配置:

表 8-5 CORE PIC 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	CORE PIC 结构
Length	1	1	CORE PIC 结构字节长度
Version	1	2	版本号
ACPI Processor ID	4	3	处理器核 UID, 与 DSDT 处理器对象中的 _UID 值相同
Physical Processor ID	4	7	CPU 核物理 ID
Flags	4	11	CORE PIC 的标志, 参考表 8-6

表 8-6 CORE PIC 标志

CORE PIC Flags	大小 (比特)	偏移 (比特)	描述
Enabled	1	0	0: CPU 不可用 1: CPU 可用

Reserved	31	1	必须为 0
----------	----	---	-------

MADT 的 LIO PIC 结构参考如下配置：

表 8-7 LIO PIC 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	LIO PIC 结构类型
Length	1	1	LIO PIC 结构字节长度
Version	1	2	版本号
Base Address	8	3	LIO PIC 寄存器的基地址
Size	2	11	LIO PIC 寄存器空间大小
Cascade vector	2	13	描述了 LIO PIC 路由到 CORE PIC 的向量信息,每个字节代表一个 CORE PIC 向量号。
Cascade vector mapping	8	15	描述了路由到 CORE PIC 的 LIO PIC 向量信息, CORE PIC 向量由 Cascade vector 域指定,高 4 字节的 LIO PIC 向量对应于 Cascade vector 域高字节描述的 CORE PIC 向量,低 4 字节的 LIO PIC 向量对应于 Cascade vector 域低字节描述的 CORE PIC 向量。

MADT 的 HT PIC 结构参考如下配置：

表 8-8 HT PIC 结构

字段	大小(字节)	偏移(字节)	描述
Type	1	0	HT PIC 结构类型
Length	1	1	HT PIC 结构字节长度
Version	1	2	版本号
Base Address	8	3	HT PIC 寄存器的基地址
Size	2	11	HT PIC 寄存器空间大小
Cascade Vector	8	13	第 n 字节表示 $32*n \sim 31*(n+1)$ 的 HT PIC 中断向量路由到 LIO PIC 的中断向量

MADT 的 EIO PIC 结构参考如下配置：

表 8-9 EIO PIC 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	EIO PIC 结构类型
Length	1	1	EIO PIC 结构字节长度
Version	1	2	版本号
Cascade vector	1	3	描述了 EIO PIC 路由到 CORE PIC 的 CORE PIC 向量号

Node	1	4	连接芯片组的处理器节点 ID
Node map	8	5	EIO 中断路由的处理器节点组，bit0-63 分别表示 0-63 节点

MADT 的 MSI PIC 结构参考如下配置：

表 8-10 MSI PIC 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	MSI PIC 结构类型
Length	1	1	MSI PIC 结构字节长度
Version	1	2	版本号
Message Address	8	3	MSI 消息的目标地址
Start	4	11	MSI 在 HT PIC 或 EIO PIC 中的起始向量
Count	4	15	MSI 向量的个数

MADT 的 BIO PIC 结构参考如下配置：

表 8-11 BIO PIC 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	BIO PIC 结构类型
Length	1	1	BIO PIC 结构字节长度
Version	1	2	版本号
Base Address	8	3	BIO PIC 寄存器的基地址
Size	2	11	BIO PIC 寄存器空间的大小
Hardware ID	2	13	BIO PIC 的硬件 ID，即 BIO PIC 所在芯片组连接的处理器节点的节点号
GSI base	2	15	BIO PIC 中断开始的 GSI 号，对于每个中断的 GSI， $GSI = GSI\ base + BIO\ PIC\ 的中断向量$

MADT 的 LPC PIC 结构参考如下配置：

表 8-12 LPC PIC 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	LPC PIC 结构类型
Length	1	1	LPC PIC 结构字节长度
Version	1	2	版本号
Base Address	8	3	LPC PIC 寄存器的基地址
Size	2	11	LPC PIC 寄存器空间的大小
Cascade vector	2	13	描述了 LPC PIC 路由到 BIO PIC 的 BIO PIC 向量号

8.4 SRAT

SRAT (System Resource Affinity Table) 为操作系统提供了处理器和内存范围的亲和性关系，在 NUMA 平台上，操作系统启动期间依据此表进行配置。表头的约束见表 8-13。

龙芯平台需要实现两种亲和结构：

- (1) “Processor Local APIC/SAPIC Affinity Structure”，每个处理器核对应一个结构，见表 8-14；
- (2) “Memory Affinity Structure”，每个 Node 的连续内存段对应一个结构，见表 8-15。

表 8-13 SRAT 约束

域	大小 (字节)	偏移 (字节)	描述
Header			
Signature	4	0	‘SRAT’
Revision	1	8	2

表 8-14 Processor Local APIC/SAPIC Affinity 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	0, 代表结构为 Processor Local APIC/SAPIC Affinity Structure。
Length	1	1	16
Proximity Domain [7:0]	1	2	处理器亲和域[7:0]
APIC ID	1	3	处理器 Local APIC ID, 见 MADT 表
Flags	4	4	标志。 0 位： 0 表示该 Processor Local APIC/SAPIC Affinity Structure 不可用； 1 表示该 Processor Local APIC/SAPIC Affinity Structure 可用。 [31:1]位：必须为 0
Local SAPIC EID	1	8	用于 x86 架构的 SAPIC
Proximity Domain [31:8]	3	9	处理器亲和域[31:8]
Clock Domain	4	12	处理器时钟域

表 8-15 Memory Affinity 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	1, 代表结构为 Memory Affinity Structure

Length	1	1	40
Proximity Domain	4	2	内存亲和域
Reserved	2	6	保留
Base Address Low	4	8	内存范围地址的低 32 位
Base Address High	4	12	内存范围地址的高 32 位
Length Low	4	16	内存范围大小的低 32 位
Length High	4	20	内存范围大小的高 32 位
Reserved	4	24	保留
Flags	4	28	标志，指示内存区域是否已启用并可以热插拔，见表 8-16
Reserved	8	32	保留

表 8-16 内存热插拔标志

域	大小 (比特)	偏移 (比特)	描述
Enabled	1	0	0: 该 Memory Affinity Structure 不可用 1: 该 Memory Affinity Structure 可用
Hot Pluggable	1	1	是否支持内存热插拔
NonVolatile	1	2	是否为非易失内存
Reserved	29	3	0

8.5 FADT

FADT (Fixed ACPI Description Table) 为操作系统提供了 Fixed 硬件 ACPI 描述信息。

表 8-17 列出了 FADT 部分约束条件，未列出的部分请参考 ACPI 规范。

表 8-17 FADT 约束

域	大小 (字节)	偏移 (字节)	描述
Header			
Signature	4	0	'FACP'
Length	4	4	表的长度，包括表头，从偏移量 0 开始。用于记录整个表的大小
FADT Major Version	1	8	FADT 版本号
FIRMWARE_CTRL	4	36	32 位 FACS 表地址
DSDT	4	40	32 位 DSDT 表地址
Reserved	1	44	0
SCI_INT	2	46	SCI 中断号
SMI_CMD	4	48	SMI 命令端口地址，龙芯平台无效

ACPI_ENABLE	1	52	写入 SMI_CMD 端口的数值，用于使能 SMI 对 ACPI 硬件寄存器的控制权
ACPI_DISABLE	1	53	写入 SMI_CMD 端口的数值，用于释放 SMI 对 ACPI 硬件寄存器的控制权
S4BIOS_REQ	1	54	写入 SMI_CMD 端口的数值，用于进入 S4BIOS 模式
PSTATE_CNT	1	55	非 0,则表示 OSPM 可向 SMI_CMD 写入该值，负责处理器性能控制
PM1a_EVT_BLK	4	56	PM1a Event Register Block 的地址
PM1b_EVT_BLK	4	60	PM1b Event Register Block 的地址
PM1a_CNT_BLK	4	64	PM1a Control Register Block 的地址
PM1b_CNT_BLK	4	68	PM1b Control Register Block 的地址
PM2_CNT_BLK	4	72	PM2 Control Register Block 的地址
PM_TMR_BLK	4	76	Power Management Timer Control Register Block 的地址
GPE0_BLK	4	80	General-Purpose Event 0 Register Block 的地址
GPE1_BLK	4	84	General-Purpose Event 1 Register Block 的地址
PM1_EVT_LEN	1	88	PM1a_EVT_BLK 长度，单位为字节
PM1_CNT_LEN	1	89	PM1a_CNT_BLK 长度，单位为字节
PM2_CNT_LEN	1	90	PM2_CNT_BLK 长度，单位为字节
PM_TMR_LEN	1	91	PM_TMR_BLK 长度，单位为字节
GPE0_BLK_LEN	1	92	GPE0_BLK 长度，单位为字节
GPE1_BLK_LEN	1	93	PM2_CNT_BLK 的长度
GPE1_BASE	1	94	ACPI GPE 模型中 GPE1 的_偏移量
CST_CNT	1	95	非 0,则 OSPM 可向 SMI_CMD 写入该值，表示支持_CST 对象及相应的通知
P_LVL2_LAT	2	96	大于 0x64 表示不支持 C2 状态
P_LVL3_LAT	2	98	大于 0x3e8 表示不支持 C3 状态
FLUSH_SIZE	2	100	一次刷 cache 的大小，单位字节，仅当 WBINVD 为 0 时有效
FLUSH_STRIDE	2	102	cache line 大小，单位字节，仅当 WBINVD 为 0 时有效
DUTY_OFFSET	1	104	P_CNT 中处理器的空闲周期起始值
DUTY_WIDTH	1	105	P_CNT 中处理器的空闲周期宽度
DAY_ALRM	1	106	RTC 日期的偏移地址
MON_ALRM	1	107	RTC 月份的偏移地址
CENTURY	1	108	RTC 世纪的偏移地址
IAPC_BOOT_ARCH	2	109	IA-PC 启动标志
Reserved	1	111	0
Flags	4	112	Fixed 特征标志，支持下列标志： WBINVD、PROC_C1、SLP_BUTTON、RESET_REG_SUP、 PCI_EXP_WAK 其中当 RESET_REG_SUP 为 1,表示通过内核操作 RESET_REG 复位，

			为 0 表示通过固件操作 RESET_REG 复位
RESET_REG	12	116	见表 8-18
RESET_VALUE	1	128	写入 RESET_REG 的值
ARM_BOOT_ARCH	2	129	ARM 平台启动标志
FADT Minor Version	1	131	0
X_FIRMWARE_CTRL	8	132	FACS 64bit 地址, 固件动态生成
X_DSDT	8	140	DSDT 64bit 地址, 固件动态生成
X_PM1a_EVT_BLK	12	148	PM1a Event Register Block 的 64 地址, 见表 8-18
X_PM1b_EVT_BLK	12	160	PM1b Event Register Block 的 64 地址
X_PM1a_CNT_BLK	12	172	PM1a Control Register Block 的 64 位地址, 见表 8-18
X_PM1b_CNT_BLK	12	184	PM1b Control Register Block 的 64 位地址
X_PM2_CNT_BLK	12	196	PM2 Control Register Block 的 64 位地址
X_PM_TMR_BLK	12	208	Power Management Timer Control Register Block 的 64 位地址, 见表 8-18
X_GPE0_BLK	12	220	GPE0 block 的 64 位地址, 见表 8-18
X_GPE1_BLK	12	232	GPE1 block 的 64 位地址

注：UEFI 固件动态生成 X_FIRMWARE_CTRL 与 X_DSDT 之前，需将其初始化为 0。

表 8-18 寄存器结构

域	大小 (字节)	偏移 (字节)	描述
Address Space Id	1	0	代表为 System Memory
Reg Bit Width	1	1	寄存器位宽
Reg Bit Offset	1	2	寄存器偏移
Reserved	1	3	0
Address	8	4	寄存器地址

8.6 DSDT

DSDT (Differentiated System Description Table) 用来描述主板设计差异化信息。

本章节规定了龙芯平台 ACPI 设备 ID 和对 DSDT 配置的支持范围，支持范围之外的配置未验证，不保证其正确性。龙芯平台 ACPI 设备 ID 请参照附录 B。

以下各小节列出了龙芯平台支持的对象及方法，并对其中部分对象及方法进行了约束，未做约束的请参考 ACPI 规范。

8.6.1 PCI 总线枚举

支持的对象及方法：_BBN、_ADR、_SEG、_HID、_CID、_CRS、_OSC。

(1) _CRS (Current Resource Settings)

_CRS 方法支持总线范围、IO 地址范围以及内存地址范围声明。

使用 WordBusNumber()宏声明 PCI 总线范围，各个参数规定如表 8-19：

表 8-19 WordBusNumber()宏参数表

参数名	值
ResourceUsage	描述总线范围的使用者是设备本身，或是下级总线设备
IsMinFixed	描述总线范围的最小值是否固定
IsMaxFixed	描述总线范围的最大值是否固定
Decode	描述设备解码总线范围的方向
AddressGranularity	总线范围起始号对齐
AddressMinimum	总线范围的最小值
AddressMaximum	总线范围的最大值
AddressTranslation	相对于主总线范围的偏移
RangeLength	总线范围大小
ResourceSourceIndex	资源描述符索引
ResourceSource	资源描述符
DescriptorName	资源描述符名称

使用 QWordIO()宏声明 PCI IO 地址范围，各个参数规定如表 8-20：

表 8-20 QWordIO()宏参数表

参数名	值
ResourceUsage	描述 I/O 范围的访问者
IsMinFixed	最小地址是否固定
IsMaxFixed	最大地址是否固定
Decode	描述 I/O 范围的访问方向
ISARanges	是否为 ISA 范围
AddressGranularity	地址对齐
AddressMinimum	起始地址
AddressMaximum	结束地址
AddressTranslation	相对于主总线的地址偏移
RangeLength	地址范围大小
ResourceSourceIndex	资源描述符索引

ResourceSource	资源描述符
DescriptorName	资源描述符名称
TranslationType	I/O 转换类型，下级总线是否与本总线资源相同，则不需要转换，否则需要指定 AddressTranslation
TranslationDensity	稀疏转换还是连续转换

使用 QWordMemory()宏声明 PCI MEMORY 地址范围，各个参数规定如表 8-21:

表 8-21 QWordMemory 参数表

参数名	值
ResourceUsage	描述内存范围的访问者
Decode	描述内存范围的访问方向
IsMinFixed	最小地址是否固定
IsMaxFixed	最大地址是否固定
Cacheable	是否支持 cache
ReadAndWrite	是否可读写
AddressGranularity	地址对齐
AddressMinimum	起始地址
AddressMaximum	结束地址
AddressTranslation	相对于主总线的地址偏移
RangeLength	地址范围大小
ResourceSourceIndex	资源描述符索引
ResourceSource	资源描述符
DescriptorName	资源描述符名称
MemoryRangeType	内存访问类型
TranslationType	转换类型，下级总线是否与本总线资源相同，则不需要转换，否则需要指定 AddressTranslation

8.6.2 PCI 中断路由

支持的对象及方法：_PRT，描述芯片组 PCI 主桥上 PCI 中断分配信息。固件必须提供此对象，规定如下：

- (1) _PRT 中描述的 PCI 路由信息仅限于芯片组集成 PCI/PCIE 设备，对于外扩 PCI/PCIE 设备，无需中断配置。
- (2) 表项中的中断号均使用 GSI 中断号，芯片组 GSI 分配详见芯片组固件开发规范。
- (3) 对于芯片组的 PCIE PORT，_PRT 中需要实现 4 个表项，分别对应 PCI 规范中规定的 A/B/C/D pin，4 个表项使用相同的 GSI 中断号。
- (4) 对于芯片组的多功能设备，表项中的 pin 值为功能号。

8.6.3 设备电源管理

龙芯平台支持 USB 和 GMAC 唤醒系统。

8.6.3.1 USB

支持的对象及方法：_PR0、_PRW。

- (1) _PR0 (Power State 0)

必须提供这个控制方法。

- (2) _PRW (Power Resources for Wake)

仅支持 EventInfo 和 DeepestSleepState 参数。

8.6.3.2 GMAC

支持的对象及方法：_PR0、_PRW。

- (1) _PR0 (Power State 0)

必须提供这个控制方法。

- (2) _PRW (Power Resources for Wake)

仅支持 EventInfo 和 DeepestSleepState 参数。

8.6.4 USB 设备配置

支持的对象及方法：_UPC 及 _PLD。

8.6.5 电池配置

支持的对象及方法：_BIF _BST _STA，龙芯平台仅支持 Control Method Battery 电池模型。

按照 ACPI 规范要求，_BIF 以及 _BST 方法返回值为 Package，格式分别如表 8-22，8-23：

表 8-22 _BIF 返回值 package 元素表

域	说明
Power Unit	电池信息使用单位
Design Capacity	电池设计容量
Last Full Charge Capacity	电池充满电时容量
Battery Technology	电池是否可充电
Design Voltage	电池设计电压
Design Capacity of Warning	电池告警电量
Design Capacity of Low	电池低电量
Battery Capacity Granularity 1	电池容量粒度 1 (低电量到告警电量之间)

Battery Capacity Granularity 2	电池容量粒度 2（告警电量到满电量之间）
Model Number	电池型号
Serial Number	电池序列号
Battery Type	电池类型
OEM Information	OEM 特定信息

表 8-23 _BST 返回值 package 元素表

域	说明
Battery State	电池状态：充电状态，放电状态，是否处于紧急状态
Battery Present Rate	电池当前功率或电流
Battery Remaining Capacity	电池剩余电量
Battery Present Voltage	电池当前电压

通过 EC（参见 8.6.20 节）管理电池时，_BIF，_BST，_STA 方法的实现可以参照如下示例：

```
Device (EC)
{
    Name (_HID, EisaId ("PNP0C09") /* Embedded Controller Device */) // _HID: Hardware ID
    Name (_UID, Zero) // _UID: Unique ID
    Name (_GPE, 0x04) // _GPE: General Purpose Events
    Name (_CRS, ResourceTemplate () // _CRS: Current Resource Settings
    {
        IO(Decode16, 0x62, 0x62, 0, 1,)
        IO(Decode16, 0x66, 0x66, 0, 1,)
    })
    OperationRegion (ECOR, EmbeddedControl, Zero, 0x0100)
    Field (ECOR, ByteAcc, NoLock, Preserve)
    {
        Offset (0x80),
        AST1, 1, //Battery Availability Status
        BCG1, 1, //Battery State
        LSTE, 1, //Lid Status
        RPWR, 1, //Power Source Status
        Offset (0x92),
        BVL, 8, //Battery Present Voltage Low 8 bits
        BVH, 8, //Battery Present Voltage High 8 bits
        BCL, 8, //Battery Present Rate Low 8 bits
        BCH, 8, //Battery Present Rate High 8 bits
        Offset (0x98),
        BRCL, 8, //Battery Remaining Capacity Low 8 bits
        BRCH, 8, //Battery Remaining Capacity High 8 bits
        BFCL, 8, //Battery Last Full Charge Capacity Low 8 bits
        BFCH, 8, //Battery Last Full Charge Capacity High 8 bits
    }
```

```
Offset (0xA2),
BDVL, 8, //Battery Design Voltage Low 8 bits
BDVH, 8, //Battery Design Voltage High 8 bits
Offset (0xAE),
BDCL, 8, //Battery Design Capacity Low 8 bits
BDCH, 8, //Battery Design Capacity High 8 bits
BSNL, 8, //Battery Serial Number Low 8 bits
BSNH, 8//Battery Serial Number High 8 bits
}

Device (BAT0)
{
    Name (_HID, Eisald ("PNP0C0A") /* Control Method Battery */) // _HID: Hardware ID
    Name (_UID, Zero) // _UID: Unique ID
    Method (_STA, 0, NotSerialized) // _STA: Status
    {
        If (AST1)
        {
            Return (0x1F)
        }
        Else
        {
            Return (Zero)
        }
    }
}

Method (_BIF, 0, NotSerialized) // _BIF: Battery Information
{
    Name (BIFP, Package (0x0D))
    {
        One,
        0xFFFFFFFF,
        0xFFFFFFFF,
        One,
        0xFFFFFFFF,
        0xFFFFFFFF,
        0xFFFFFFFF,
        0xFFFFFFFF,
        0xFFFFFFFF,
        0xFFFFFFFF,
        "LoongsonM",
        "LoongsonS",
        "LI-ION",
        ""
    }
})
```

```
Local1 = (BDVH * 0x0100)
Local1 += BDVL
BIFP [0x04] = Local1
Local1 = (BDCH * 0x0100)
Local1 += BDCL
BIFP [One] = Local1
Divide (Local1, 0x0A, Local2, BIFP [0x05])
Divide (Local1, 0x14, Local2, BIFP [0x06])
Divide (Local1, 0x64, Local2, BIFP [0x07])
Divide (Local1, 0x64, Local2, BIFP [0x08])
Local1 = (BFCH * 0x0100)
Local1 += BFCL
BIFP [0x02] = Local1
Local1 = (BSNH * 0x0100)
Local1 += BSNL
BIFP [0x0A] = Local1
Return (BIFP) /* \_SB_.PCI0.LPC_.EC__.BAT0._BIF.BIFP */
}

Method (_BST, 0, NotSerialized) // _BST: Battery Status
{
    Name (BSTP, Package (0x04)
    {
        0xFFFFFFFF,
        0xFFFFFFFF,
        0xFFFFFFFF,
        0xFFFFFFFF
    })
    If (RPWR)
    {
        If (BCG1)
        {
            BSTP [Zero] = 0x02
        }
        Else
        {
            BSTP [Zero] = Zero
        }
    }
    Else
    {
        BSTP [Zero] = One
    }
}
```

```

        Local1 = (BCH * 0x0100)
        BSTP [One] = (BCL + Local1)
        Local1 = (BRCH * 0x0100)
        BSTP [0x02] = (BRCL + Local1)
        Local1 = (BVH * 0x0100)
        BSTP [0x03] = (BVL + Local1)
        Return (BSTP) /*\_SB_.PCI0.LPC_.EC__.BAT0._BST.BSTP */
    }
}
}

```

8.6.6 电源适配器配置

支持的对象及方法：PSR。

通过 EC（参见 8.6.20 节）管理电源适配器时，PSR 方法的实现可以参照如下示例：

```

Device (EC)
{
    Name (_HID, EisaId ("PNP0C09") /* Embedded Controller Device */) // _HID: Hardware ID
    Name (_UID, Zero) // _UID: Unique ID
    Name (_GPE, 0x04) // _GPE: General Purpose Events
    Name (_CRS, ResourceTemplate () // _CRS: Current Resource Settings
    {
        IO (Decode16, 0x0062, 0x0062, 0x01, 0x01,)
        IO (Decode16, 0x0066, 0x0066, 0x01, 0x01,)
    })
    OperationRegion (ECOR, EmbeddedControl, Zero, 0x0100)
    Field (ECOR, ByteAcc, NoLock, Preserve)
    {
        RPWR, 1 //Power Source Status
    }

    Device (AC)
    {
        Name (_HID, "ACPI0003" /* Power Source Device */) // _HID: Hardware ID
        Method (_PSR, 0, NotSerialized) // _PSR: Power Source
        {
            Return (RPWR) /*\_SB_.PCI0.LPC_.EC__.RPWR */
        }
    }
}
}

```

8.6.7 处理器配置和控制

支持的对象及方法：_HID、_UID、_PXM、_STA、_PPC、_PCT、_PSS。

(1) _PCT(Performance Control)

定义 ControlRegister 和 StatusRegister 时, AddressSpaceKeyword 必须为 FFixedHW, 其他域为任意值。

(2) _PSS (Performance Supported States)

- PSS 中的 Power 、 Bus master latency、 Status 为任意值。
- Latency: 大于 20000
- Control:
 - bits[31:9]: 保留;
 - bit[8]: 表示睿频标记, 1 表示睿频频率, 0 表示普频频率;
 - bits[7:0]: 表示频率等级, 范围 3-10。

8.6.8 系统休眠唤醒

支持的对象及方法：_S0、_S3、_S4、_S5 以及自定义的 S3 休眠地址。

S3 休眠地址是系统 S3 休眠时进入固件执行休眠的入口地址, 使用自定义对象声明, 规定如下:

- (1) 使用 Name 操作符定义的整数对象, 对象名称: SADR。
- (2) 该对象需要声明在 _SB 下。

8.6.9 热键配置

龙芯平台提供了基于 EC (参见 8.6.20 节) 的统一热键驱动, 主板厂商可通过热键映射实现热键差异化设计, 规定如下:

- (1) 在 DSDT 中定义热键设备, HID 为 LOON0000。
- (2) 在热键设备中定义热键映射表, 名称为 “KMAP”, 每个表项代表一个热键, 表项格式约定如下:
表项类型为 package, 一个 package 由 3 个元素组成: 按键类型、按键索引、按键键值, 具体说明见表 8-24:

表 8-24 package 元素表

域	说明
按键类型	1 表示普通按键, 操作系统键值表中前缀 KEY_ 的按键为普通按键 2 表示开关按键, 操作系统键值表中前缀 SW_ 的按键为开关按键
按键索引	按键标识, 大于 0 的任意整数, 用于唯一标识一个按键, 不同按键不能重复

按键键值	操作系统支持的键值码，参照附录 A
------	-------------------

(1) 处理 EC 热键事件产生时，需要实现 EC 热键事件号 (EC 执行 QR_EC 命令后，EC_DATA 寄存器中存储的数值) 对应的查询方法。实现查询方法时，需要通过 Notify 通知热键驱动，通知对象为定义的热键设备对象，通知数据为一个无符号 16 位数据，格式约定如表 8-25:

表 8-25 通知数据格式

域	说明
bits[15:12]	按键类型: 1 表示普通按键 2 表示开关按键
bits[11:0]	按键索引

(2) 对于开关类型的热键，需要声明名称为 GSWS 的方法，返回开关的状态。状态数据为 32 位数据，每一位表示一个 SW 类型开关对应的开关状态，SW 类型开关的定义参考附录 A。

其中，GSWS 定义:

Method (GSWS, 0, NotSerialized)

作用: 获取开盖状态

参数: 无

返回值: 32 位正整数, 开盖状态

通过 EC (参见 8.6.20 节) 管理开合盖时，可以参照如下示例:

```
Device (EC)
{
    Name (_HID, EisaId ("PNP0C09") /* Embedded Controller Device */) // _HID: Hardware ID
    Name (_UID, Zero) // _UID: Unique ID
    Name (_GPE, 0x04) // _GPE: General Purpose Events
    Name (_CRS, ResourceTemplate () // _CRS: Current Resource Settings
    {
        IO (Decode16, 0x0062, 0x0062, 0x01, 0x01,)
        IO (Decode16, 0x0066, 0x0066, 0x01, 0x01,)
    })
    OperationRegion (ECOR, EmbeddedControl, Zero, 0x0100)
    Field (ECOR, ByteAcc, NoLock, Preserve)
    {
        LSTE, 1 //Lid Status
    }
    Name (ELID, Zero)
    Method (_Q21, 0, NotSerialized) // _Qxx: EC Query, xx=0x00-0xFF
    {
        ELID = One
        Notify (HKEY, 0x2007)
    }
}
```

```
Device (HKEY)
{
    Name (_HID, "LOON0000") // _HID: Hardware ID
    Name (KMAP, Package (One))
    {
        Package (0x03)
        {
            0x02,
            0x07,
            Zero //SW_LID
        }
    })

    Method (GSWS, 0, NotSerialized)
    {
        If (ELID)
        {
            ELID = Zero
            Return (NOr (LSTE, 0xFFFFFFFF))
        }
        Return (Zero)
    }
}
```

(1) 背光控制

热键驱动支持三种背光控制方式：

当热键设备定义 ECBS、ECBG、ECSL、ECLL、BLSW 方法时，表示通过热键驱动定义背光设备控制背光；

当热键驱动检测到 ACPI 背光设备，则调用热键设备中的 VCBL 方法并传参，参数为 false，表示由 ACPI 背光设备控制背光；

当热键驱动没有检测到 ACPI 背光设备，则由内置显卡背光设备控制背光。

其中，VCBL、ECBS、ECBG、ECSL、ECLL、BLSW 定义如下：

VCBL:

Method (VCBL, 1, Serialized)

作用：设置背光事件通知对象

参数：8 位正整数，0 表示背光事件应有 ACPI 背光设备接收

返回值：无

ECBS:

Method (ECBS, 1, Serialized)

作用：设置背光亮度

参数：16 位正整数，亮度值

返回值：无

ECBG:

Method (ECBG, 0, NotSerialized)

作用：获取背光亮度

参数：无

返回值：16 位正整数，亮度值

ECSL:

Method (ECSL, 0, NotSerialized)

作用：获取支持的背光亮度最小值

参数：无

返回值：16 位正整数，背光亮度最小值

ECLL:

Method (ECLL, 0, NotSerialized)

作用：获取支持的背光亮度最大值

参数：无

返回值：16 位正整数，背光亮度最大值

BLSW:

Method (_BLSW, 1, Serialized)

作用：控制系统背光开启/关闭

参数：16 位正整数，0 表示关，1 表示开

返回值：无

通过 EC（参见 8.6.20 节）管理屏幕背光时，可以参照如下示例：

```
Device (EC)
{
    Name (_HID, EisaId ("PNP0C09") /* Embedded Controller Device */) // _HID: Hardware ID
    Name (_UID, Zero) // _UID: Unique ID
    Name (_GPE, 0x04) // _GPE: General Purpose Events
    Name (_CRS, ResourceTemplate () // _CRS: Current Resource Settings
    {
        IO (Decode16, 0x0062, 0x0062, 0x01, 0x01,)
        IO (Decode16, 0x0066, 0x0066, 0x01, 0x01,)
    })
    OperationRegion (ECOR, EmbeddedControl, Zero, 0x0100)
    Field (ECOR, ByteAcc, NoLock, Preserve)
```

```
{
    BLAC, 8 //Backlight Adjust
}

Method (_Q38, 0, NotSerialized) // _Qxx: EC Query, xx=0x00-0xFF
{
    Notify (HKEY, 0x1005)
}

Method (_Q39, 0, NotSerialized) // _Qxx: EC Query, xx=0x00-0xFF
{
    Notify (HKEY, 0x1006)
}

Device (HKEY)
{
    Name (_HID, "LOON0000") // _HID: Hardware ID
    Name (KMAP, Package (0x02))
    {
        Package (0x03)
        {
            One,
            0x05,
            0xE0 //KEY_BRIGHTNESSDOWN
        },
        Package (0x03)
        {
            One,
            0x06,
            0xE1 //KEY_BRIGHTNESSUP
        }
    }
})
Method (ECBS, 1, Serialized)
{
    BLAC = Arg0
}

Method (ECBG, 0, NotSerialized)
{
    Return (BLAC) /*\_SB_.PCI0.LPC_.EC__.BLAC */
}

Method (ECSL, 0, NotSerialized)
{
```

```

        Return (0x05)
    }

    Method (ECLL, 0, NotSerialized)
    {
        Return (0x64)
    }
}
}

```

8.6.10 热区管理

支持的对象及方法：_CRT、_PSL、_PSV、_TC1、_TC2、_TMP、_TSP、_TZP。

8.6.11 串口配置

支持的对象及方法：_HID, _UID, _DSD, _CRS。

(1) _HID

龙芯平台为 PNP0501。

(2) _UID

当使用处理器串口 0 时，_UID 的值必须为 0，且此设备必须是 DSDT 中声明的第一个串口设备。

(3) _CRS

_CRS 方法仅支持寄存器和中断资源声明。

寄存器资源使用 QWordMemory()宏声明，传递寄存器地址信息，各个参数规定参考表 8-21。中断号资源使用 Interrupt()宏声明，各个参数的规定如表 8-26：

表 8-26 Interrupt()宏参数表

参数名	值
ResourceUsage	描述中断的使用者，该设备本身使用，或是子设备使用，为空，默认表示该设备本身使用
EdgeLevel	中断触发类型
ActiveLevel	中断触发极性
Shared	共享标志
ResourceSourceIndex	资源描述符索引
ResourceSource	资源描述符
DescriptorName	资源描述符名称
InterruptList	中断号

(4) _DSD

_DSD 对象仅支持串口时钟频率声明：

UUID：值为"daffd814-6eba-4d8c-8a91-bc9bbf4aa301"。

支持属性如表 8-27：

表 8-27 支持属性表

属性名	值	说明
clock-frequency	串口时钟频率	表示实际外接的串口时钟频率,单位为 Hz

8.6.12 GPIO 配置

支持的对象及方法：_HID，_UID，_DSD，_CRS，只支持芯片组集成的 GPIO。

(1) _HID

芯片组集成的普通 GPIO 为 LOON0002，处理器集成的 GPIO 为 LOON0007。

(2) _CRS

_CRS 方法仅支持寄存器和中断资源声明。寄存器资源使用 QWordMemory()宏声明，传递寄存器地址信息，各个参数规定如表 8-21，中断号资源使用 Interrupt()宏声明，各个参数的规定如表 8-26。

(3) _DSD

_DSD 对象仅支持 GPIO 如下属性：

UUID：值为"daffd814-6eba-4d8c-8a91-bc9bbf4aa301"。

支持属性如表 8-28：

表 8-28 支持属性表

属性名	说明
conf_offset	寄存器起始地址相对基地址偏移
out_offset	输出寄存器相对基地址偏移
in_offset	输入寄存器相对基地址偏移
int_ctrl_offset	中断控制寄存器相对基地址偏移
gpio_base	GPIO 在内核中的起始编号
ngpios	当前注册的 gpio 设备包含的 gpio pin 总数
gsi_idx_map	各 GPIO 与 InterruptList 对象中的中断号对应关系

8.6.13 I2C 配置

支持的对象及方法：_HID，_UID，_CRS。

(1) _HID

龙芯平台为 LOON0004。

(2) _UID

必须为表示 I2C 总线号的任意正整数。

(3) _CRS

_CRS 方法仅支持寄存器资源声明。寄存器资源使用 QWordMemory()宏声明，传递寄存器地址信息，各个参数规定如表 8-21。

8.6.14 GPIO 模拟 I2C 配置

支持的对象及方法：_HID，_UID，_DSD，_CSR。

(1) _HID

龙芯平台为 LOON0005。

(2) _UID

必须为表示 I2C 总线号的任意正整数。

(3) _DSD

_DSD 对象仅支持如下属性：

UUID：值为"daffd814-6eba-4d8c-8a91-bc9bbf4aa301"。

支持属性如表 8-29：

表 8-29 支持属性表

属性名	说明
sda-gpio	指定 SDA 信号线使用的 GPIO 管脚
scl-gpio	指定 SCL 信号线使用的 GPIO 管脚
delay-us	总线传输时钟周期，单位为 us
timeout-ms	一次总线数据传输允许最大超时时间，单位为 ms，此为可选参数

8.6.15 RTC 配置

支持的对象及方法：_HID，_CRS。

(1) _HID

龙芯平台为 LOON0001。

(2) _CRS

_CRS 方法仅支持寄存器和中断资源声明。寄存器资源使用 QWordMemory()宏声明，传递寄存器地址信息，各个参数规定如表 8-21，中断号资源使用 Interrupt()宏声明，各个参数的规定如表 8-26。

8.6.16 PWM 配置

支持的对象及方法：_HID，_UID，_CRS。

(1) _HID

龙芯平台为 LOON0006。

(2) _CRS

_CRS 方法仅支持寄存器和中断资源声明。寄存器资源使用 QWordMemory()宏声明，传递寄存器地址信息，各个参数规定如表 8-21，中断号资源使用 Interrupt()宏声明，各个参数的规定如表 8-26。

8.6.17 SE 设备

支持的对象及方法：_HID、_CRS。

(1) _HID

龙芯平台为 LOON0003。

(2) _CRS

_CRS 方法仅支持中断资源声明。中断号资源使用 Interrupt()宏声明，各个参数的规定如表 8-26。

8.6.18 EC 设备

支持的对象及方法：_CRS, HID, GPE, _Qxx, _DEP。

EC (Embedded Controller) 设备需要描述在 LPC 设备下，并通过 _DEP 明确描述依赖的设备，可以通过 EC 管理电池，热键，键盘，鼠标等设备。管理电池可以参照 8.6.5 节中示例，热键管理及背光调节可以参照 8.6.9 节中示例，管理键盘，鼠标时可以参照如下示例：

```
Device (LPC)
{
    Name (_ADR, 0x00170000) // _ADR: Address
    Name (_S3D, 0x03) // _S3D: S3 Device State
    Name (RID, Zero)
    Device (EC)
    {
        Name (_HID, EisaId ("PNP0C09") /* Embedded Controller Device */) // _HID: Hardware ID
        Name (_UID, Zero) // _UID: Unique ID
        Name (_DEP, Package() {\SB.PCI0})
        Name (_GPE, 0x04) // _GPE: General Purpose Events
        Name (_CRS, ResourceTemplate () // _CRS: Current Resource Settings
        {
            IO(Decode16, 0x62, 0x62, 0, 1,)
            IO(Decode16, 0x66, 0x66, 0, 1,)
        })

        Device (KBD)
        {
            Method (_HID, 0, NotSerialized) // _HID: Hardware ID
            {
                Return (0x0303D041)
            }

            Name (_CID, EisaId ("PNP0303") /* IBM Enhanced Keyboard (101/102-key, PS/2 Mouse) */) //
            _CID: Compatible ID
            Name (_CRS, ResourceTemplate () // _CRS: Current Resource Settings
            {
```

```

        IO(Decode16, 0x60, 0x60, 1, 1,)
        IO(Decode16, 0x64, 0x64, 1, 1,)
        IRQ (Level, ActiveHigh, Exclusive, )
            {1}
    })
}

Device (MOU)
{
    Name (_HID, EisaId ("LEN2020")) // _HID: Hardware ID
    Name (_CID, EisaId ("PNP0F13") /* PS/2 Mouse */) // _CID: Compatible ID
    Name (_CRS, ResourceTemplate () // _CRS: Current Resource Settings
    {
        IRQ (Level, ActiveHigh, Exclusive, )
            {12}
    })
}
}
}
}

```

8.6.19 BMC 设备

支持的对象及方法：_STR、_CRS, HID, _IFT, _SRV。

BMC 设备需要描述在 LPC 设备下。

8.6.20 DMA 配置

龙芯平台默认物理地址与 DMA 地址相同, 龙芯服务器为了兼容问题设备(能力寄存器标称支持 64 位 DMA 能力, 但实际上不支持 64 位 DMA 寻址能力, 比如仅支持 38 位 DMA 地址寻址能力), 固件可通过 _DMA 对象配置物理地址与 DMA 地址转换偏移。

以 2 节点为例子, 0 节点和 1 节点内存范围分别是 0x20000 - 0x47ffffff, 0x100080000000 - 0x10047ffffff, 若问题设备最大可支持 38 位地址, 则需要将 1 位节点号放在 DMA 地址的 bit37, 上述物理地址范围对应的 DMA 地址范围分别是 0x20000 - 0x47ffffff, 0x2080000000 - 0x247ffffff, 0 节点的节点号为 0, 所以物理地址与 DMA 地址相同, 1 节点物理地址于 DMA 地址的转换偏移为: 0x100080000000-0x2080000000=0xfe00000000, 相应的 _DMA 对象描述如下:

```

Name (_DMA, ResourceTemplate() {
    QWordMemory (ResourceProducer,
        PosDecode,
        MinFixed,
        MaxFixed,
        NonCacheable,

```

```

        ReadWrite,
        0x0,
        0x0000200000,
        0x047fffffff,
        0x0000000000,
        0x47fe00000,
        ,
        ,
        )
    QWordMemory (ResourceProducer,
        PosDecode,
        MinFixed,
        MaxFixed,
        NonCacheable,
        ReadWrite,
        0x0,
        0x100080000000,
        0x10047fffffff,
        0xfe000000000,
        0x400000000,
        ,
        ,
        )
})

```

8.7 FACS

FACS (Firmware ACPI Control Structure) 主要包含了唤醒向量地址，此表必须实现，其中部分约定如表 8-30，其他字段保留为 0。

表 8-30 FACS 表约束

域	大小 (字节)	偏移 (字节)	描述
Signature	4	0	'FACS'
Firmware Waking Vector	4	12	32 位唤醒向量
Global Lock	4	16	全局锁
Flags	4	20	固件控制标志
X Firmware Waking Vector	8	24	64 位唤醒向量
Version	1	32	FACS 的版本

8.8 MCFG

MCFG (PCI Express Memory-mapped Configuration Space base address description table) 主要包含了可访问到 PCIE 设备扩展配置空间基地址、PCI domain 域 ID 及总线范围。表头部分约定如表 8-31。PCIE 配置信息部分约定如表 8-32。

表 8-31 MCFG 约束

域	大小 (字节)	偏移 (字节)	描述
Signature	4	0	'MCFG'
Revision	1	8	0x1

表 8-32 Memory Mapped Enhanced Configuration Space Base Address Allocation Structure 约束

域	大小 (字节)	偏移 (字节)	描述
Base Address	8	0	PCI 域扩展配置空间基地址
PCI Segment Group Number	2	8	PCI 域 ID, 注: 此值需与 DSDT 中 _SEG 对象的值一致
Start Bus Number	1	10	主桥下总线号最小值
End Bus Number	1	11	主桥下总线号最大值

8.9 SLIT

SLIT (System Locality Distance Information Table) 主要描述了系统不同节点间相对距离的信息, 此表为可选表项。表部分约束如表 3-33。

表 8-33 SLIT 约束

域	大小 (字节)	偏移 (字节)	描述
Signature	4	0	'SLIT'
Number of System Localities	8	36	节点数
Entry[x][y]	1		当 $x = y$, 相同节点相对距离 当 $x \neq y$, 不同节点相对距离 xy 取值范围: \leq Number of System Localities-1

8.10 SPCR

SPCR (Serial Port Console Redirection Table) 主要包含了串口配置, 此表选择实现, 其中部分约定如表 8-34。

表 8-34 SPCR 表部分约束

域	大小 (字节)	偏移 (字节)	描述
Signature	4	0	'SPCR'
Interface Type	1	36	接口类型
Space ID	1	40	地址空间类型
Encoded Access Width	1	43	访问带宽编码
Address	8	44	基地址
Baud Rate	1	58	波特率

9 VBIOS 的传递约定

对于内置显卡, 固件需要将 VBIOS 存放到内置显卡 BAR2 空间的最后 1MB 内。

10 screen_info 传参约定

screen_info 为内核 framebuffer 设备提供信息, 固件提供 EFI_GRAPHICS_OUTPUT_PROTOCOL_GUID(简称 GOP) 时, BootLoader 通过 GOP 获取 screen_info, 并注册自定义 screen_info 表, 传递给内核。screen_info 表 GUID: EFI_GUID(0x07fd51a6, 0X9532, 0X926f, 0X51, 0Xdc, 0X6a, 0X63, 0X60, 0X2f, 0X84, 0Xb4)。

screen_info 定义了显存基地址、分辨率、颜色位宽等, 和 Linux 内核 struct screen_info 保持一致, 其数据结构定义如下表:

```
struct screen_info {
    UINT8  orig_x;           /* 0x00 */
    UINT8  orig_y;           /* 0x01 */
    UINT16 ext_mem_k;        /* 0x02 */
    UINT16 orig_video_page; /* 0x04 */
    UINT8  orig_video_mode; /* 0x06 */
    UINT8  orig_video_cols; /* 0x07 */
    UINT8  flags;            /* 0x08 */
    UINT8  unused2;          /* 0x09 */
    UINT16 orig_video_ega_bx; /* 0x0a */
}
```

```
UINT16 unused3;          /* 0x0c */
UINT8  orig_video_lines; /* 0x0e */
UINT8  orig_video_isVGA; /* 0x0f */
UINT16 orig_video_points; /* 0x10 */

/* VESA graphic mode -- linear frame buffer */
UINT16 lfb_width;        /* 0x12 */
UINT16 lfb_height;       /* 0x14 */
UINT16 lfb_depth;        /* 0x16 */
UINT32 lfb_base;         /* 0x18 */
UINT32 lfb_size;         /* 0x1c */
UINT16 cl_magic, cl_offset; /* 0x20 */
UINT16 lfb_linelength;   /* 0x24 */
UINT8  red_size;         /* 0x26 */
UINT8  red_pos;          /* 0x27 */
UINT8  green_size;       /* 0x28 */
UINT8  green_pos;        /* 0x29 */
UINT8  blue_size;        /* 0x2a */
UINT8  blue_pos;         /* 0x2b */
UINT8  rsvd_size;        /* 0x2c */
UINT8  rsvd_pos;         /* 0x2d */
UINT16 vesapm_seg;       /* 0x2e */
UINT16 vesapm_off;       /* 0x30 */
UINT16 pages;            /* 0x32 */
UINT16 vesa_attributes; /* 0x34 */
UINT32 capabilities;     /* 0x36 */
UINT8  _reserved[6];     /* 0x3a */
```

```
};
```

11 总结

本传参规范的提出和制定旨在规范龙芯的固件和内核接口，重点规定了龙芯平台的地址空间划分、中断分配、传参数据结构、ACPI、VBIOS、SMBIOS 约定等方面，使得内核具有更广泛的适应性及兼容性，能有效解决内核对具体板卡设备的依赖性，有利于龙芯系列产品基础软件的规范和统一。

附录 A LINUX 操作系统键值表

按键名称	键值
KEY_RESERVED	0
KEY_ESC	1
KEY_1	2
KEY_2	3
KEY_3	4
KEY_4	5
KEY_5	6
KEY_6	7
KEY_7	8
KEY_8	9
KEY_9	10
KEY_0	11
KEY_MINUS	12
KEY_EQUAL	13
KEY_BACKSPACE	14
KEY_TAB	15
KEY_Q	16
KEY_W	17
KEY_E	18
KEY_R	19
KEY_T	20
KEY_Y	21
KEY_U	22
KEY_I	23
KEY_O	24
KEY_P	25
KEY_LEFTBRACE	26
KEY_RIGHTBRACE	27
KEY_ENTER	28
KEY_LEFTCTRL	29
KEY_A	30

KEY_S	31
KEY_D	32
KEY_F	33
KEY_G	34
KEY_H	35
KEY_J	36
KEY_K	37
KEY_L	38
KEY_SEMICOLON	39
KEY_APOSTROPHE	40
KEY_GRAVE	41
KEY_LEFTSHIFT	42
KEY_BACKSLASH	43
KEY_Z	44
KEY_X	45
KEY_C	46
KEY_V	47
KEY_B	48
KEY_N	49
KEY_M	50
KEY_COMMA	51
KEY_DOT	52
KEY_SLASH	53
KEY_RIGHTSHIFT	54
KEY_KPASTERISK	55
KEY_LEFTALT	56
KEY_SPACE	57
KEY_CAPSLOCK	58
KEY_F1	59
KEY_F2	60
KEY_F3	61
KEY_F4	62
KEY_F5	63
KEY_F6	64
KEY_F7	65

KEY_F8	66
KEY_F9	67
KEY_F10	68
KEY_NUMLOCK	69
KEY_SCROLLLOCK	70
KEY_KP7	71
KEY_KP8	72
KEY_KP9	73
KEY_KPMINUS	74
KEY_KP4	75
KEY_KP5	76
KEY_KP6	77
KEY_KPPLUS	78
KEY_KP1	79
KEY_KP2	80
KEY_KP3	81
KEY_KP0	82
KEY_KPDOT	83
KEY_ZENKAKUHANKAKU	85
KEY_102ND	86
KEY_F11	87
KEY_F12	88
KEY_RO	89
KEY_KATAKANA	90
KEY_HIRAGANA	91
KEY_HENKAN	92
KEY_KATAKANAHIRAGANA	93
KEY_MUHENKAN	94
KEY_KPJPCOMMA	95
KEY_KPENTER	96
KEY_RIGHTCTRL	97
KEY_KPSLASH	98
KEY_SYSRQ	99
KEY_RIGHTALT	100
KEY_LINEFEED	101

KEY_HOME	102
KEY_UP	103
KEY_PAGEUP	104
KEY_LEFT	105
KEY_RIGHT	106
KEY_END	107
KEY_DOWN	108
KEY_PAGEDOWN	109
KEY_INSERT	110
KEY_DELETE	111
KEY_MACRO	112
KEY_MUTE	113
KEY_VOLUMEDOWN	114
KEY_VOLUMEUP	115
KEY_POWER	116
KEY_KPEQUAL	117
KEY_KPPLUSMINUS	118
KEY_PAUSE	119
KEY_SCALE	120
KEY_KPCOMMA	121
KEY_HANGEUL	122
KEY_HANGUEL	KEY_HANGEUL
KEY_HANJA	123
KEY_YEN	124
KEY_LEFTMETA	125
KEY_RIGHTMETA	126
KEY_COMPOSE	127
KEY_STOP	128
KEY_AGAIN	129
KEY_PROPS	130
KEY_UNDO	131
KEY_FRONT	132
KEY_COPY	133
KEY_OPEN	134
KEY_PASTE	135

KEY_FIND	136
KEY_CUT	137
KEY_HELP	138
KEY_MENU	139
KEY_CALC	140
KEY_SETUP	141
KEY_SLEEP	142
KEY_WAKEUP	143
KEY_FILE	144
KEY_SENDFILE	145
KEY_DELETEFILE	146
KEY_XFER	147
KEY_PROG1	148
KEY_PROG2	149
KEY_WWW	150
KEY_MSDOS	151
KEY_COFFEE	152
KEY_SCREENLOCK	KEY_COFFEE
KEY_ROTATE_DISPLAY	153
KEY_DIRECTION	KEY_ROTATE_DISPLAY
KEY_CYCLEWINDOWS	154
KEY_MAIL	155
KEY_BOOKMARKS	156
KEY_COMPUTER	157
KEY_BACK	158
KEY_FORWARD	159
KEY_CLOSECD	160
KEY_EJECTCD	161
KEY_EJECTCLOSECD	162
KEY_NEXTSONG	163
KEY_PLAYPAUSE	164
KEY_PREVIOUSSONG	165
KEY_STOPCD	166
KEY_RECORD	167
KEY_REWIND	168

KEY_PHONE	169
KEY_ISO	170
KEY_CONFIG	171
KEY_HOMEPAGE	172
KEY_REFRESH	173
KEY_EXIT	174
KEY_MOVE	175
KEY_EDIT	176
KEY_SCROLLUP	177
KEY_SCROLLDOWN	178
KEY_KPLEFTPAREN	179
KEY_KPRIGHTPAREN	180
KEY_NEW	181
KEY_REDO	182
KEY_F13	183
KEY_F14	184
KEY_F15	185
KEY_F16	186
KEY_F17	187
KEY_F18	188
KEY_F19	189
KEY_F20	190
KEY_F21	191
KEY_F22	192
KEY_F23	193
KEY_F24	194
KEY_PLAYCD	200
KEY_PAUSECD	201
KEY_PROG3	202
KEY_PROG4	203
KEY_DASHBOARD	204
KEY_SUSPEND	205
KEY_CLOSE	206
KEY_PLAY	207
KEY_FASTFORWARD	208

KEY_BASSBOOST	209
KEY_PRINT	210
KEY_HP	211
KEY_CAMERA	212
KEY_SOUND	213
KEY_QUESTION	214
KEY_EMAIL	215
KEY_CHAT	216
KEY_SEARCH	217
KEY_CONNECT	218
KEY_FINANCE	219
KEY_SPORT	220
KEY_SHOP	221
KEY_ALTERASE	222
KEY_CANCEL	223
KEY_BRIGHTNESSDOWN	224
KEY_BRIGHTNESSUP	225
KEY_MEDIA	226
KEY_SWITCHVIDEOMODE	227
KEY_KBDILLUMTOGGLE	228
KEY_KBDILLUMDOWN	229
KEY_KBDILLUMUP	230
KEY_SEND	231
KEY_REPLY	232
KEY_FORWARDMAIL	233
KEY_SAVE	234
KEY_DOCUMENTS	235
KEY_BATTERY	236
KEY_BLUETOOTH	237
KEY_WLAN	238
KEY_UWB	239
KEY_UNKNOWN	240
KEY_VIDEO_NEXT	241
KEY_VIDEO_PREV	242
KEY_BRIGHTNESS_CYCLE	243

KEY_BRIGHTNESS_AUTO	244
KEY_BRIGHTNESS_ZERO	KEY_BRIGHTNESS_AUTO
KEY_DISPLAY_OFF	245
KEY_WWAN	246
KEY_WIMAX	KEY_WWAN
KEY_RFKILL	247
KEY_MICMUTE	248
KEY_OK	0x160
KEY_SELECT	0x161
KEY_GOTO	0x162
KEY_CLEAR	0x163
KEY_POWER2	0x164
KEY_OPTION	0x165
KEY_INFO	0x166
KEY_TIME	0x167
KEY_VENDOR	0x168
KEY_ARCHIVE	0x169
KEY_PROGRAM	0x16a
KEY_CHANNEL	0x16b
KEY_FAVORITES	0x16c
KEY_EPG	0x16d
KEY_PVR	0x16e
KEY_MHP	0x16f
KEY_LANGUAGE	0x170
KEY_TITLE	0x171
KEY_SUBTITLE	0x172
KEY_ANGLE	0x173
KEY_ZOOM	0x174
KEY_MODE	0x175
KEY_KEYBOARD	0x176
KEY_SCREEN	0x177
KEY_PC	0x178
KEY_TV	0x179
KEY_TV2	0x17a
KEY_VCR	0x17b

KEY_VCR2	0x17c
KEY_SAT	0x17d
KEY_SAT2	0x17e
KEY_CD	0x17f
KEY_TAPE	0x180
KEY_RADIO	0x181
KEY_TUNER	0x182
KEY_PLAYER	0x183
KEY_TEXT	0x184
KEY_DVD	0x185
KEY_AUX	0x186
KEY_MP3	0x187
KEY_AUDIO	0x188
KEY_VIDEO	0x189
KEY_DIRECTORY	0x18a
KEY_LIST	0x18b
KEY_MEMO	0x18c
KEY_CALENDAR	0x18d
KEY_RED	0x18e
KEY_GREEN	0x18f
KEY_YELLOW	0x190
KEY_BLUE	0x191
KEY_CHANNELUP	0x192
KEY_CHANNELDOWN	0x193
KEY_FIRST	0x194
KEY_LAST	0x195
KEY_AB	0x196
KEY_NEXT	0x197
KEY_RESTART	0x198
KEY_SLOW	0x199
KEY_SHUFFLE	0x19a
KEY_BREAK	0x19b
KEY_PREVIOUS	0x19c
KEY_DIGITS	0x19d
KEY_TEEN	0x19e

KEY_TWEN	0x19f
KEY_VIDEOPHONE	0x1a0
KEY_GAMES	0x1a1
KEY_ZOOMIN	0x1a2
KEY_ZOOMOUT	0x1a3
KEY_ZOOMRESET	0x1a4
KEY_WORDPROCESSOR	0x1a5
KEY_EDITOR	0x1a6
KEY_SPREADSHEET	0x1a7
KEY_GRAPHICSEDITOR	0x1a8
KEY_PRESENTATION	0x1a9
KEY_DATABASE	0x1aa
KEY_NEWS	0x1ab
KEY_VOICEMAIL	0x1ac
KEY_ADDRESSBOOK	0x1ad
KEY_MESSENGER	0x1ae
KEY_DISPLAYTOGGLE	0x1af
KEY_BRIGHTNESS_TOGGLE	KEY_DISPLAYTOGGLE
KEY_SPELLCHECK	0x1b0
KEY_LOGOFF	0x1b1
KEY_DOLLAR	0x1b2
KEY_EURO	0x1b3
KEY_FRAMEBACK	0x1b4
KEY_FRAMEFORWARD	0x1b5
KEY_CONTEXT_MENU	0x1b6
KEY_MEDIA_REPEAT	0x1b7
KEY_10CHANNELSUP	0x1b8
KEY_10CHANNELSDOWN	0x1b9
KEY_IMAGES	0x1ba
KEY_DEL_EOL	0x1c0
KEY_DEL_EOS	0x1c1
KEY_INS_LINE	0x1c2
KEY_DEL_LINE	0x1c3
KEY_FN	0x1d0
KEY_FN_ESC	0x1d1

KEY_FN_F1	0x1d2
KEY_FN_F2	0x1d3
KEY_FN_F3	0x1d4
KEY_FN_F4	0x1d5
KEY_FN_F5	0x1d6
KEY_FN_F6	0x1d7
KEY_FN_F7	0x1d8
KEY_FN_F8	0x1d9
KEY_FN_F9	0x1da
KEY_FN_F10	0x1db
KEY_FN_F11	0x1dc
KEY_FN_F12	0x1dd
KEY_FN_1	0x1de
KEY_FN_2	0x1df
KEY_FN_D	0x1e0
KEY_FN_E	0x1e1
KEY_FN_F	0x1e2
KEY_FN_S	0x1e3
KEY_FN_B	0x1e4
KEY_BRL_DOT1	0x1f1
KEY_BRL_DOT2	0x1f2
KEY_BRL_DOT3	0x1f3
KEY_BRL_DOT4	0x1f4
KEY_BRL_DOT5	0x1f5
KEY_BRL_DOT6	0x1f6
KEY_BRL_DOT7	0x1f7
KEY_BRL_DOT8	0x1f8
KEY_BRL_DOT9	0x1f9
KEY_BRL_DOT10	0x1fa
KEY_NUMERIC_0	0x200
KEY_NUMERIC_1	0x201
KEY_NUMERIC_2	0x202
KEY_NUMERIC_3	0x203
KEY_NUMERIC_4	0x204
KEY_NUMERIC_5	0x205

KEY_NUMERIC_6	0x206
KEY_NUMERIC_7	0x207
KEY_NUMERIC_8	0x208
KEY_NUMERIC_9	0x209
KEY_NUMERIC_STAR	0x20a
KEY_NUMERIC_POUND	0x20b
KEY_NUMERIC_A	0x20c
KEY_NUMERIC_B	0x20d
KEY_NUMERIC_C	0x20e
KEY_NUMERIC_D	0x20f
KEY_CAMERA_FOCUS	0x210
KEY_WPS_BUTTON	0x211
KEY_TOUCHPAD_TOGGLE	0x212
KEY_TOUCHPAD_ON	0x213
KEY_TOUCHPAD_OFF	0x214
KEY_CAMERA_ZOOMIN	0x215
KEY_CAMERA_ZOOMOUT	0x216
KEY_CAMERA_UP	0x217
KEY_CAMERA_DOWN	0x218
KEY_CAMERA_LEFT	0x219
KEY_CAMERA_RIGHT	0x21a
KEY_ATTENDANT_ON	0x21b
KEY_ATTENDANT_OFF	0x21c
KEY_ATTENDANT_TOGGLE	0x21d
KEY_LIGHTS_TOGGLE	0x21e
KEY_ALS_TOGGLE	0x230
KEY_ROTATE_LOCK_TOGGLE	0x231
KEY_BUTTONCONFIG	0x240
KEY_TASKMANAGER	0x241
KEY_JOURNAL	0x242
KEY_CONTROLPANEL	0x243
KEY_APPSELECT	0x244
KEY_SCREENSAVER	0x245
KEY_VOICECOMMAND	0x246
KEY_ASSISTANT	0x247

KEY_BRIGHTNESS_MIN	0x250
KEY_BRIGHTNESS_MAX	0x251
KEY_KBDINPUTASSIST_PREV	0x260
KEY_KBDINPUTASSIST_NEXT	0x261
KEY_KBDINPUTASSIST_PREVGR OUP	0x262
KEY_KBDINPUTASSIST_NEXTGR OUP	0x263
KEY_KBDINPUTASSIST_ACCEPT	0x264
KEY_KBDINPUTASSIST_CANCEL	0x265
KEY_RIGHT_UP	0x266
KEY_RIGHT_DOWN	0x267
KEY_LEFT_UP	0x268
KEY_LEFT_DOWN	0x269
KEY_ROOT_MENU	0x26a
KEY_MEDIA_TOP_MENU	0x26b
KEY_NUMERIC_11	0x26c
KEY_NUMERIC_12	0x26d
KEY_AUDIO_DESC	0x26e
KEY_3D_MODE	0x26f
KEY_NEXT_FAVORITE	0x270
KEY_STOP_RECORD	0x271
KEY_PAUSE_RECORD	0x272
KEY_VOD	0x273
KEY_UNMUTE	0x274
KEY_FASTREVERSE	0x275
KEY_SLOWREVERSE	0x276
KEY_DATA	0x277
KEY_ONSCREEN_KEYBOARD	0x278
SW_LID	0x00
SW_TABLET_MODE	0x01
SW_HEADPHONE_INSERT	0x02
SW_RFKILL_ALL	0x03
SW_RADIO	SW_RFKILL_ALL

SW_MICROPHONE_INSERT	0x04
SW_DOCK	0x05
SW_LINEOUT_INSERT	0x06
SW_JACK_PHYSICAL_INSERT	0x07
SW_VIDEOOUT_INSERT	0x08
SW_CAMERA_LENS_COVER	0x09
SW_KEYPAD_SLIDE	0x0a
SW_FRONT_PROXIMITY	0x0b
SW_ROTATE_LOCK	0x0c
SW_LINEIN_INSERT	0x0d
SW_MUTE_DEVICE	0x0e
SW_PEN_INSERTED	0x0f
SW_MAX	0x0f

附录 B 龙芯 ACPI 设备 ID

设备 ID	说明
LOON0000	热键设备
LOON0001	芯片组 RTC 模块
LOON0002	芯片组集成的普通 GPIO
LOON0003	处理器 SE 模块
LOON0004	芯片组 I2C 控制器
LOON0005	GPIO 模拟 I2C
LOON0006	芯片组 PWM 控制器
LOON0007	处理器集成的 GPIO
LOON0008	处理器温度传感器
LOON0009	芯片组 CAN 控制器

龙芯 **7A1000** 固件开发规范

V1.0

版本信息

文档信息	文档名	龙芯 7A1000 固件开发规范
	版本号	V1.0
	创建人	系统研发部
版本历史		
序号	版本号	更新内容
1	V0.1	发布文档初始版本 V0.1 版。
2	V0.2	1 增加对 ACPI GSI 的支持。 2 增加对 irqdomain 的支持。 3 增加对 ACPI 配置参考信息。
3	V0.3	1 FADT 的 flags 更新 2 中断模型更新 3 MCFG 支持 4 多桥支持 5 SLIT 支持 6 GPIO 多中断支持 7 SE 设备 ACPI 支持 8 温度传感器配置支持 9 SPCR 支持 10 背光调节支持
4	V1.0	1、修改了部分章节序号、图表序号以及语句描述 2、1.1 节更新配置寄存器基址 3、删除了原 1.2 节 LPC 控制器的约束 4、1.2 节更新了 VBIOS 传递方式 5、1.3 节更新了 GMAC 的约束 6、1.5 节增加了多芯片组的中断相关描述 7、2.3.1 节增加了 _OSC 方法的支持 8、2.3.11 节增加了 EC 配置 9、2.5 更新了 S3 休眠地址的对象数值 10、2.3 去掉温度传感器配置

目录

前言.....	5
1 设计约束.....	1
1.1 Audio Codec.....	1
1.2 VBIOS.....	1
1.3 GMAC.....	1
1.4 DMA 地址映射.....	2
1.5 中断.....	2
1.5.1 龙芯 5000 系列处理器+7A1000 中断.....	2
1.6 地址空间.....	5
1.6.1 龙芯 5000 系列处理器+7A1000 地址空间.....	5
2 参考配置.....	7
2.1 MADT 配置.....	7
2.2 FADT 配置.....	9
2.3 DSDT 配置.....	12
2.3.1 PCI 总线枚举.....	12
2.3.2 设备电源管理.....	19
2.3.3 系统休眠唤醒.....	19
2.3.4 串口配置.....	20
2.3.5 GPIO 配置.....	21
2.3.6 I2C 配置.....	23
2.3.7 RTC 配置.....	24
2.3.8 PWM 配置.....	25
2.3.9 热区管理.....	26
2.3.10 SE 设备.....	27
2.3.11 EC 配置.....	28
2.4 FACS 配置.....	28
2.5 S3 休眠地址.....	28
2.6 SRAT 配置.....	28
2.7 MCFG 配置.....	30
2.8 SLIT 配置.....	31
2.9 SPCR 配置.....	31

前 言

本规范面向固件软件开发人员，在《龙芯 3 号 CPU 固件与内核接口规范 V4.0》基础上针对 7A1000 的固件开发约束进行补充说明。

1 设计约束

1.1 Audio Codec

固件通过 Verb Table 机制实现不同板卡中对声卡的差异化设计。固件开发人员需要根据具体主板的声卡设计正确填写 Verb Table。具体参考龙芯代码中关于 Realtek 的 Verb Table 配置实现。

注意：

须确认芯片组 HDA 引脚工作在 HDA 模式（芯片组配置寄存器偏移 0x0440 寄存器的 12:11 为 x1b。芯片组配置寄存器基址需要固件下进行配置，参考代码配置寄存器基址为：0x0e0010010000）。

1.2 VBIOS

7A1000 内部包含图形处理器（以下简称 GPU），位于 D6:F0；内核下 GPU 需要 Video BIOS（以下简称 VBIOS）的支撑才可以工作正常。

固件对 VBIOS 处理方式：将固件内默认 VBIOS 全部读取到内置显卡 BAR2 空间的最后 1MB。

1.3 GMAC

7A1000 包含两个 GMAC 控制器，固件分别从 7A1000 SPI flash 偏移 0x0 和 0x10 处读取 MAC0 和 MAC1 地址信息，并判断是否合法，如果合法，并写入相应 GMAC 的 MAC 地址寄存器中；如果非法，将随机数写入相应 GMAC 的 MAC 地址寄存器中。

具体寄存器定义见表 1-1 和 1-2：

表 1-1 GMAC0/GMAC1 Address High Register(Offset 0x40)

位域	名称	默认值	描述
31	MO: Always 1	0x0	保留
30:1 6	Reserved	0x0	保留
15:0	MAC Address0[47:32] MAC 地址高 16 位	0x0	存放用于接收地址过滤和传输流控帧的 MAC 地址。

表 1-2 GMAC0/GMAC1 Address Low Register(Offset 0x44)

位域	名称	默认值	描述
31:0	MAC Address0[31:0]	0x0	存放用于接收地址过滤和传输流控帧的 MAC 地址。

	MAC 地址低 32 位		
--	--------------	--	--

1.4 DMA 地址映射

对于不支持超过 44 位 DMA 地址的设备，固件需要调整 7A1000 的 DMA 路由配置以支持此类设备。参考 7A1000 用户手册第 4.1 节，DMA 路由配置寄存器 (0x041C) 的 [12:8] 位，具体实现参考龙芯代码。寄存器定义见表 1-3:

表 1-3 DMA 路由配置寄存器 [12:8] 位

位域	名称	访问	描述
12:8	dma_node_id_offset	RW	DMA 访问中节点号所在的地址偏移 (相对于 bit36)

1.5 中断

1.5.1 龙芯 5000 系列处理器+7A1000 中断

龙芯 5000 系列处理器+7A1000 方案, 芯片组中断控制器管理的中断可通过中断线或 HT 路由至处理器, MSI 中断通过 HT 路由至处理器, 以上中断最终路由至处理器核。见图 1-1 所示。

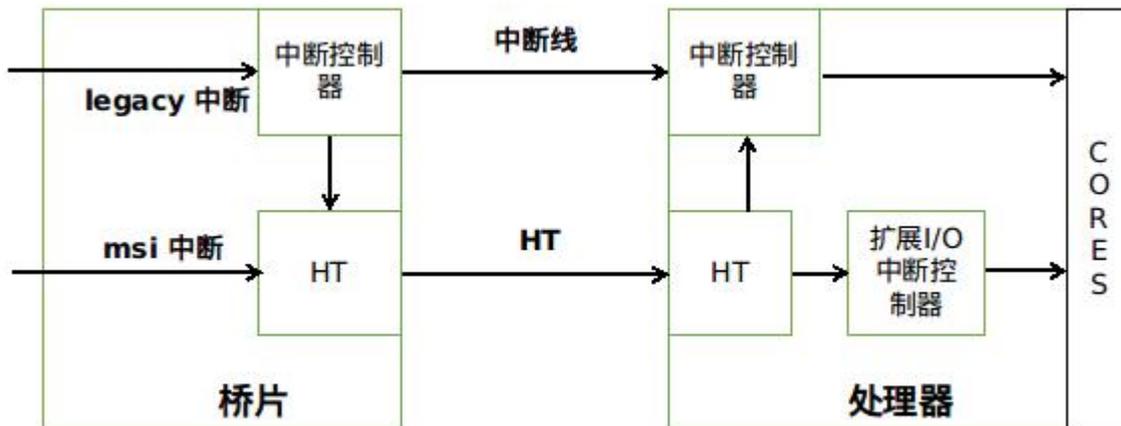


图 1-1 龙芯 5000 系列处理器+7A1000 中断路由示意图

7A1000 系统依据 ACPI 规范使用 GSI (global system interrupts, 全局系统中断) 为中断源分配虚拟化的中断号, 一个 GSI 类型的虚拟中断号唯一标识了其所属的中断域, 内核按照不同的中断域实现中断管理。各个中断域对应的 GSI 中断号范围约定如下:

- 0-15: LPC/ISA 中断域, 用于系统外扩 LPC 设备中断源, 如表 1-4 所示, 具体分配情况参考 LPC 设备说明。

表 1-4 LPC/ISA 中断域 GSI 分配

GSI 中断号	中断源	说明
0	HPET	HPET 高精度定时器
1	I8042	键盘
2	级联	

3		
4		
5		
6		
7		
8	RTC	实时时钟
9		
10		
11		
12	I8042	鼠标
13		
14	ide0	硬盘
15	Ide1	硬盘

- 16-47：处理器 I/O 中断控制器中断域，其 GSI 中断号与中断源向量号的映射关系：
GSI 中断号 = 中断源向量号 + 16
中断源向量号为处理器手册中某个中断源在中断控制寄存器中的索引，具体参考龙芯 5000 系列处理器手册。
- 48-49：保留。
- 50-63：处理器核中断域，保留给 CPU 内部中断源，如表 1-5：

表 1-5 处理器核中断域 GSI 分配

中断号	中断源	说明
50		
51		
52	处理器 I/O 中断控制器	处理器集成设备的 I/O 中断
53	处理器 I/O 中断控制器/扩展 I/O 中断控制器	经芯片组路由至处理器的其他 I/O 中断
54		
55		
56		
57		
58		
59		
60		
61	处理器核 timer 中断	
62		
63		

- 64-127：芯片组 I/O 中断控制器中断域。其 GSI 中断号与中断源向量号的映射关系：
GSI 中断号 = 中断源向量号 + GSI base
中断源向量号为芯片组手册中某个中断源在中断控制寄存器中的索引，具体参考龙芯 7A1000 用户手

册；

GSI base 为 MADT 表中当前芯片组 BIO PIC 结构的 GSI base 成员。

其中单芯片组集成或外接的 PCI 兼容设备分配的中断号如表 1-6：

表 1-6 单芯片组 I/O 中断控制器中断域 GSI 分配

中断号	中断源	中断号	中断源
64		96	pcie_f0_0
65		97	pcie_f0_1
66		98	pcie_f0_2
67		99	pcie_f0_3
68		100	pcie_f1_0
69		101	pcie_f1_1
70		102	pcie_h_lo
71		103	pcie_h_hi
72	uart[3:0]	104	pcie_g0_hi
73	i2c[5:0]	105	pcie_g0_lo
74		106	pcie_g1_lo
75		107	pcie_g1_hi
76	gmac0_sbd	108	toy[0]
77	gmac0_pmt	109	toy[1]
78	gmac1_sbd	110	toy[2]
79	gmac1_pmt	111	acpi
80	sata[0]	112	usb_0_ehci
81	sata[1]	113	usb_0_ohci
82	sata[2]	114	usb_1_ehci
83	lpc	115	usb_1_ohci
84		116	rtc[0]
85		117	rtc[1]
86		118	rtc[2]
87		119	hpet_int
88	pwm[0]	120	ac97_dma[0]
89	pwm[1]	121	ac97_dma[1]
90	pwm[2]	122	ac97/hda
91	pwm[3]	123	gpio_hi
92	dc	124	gpio[0]
93	gpu	125	gpio[1]
94	gmem	126	gpio[2]
95	thsens	127	gpio[3]

注意：

(1) 根据 7A1000 硬件规范, 若使用 EC 时需要使用 SCI 中断, 此中断需要硬件连接到 7A1000 电源管理模块的 LID 管脚, 信号约束参照硬件设计规范, 对应 GSI 中断源为 111 号。

(2) 对于多芯片组系统, 非 PCI 兼容设备的中断源仅在一个芯片组上可用。

1.6 地址空间

1.6.1 龙芯 5000 系列处理器+7A1000 地址空间

龙芯 5000 系列处理器+7A1000 地址空间如图 1-2 所示:

0xYF FF FFFF FFFF	Reserved
0xYF 00 0000 0000	PCI EXT CFG
0xYE FE 0000 0000	Reserved
0xYE FD 0000 0000	PCI EXT MEM
0xYE 00 8000 0000	7A HT1 Io
0xYE 00 0000 0000	Reserved
MEM_MAX_ADDR	System RAM
0xY0 00 9000 0000	System RAM/Reserved
0xY0 00 8000 0000	PCI MEM
0xY0 00 2000 0000	CPU Registers
0xY0 00 1C00 0000	PCI CFG
0xY0 00 1A00 0000	PCI I/O
0xY0 00 1800 0000	Chipset Registers
0xY0 00 1000 0000	System RAM/Reserved
0xY0 00 0000 0000	

图 1-2 龙芯 5000 系列处理器+7A1000 地址空间划分

地址中的 Y 代表节点号 (0-15), 各个地址空间说明如下:

0xY0 00 0000 0000 - 0xY0 00 0FFF FFFF: 对于 0 号节点, 表示内存, 对于非 0 号节点, 表示保留空间

0xY0 00 1000 0000 - 0xY0 00 17FF FFFF: 连接到处理器节点 Y 的芯片组寄存器

0xY0 00 1800 0000 - 0xY0 00 19FF FFFF: 连接到处理器节点 Y 的 PCI I/O 空间

0xY0 00 1A00 0000 - 0xY0 00 1BFF FFFF: 连接到处理器节点 Y 的 PCI 配置空间

0xY0 00 1C00 0000 - 0xY0 00 1FFF FFFF: 处理器节点 Y 的低速设备寄存器

0xY0 00 2000 0000 - 0xY0 00 7FFF FFFF: 连接到处理器节点 Y 的 32 位 PCI MEM 空间

0xY0 00 8000 0000 - 0xY0 00 8FFF FFFF: 对于非 0 号节点, 表示内存, 对于 0 号节点, 表示保留空间

0xY0 00 9000 0000 - MEM_MAX_ADDR: 内存, MEM_MAX_ADDR 的取值见表 1-7:

表 1-7 MEM_MAX_ADDR 的取值

系统中的节点数	MEM_MAX_ADDR
1	0xY1 00 0000 0000

2	0xY0 80 0000 0000
4	0xY0 40 0000 0000
8	0xY0 20 0000 0000
16	0xY0 10 0000 0000

0xY1 00 0000 0000 - 0xYD FF FFFF FFFF: 保留

0xYE 00 0000 0000 - 0xYE 00 7FFF FFFF: 7A HT1 lo 地址空间

0xYE 00 8000 0000 - 0xYE FC FFFF FFFF: 连接到处理器节点 Y 的扩展 PCI MEM 空间

0xYE FD 0000 0000 - 0xYE FD FFFF FFFF: 保留

0xYE FE 0000 0000 - 0xYE FF FFFF FFFF: 连接到处理器节点 Y 的扩展 PCI 配置空间

0xYF 00 0000 0000 - 0xYF FF FFFF FFFF: 保留

注:

0 号节点: 两端内存, 非 0 号节点, 直接从 0xY00080000000 开始一段内存。

以节点 0 地址为例, 龙芯 5000 系列处理器+7A1000 地址空间的详细分布如表 1-8:

表 1-8 龙芯 5000 系列处理器+7A1000 地址空间分布

	起始地址	结束地址	说明
地址 0	0x0000_0000_0000_0000	0x0000_0000_0FFF_FFFF	内存
地址 1	0x0000_0000_1000_0000	0x0000_0000_17FF_FFFF	32 位模式下 7A 设备寄存器空间
地址 2	0x0000_0000_1800_0000	0x0000_0000_1801_FFFF	32 位模式下 7A LPC 的 IO 空间
地址 3	0x0000_0000_1802_0000	0x0000_0000_19FF_FFFF	32 位模式下 7A PCI 的 IO 空间
地址 4	0x0000_0000_1A00_0000	0x0000_0000_1BFF_FFFF	32 位模式下 7A PCI 的配置空间
地址 5	0x0000_0000_1C00_0000	0x0000_0000_1DFF_FFFF	SPI Memory1
地址 6	0x0000_0000_1FC0_0000	0x0000_0000_1FCF_FFFF	SPI Memory0
地址 7	0x0000_0000_1FE0_01E0	0x0000_0000_1FE0_01E7	UART 0
地址 8	0x0000_0000_1FE0_01E8	0x0000_0000_1FE0_01EF	UART 1
地址 9	0x0000_0000_1FE0_01F0	0x0000_0000_1FE0_01FF	SPI Register
地址 10	0x0000_0000_2000_0000	0x0000_0000_7FFF_FFFF	7A 中 PCI MEM 空间
地址 11	0x0000_0000_8000_0000	0x0000_0000_8FFF_FFFF	保留
地址 12	0x0000_0000_9000_0000	MEM_MAX_ADDR	内存
地址 13	0x0000_0E00_1000_0000	0x0000_0E00_1000_0FFF	7A 中断控制器空间
地址 14	0x0000_0E00_1000_1000	0x0000_0E00_1000_1FFF	7A 中 HPET 寄存器空间
地址 15	0x0000_0E00_1000_2000	0x0000_0E00_1000_2FFF	7A 中 LPC 控制寄存器空间
地址 16	0x0000_0E00_1001_0000	0x0000_0E00_1001_FFFF	7A 中 confbus 空间
地址 17	0x0000_0E00_1008_0000	0x0000_0E00_100F_FFFF	7A 中 misc 设备寄存器空间
地址 18	0x0000_0E00_1200_0000	0x0000_0E00_13FF_FFFF	7A 中 LPC MEM 空间
地址 19	0x0000_0E00_2000_0000	0x0000_0EFC_FFFF_FFFF	7A 中 PCI MEM 空间
地址 20	0x0000_0EFD_FC00_0000	0x0000_0EFD_FDFF_FFFF	HT1 的 I/O 空间
地址 21	0x0000_0EFD_FE00_0000	0x0000_0EFD_FFFF_FFFF	HT1 的总线配置空间

2 参考配置

2.1 MADT 配置

表 2-1 MADT 表约束

域	大小 (字节)	偏移 (字节)	描述
Header			
Signature	4	0	'APIC'
Revision	1	8	1
Local Interrupt Controller Address	4	36	0x1fe01400

表 2-2 CORE PIC 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	0x11
Length	1	1	15
Version	1	2	1
ACPI Processor ID	4	3	处理器核 UID, 与 DSDT 处理器对象中的 _UID 值相同
Physical Processor ID	4	7	CPU 核物理 ID
Flags	4	11	CORE PIC 的标志, 参考表 2-3

表 2-3 CORE PIC 标志

CORE PIC Flags	大小 (比特)	偏移 (比特)	描述
Enabled	1	0	0: CPU 不可用 1: CPU 可用
Reserved	31	1	必须为 0

MADT 表的 LIO PIC 结构参考如下表 2-4:

表 2-4 LIO PIC 结构

域	大小	偏移	描述
---	----	----	----

	(字节)	(字节)	
Type	1	0	0x12, LIO PIC 结构
Length	1	1	23
Version	1	2	1
Base Address	8	3	0x1FE01400
Size	2	11	0x80
Cascade vector	2	13	0x0002
Cascade vector mapping	8	15	0x0000000000FFFFFF

MADT 表的 EIO PIC 结构参考如下表 2-5，每个芯片组连接的处理器节点对应一个 EIO PIC 结构：

表 2-5 EIO PIC 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	0x14, EIO PIC 结构
Length	1	1	4
Version	1	2	1
Cascade vector	1	3	3+N, N 为 EIO PIC 结构从 0 开始的序号
Node	1	4	连接芯片组的处理器节点 ID
Node map	8	5	EIO 中断路由的处理器节点组, bit0-63 分别表示 0-63 节点

注： EIO PIC 结构中描述的节点表示扩展 IO 中断节点的概念，详见相关处理器手册扩展 IO 中断章节。

MADT 表的 MSI PIC 结构参考如下表 2-6，每个芯片组对应一个相同的 MSI PIC 结构：

表 2-6 MSI PIC 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	0x15, MSI PIC 结构
Length	1	1	19
Version	1	2	1
Message Address	8	3	0x2FF00000
Start	4	11	0x40
Count	4	15	0xc0

MADT 表的 BIO PIC 结构参考如下表 2-7：

表 2-7 BIO PIC 结构

域	大小 (字节)	偏移 (字节)	描述
---	------------	------------	----

Type	1	0	0x16, BIO PIC 结构
Length	1	1	17
Version	1	2	1
Base Address	8	3	0x10000000
Size	2	11	0x1000
Hardware ID	2	13	0
GSI base	2	15	0x40

对于双桥片的主板（以桥 0 连接到 0 节点，桥 1 连接到 N 节点为例），需要再添加一组 BIO PIC 结构的描述，参考如下表 2-8：

表 2-8 BIO PIC 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	0x16, BIO PIC 结构
Length	1	1	17
Version	1	2	1
Base Address	8	3	0xNE0010000000
Size	2	11	0x1000
Hardware ID	2	13	N
GSI base	2	15	0x80

MADT 表的 LPC PIC 结构参考如下表 2-9：

表 2-9 LPC PIC 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	0x17, LPC PIC 结构
Length	1	1	15
Version	1	2	1
Base Address	8	3	0x10002000
Size	2	11	0x1000
Cascade vector	2	13	0x13

2.2 FADT 配置

此表为操作系统提供了 Fixed 硬件 ACPI 描述信息，相关约束见表 2-10。

表 2-10 FADT 表约束

域	大小 (字节)	偏移 (字节)	描述
---	------------	------------	----

Header			
Signature	4	0	'FACP'
Length	4	4	表的长度，包括表头，从偏移量 0 开始。用于记录整个表的大小
FADT Major Version	1	8	3
FIRMWARE_CTRL	4	36	0
DSDT	4	40	0
Reserved	1	44	0
SCI_INT	2	46	0x6f
SMI_CMD	4	48	0
ACPI_ENABLE	1	52	0
ACPI_DISABLE	1	53	0
S4BIOS_REQ	1	54	0
PSTATE_CNT	1	55	0
PM1a_EVT_BLK	4	56	0
PM1b_EVT_BLK	4	60	0
PM1a_CNT_BLK	4	64	0
PM1b_CNT_BLK	4	68	0
PM2_CNT_BLK	4	72	0
PM_TMR_BLK	4	76	0
GPE0_BLK	4	80	0
GPE1_BLK	4	84	0
PM1_EVT_LEN	1	88	8
PM1_CNT_LEN	1	89	4
PM2_CNT_LEN	1	90	0
PM_TMR_LEN	1	91	4
GPE0_BLK_LEN	1	92	8
GPE1_BLK_LEN	1	93	0
GPE1_BASE	1	94	0
CST_CNT	1	95	0
P_LVL2_LAT	2	96	0x65
P_LVL3_LAT	2	98	0x3e9
FLUSH_SIZE	2	100	0
FLUSH_STRIDE	2	102	0
DUTY_OFFSET	1	104	0
DUTY_WIDTH	1	105	0
DAY_ALARM	1	106	0
MON_ALARM	1	107	0
CENTURY	1	108	0

IAPC_BOOT_ARCH	2	109	0
Reserved	1	111	0
Flags	4	112	默认值为 0x425，包含如下标志： WBINVD、PROC_C1、SLP_BUTTON、RESET_REG_SUP
RESET_REG	12	116	见表 2-11
RESET_VALUE	1	128	0x01
ARM_BOOT_ARCH	2	129	0
FADT Minor Version	1	131	0
X_FIRMWARE_CTRL	8	132	FACS 64bit 地址，固件动态生成
X_DSDT	8	140	DSDT 64bit 地址，固件动态生成
X_PM1a_EVT_BLK	12	148	见表 2-12
X_PM1b_EVT_BLK	12	160	此结构中成员全为 0
X_PM1a_CNT_BLK	12	172	见表 2-13
X_PM1b_CNT_BLK	12	184	此结构中成员全为 0
X_PM2_CNT_BLK	12	196	此结构中成员全为 0
X_PM_TMR_BLK	12	208	见表 2-14
X_GPE0_BLK	12	220	见表 2-15
X_GPE1_BLK	12	232	此结构中成员全为 0

注：UEFI 固件动态生成 X_FIRMWARE_CTRL 与 X_DSDT 之前，需将其初始化为 0。

表 2-11 reset 寄存器结构

域	大小 (字节)	偏移 (字节)	描述
Address Space Id	1	0	0
Reg Bit Width	1	1	0x20
Reg Bit Offset	1	2	0
Reserved	1	3	0
Address	8	4	0x00000000100d0030

表 2-12 PM1a EVT 寄存器结构

域	大小 (字节)	偏移 (字节)	描述
Address Space Id	1	0	0,
Reg Bit Width	1	1	0x40
Reg Bit Offset	1	2	0
Reserved	1	3	0
Address	8	4	0x00000000100d000c

表 2-13 PM1a_CNT 寄存器结构

域	大小 (字节)	偏移 (字节)	描述
Address Space Id	1	0	0,
Reg Bit Width	1	1	0x20
Reg Bit Offset	1	2	0
Reserved	1	3	0
Address	8	4	0x00000000100d0014

表 2-14 PM_TMR 寄存器结构

域	大小 (字节)	偏移 (字节)	描述
Address Space Id	1	0	0,
Reg Bit Width	1	1	0x20
Reg Bit Offset	1	2	0
Reserved	1	3	0
Address	8	4	0x00000000100d0018

表 2-15 GPE0 寄存器结构

域	大小 (字节)	偏移 (字节)	描述
Address Space Id	1	0	0,
Reg Bit Width	1	1	0x40
Reg Bit Offset	1	2	0
Reserved	1	3	0
Address	8	4	0x00000000100d0028

2.3 DSDT 配置

2.3.1 PCI 总线枚举

_SEG (Segment) 方法描述了 PCI 段号。

_CRS (Current Resource Settings) 方法支持总线范围、IO 地址范围以及内存地址范围声明。

_OSC (Operating System Capabilities) 方法，当配置了 _OSC 时，仅支持 AER、PME 和 PCI Express Capability Structure control。

(1) PCIE 单主桥配置参考如下：

- _SEG 为 0
- _CRS

使用 WordBusNumber()宏声明 PCI 总线号范围，如表 2-16：

表 2-16 PCI 总线号范围

参数名	值
ResourceUsage	ResourceProducer
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Decode	PosDecode
AddressGranularity	0x0
AddressMinimum	0x0
AddressMaximum	0x00FF
AddressTranslation	0x0000
RangeLength	0x0100
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空

使用 QWordIO()宏声明 PCI I/O 地址范围，如表 2-17：

表 2-17 PCI I/O 地址范围

参数名	值
ResourceUsage	ResourceProducer
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Decode	PosDecode
ISARanges	EntireRange
AddressGranularity	0x0000000000000000
AddressMinimum	0x0000000000000000
AddressMaximum	0x000000000000FFFF
AddressTranslation	0x0000000018000000
RangeLength	0x0000000000010000
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
TranslationType	值为空
TranslationDensity	值为空

使用 QWordMemory()宏声明 32 位 PCI MEM 地址范围如表 2-18：

表 2-18 32 位 PCI MEM 地址范围

参数名	值
-----	---

ResourceUsage	ResourceProducer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	Cacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x0000000000000000
AddressMinimum	0x0000000020000000
AddressMaximum	0x000000007FFFFFFF
AddressTranslation	0x00000E0000000000
RangeLength	0x0000000060000000
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	值为空
TranslationType	值为空

使用 QWordMemory()宏声明 64 位 PCI MEM 地址范围如表 2-19:

表 2-19 64 位 PCI MEM 地址范围

参数名	值
ResourceUsage	ResourceProducer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	Cacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x0000000000000000
AddressMinimum	0x0000000100000000
AddressMaximum	0x0000007FFFFFFF
AddressTranslation	0x00000E0000000000
RangeLength	0x0000007F00000000
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	值为空
TranslationType	值为空

(2) PCIE 双主桥配置参考如下:

主桥一的配置:

- _SEG 为 0
- _CRS

使用 WordBusNumber()宏声明 PCI 总线号范围, 如表 2-20:

表 2-20 PCI 总线号范围

参数名	值
ResourceUsage	ResourceProducer
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Decode	PosDecode
AddressGranularity	0x0
AddressMinimum	0x0
AddressMaximum	0x00FF
AddressTranslation	0x0000
RangeLength	0x0100
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空

使用 QWordIO()宏声明 PCI I/O 地址范围, 如表 2-21:

表 2-21 PCI I/O 地址范围

参数名	值
ResourceUsage	ResourceProducer
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Decode	PosDecode
ISARanges	EntireRange
AddressGranularity	0x0000000000000000
AddressMinimum	0x0000000000000000
AddressMaximum	0x000000000000FFFF
AddressTranslation	0x0000000018000000
RangeLength	0x0000000000010000
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
TranslationType	值为空
TranslationDensity	值为空

使用 QWordMemory()宏声明 32 位 PCI MEM 地址范围，如表 2-22:

表 2-22 32 位 PCI MEM 地址范围

参数名	值
ResourceUsage	ResourceProducer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	Cacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x0000000000000000
AddressMinimum	0x0000000020000000
AddressMaximum	0x000000007FFFFFFF
AddressTranslation	0x00000E0000000000
RangeLength	0x0000000060000000
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	值为空
TranslationType	值为空

使用 QWordMemory()宏声明 64 位 PCI MEM 地址范围，如表 2-23:

表 2-23 64 位 PCI MEM 地址范围

参数名	值
ResourceUsage	ResourceProducer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	Cacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x00000000
AddressMinimum	0x0000000100000000
AddressMaximum	0x0000007FFFFFFF
AddressTranslation	0x00000E0000000000
RangeLength	0x0000007F00000000
ResourceSourceIndex	值为空
ResourceSource	值为空

DescriptorName	值为空
MemoryRangeType	值为空
TranslationType	值为空

主桥二的配置：

- `_SEG` 为 1
- `_CRS`

使用 `WordBusNumber()`宏声明 PCI 总线号范围，如表 2-24：

表 2-24 PCI 总线号范围

参数名	值
ResourceUsage	ResourceProducer
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Decode	PosDecode
AddressGranularity	0x0
AddressMinimum	0x0
AddressMaximum	0x00FF
AddressTranslation	0x0000
RangeLength	0x0100
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空

使用 `QWordIO()`宏声明 PCI I/O 地址范围，如表 2-25：

表 2-25 PCI I/O 地址范围

参数名	值
ResourceUsage	ResourceProducer
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Decode	PosDecode
ISARanges	EntireRange
AddressGranularity	0x0000000000000000
AddressMinimum	0x0000000000000000
AddressMaximum	0x000000000000FFFF
AddressTranslation	0x00005EFDFC000000
RangeLength	0x0000000000010000

ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
TranslationType	值为空
TranslationDensity	值为空

使用 QWordMemory()宏声明 32 位 PCI MEM 地址范围，如表 2-26:

表 2-26 32 位 PCI MEM 地址范围

参数名	值
ResourceUsage	ResourceProducer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	Cacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x0000000000000000
AddressMinimum	0x0000000020000000
AddressMaximum	0x000000007FFFFFFF
AddressTranslation	0x0000YE0000000000, Y 代表当前 PCI 主桥连接的处理器节点的节点号
RangeLength	0x0000000060000000
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	值为空
TranslationType	值为空

使用 QWordMemory()宏声明 64 位 PCI MEM 地址范围，如表 2-27:

表 2-27 64 位 PCI MEM 地址范围

参数名	值
ResourceUsage	ResourceProducer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	Cacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x0000000000000000
AddressMinimum	0x0000000100000000
AddressMaximum	0x0000007FFFFFFF

AddressTranslation	0x0000YE0000000000, Y 代表当前 PCI 主桥连接的处理器节点的节点号
RangeLength	0x0000007F00000000
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	值为空
TranslationType	值为空

2.3.2 设备电源管理

7A1000 系统支持 USB 和 GMAC 唤醒系统，需要配置相应的 _PRW。

2.3.2.1 USB

- _PRW (Power Resources for Wake)

表 2-28 package 对象参数表

参数名	值
EventInfo	设备号为 D4:F1 的 USB 控制器：值为 0xa 设备号为 D5:F1 的 USB 控制器：值为 0xd
DeepestSleepState	0x3

2.3.2.2 GMAC

- _PRW (Power Resources for Wake)

表 2-29 package 对象参数表

参数名	值
EventInfo	设备号为 D3:F0 的 GMAC 控制器：值为 0x5 设备号为 D3:F1 的 GMAC 控制器：值为 0x6
DeepestSleepState	0x3

2.3.3 系统休眠唤醒

表 2-30 SLP_TYP 规定

芯片组	休眠状态	SLP_TYP
7A1000	S0	0
	S3	5
	S4	6
	S5	7

2.3.4 串口配置

- `_CRS`

表 2-31 串口参数表

参数名	值
ResourceUsage	ResourceConsumer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	NonCacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x0
AddressMinimum	处理器串口 0 值为: 0x000000001FE001E0 芯片组串口 0 值为: 0x0000000010080000
AddressMaximum	处理器串口 0 值为: 0x000000001FE001E7 芯片组串口 0 值为: 0x00000000100800FF
AddressTranslation	0x0
RangeLength	处理器串口 0 值为: 0x0000000000000008 芯片组串口 0 值为: 0x0000000000000100
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	AddressRangeMemory
TranslationType	TypeStatic

中断号资源使用 `Interrupt()`宏声明，各个参数的规定如表 2-32：

表 2-32 `Interrupt()`宏参数表

参数名	值
ResourceUsage	ResourceConsumer
EdgeLevel	Level
ActiveLevel	ActiveHigh
Shared	Shared
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
InterruptList	处理器串口 0: 26 芯片组串口: 72

- `_DSD`

表 2-33 支持属性表

属性名	值	说明
clock-frequency	处理器串口值为：100000000 芯片组串口值为：50000000	表示实际外接的串口时钟频率，单位为 Hz

2.3.5 GPIO 配置

- _HID

(1) 芯片组 GPIO 为 LOON0002，处理器 GPIO 为 LOON0007。

- _CRS

表 2-34 QWordMemory()宏参数表

参数名	值
ResourceUsage	ResourceConsumer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	NonCacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x0
AddressMinimum	芯片组 GPIO 值为：0x00000000100E0000 处理器 GPIO 值为：0x000000001FE00500
AddressMaximum	芯片组 GPIO 值为：0x00000000100E0BFF 处理器 GPIO 值为：0x000000001FE00517
AddressTranslation	0x0
RangeLength	芯片组 GPIO 值为：0x00000000000000C00 处理器 GPIO 值为：0x00000000000000018
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	AddressRangeMemory
TranslationType	TypeStatic

中断号资源使用 Interrupt()宏声明，各个参数的规定如表 2-35：

表 2-35 Interrupt()宏参数表

参数名	值
ResourceUsage	ResourceConsumer
EdgeLevel	Level
ActiveLevel	ActiveHigh

Shared	Shared
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
InterruptList	芯片组 GPIO: 123、124、125、126、127 处理器 GPIO: 16、17、18、19、20、21、22、23

● _DSD

表 2-36 支持属性如表

属性名	值	说明
conf_offset	芯片组 GPIO 值为: 0x800 处理器 GPIO 值为: 0x0	寄存器起始地址相对基地址偏移
out_offset	芯片组 GPIO 值为: 0x900 处理器 GPIO 值为: 0x8	输出寄存器相对基地址偏移
in_offset	芯片组 GPIO 值为: 0xA00 处理器 GPIO 值为: 0xC	输入寄存器相对基地址偏移
int_ctrl_offset	芯片组 GPIO 值为: 0xB00 处理器 GPIO 值为: 0x10	中断控制寄存器相对基地址偏移
gpio_base	芯片组 GPIO 值为: 0x20 处理器 GPIO 值为: 0x0	GPIO 在内核中的起始编号
ngpios	芯片组 GPIO 值为: 57 处理器 GPIO 值为: 32	当前注册的 gpio 设备包含的 gpio pin 总数
gsi_idx_map	芯片组各 GPIO 与中断对应关系如下: GPIO[0]: 124 GPIO[1]: 125 GPIO[2]: 126 GPIO[3]: 127 GPIO[4-56]: 123 处理器各 GPIO 与中断对应关系如下: GPIO[24/16/8/0]: 16 GPIO[25/17/9/1]: 17 GPIO[26/18/10/2]: 18 GPIO[27/19/11/3]: 19 GPIO[28/20/12/4]: 20 GPIO[29/21/13/5]: 21 GPIO[30/22/14/6]: 22 GPIO[31/23/15/7]: 23	各 GPIO 与 InterruptList 对象中的中断号对应关系

2.3.6 I2C 配置

- `_HID`
(1) LOON0004。

- `_UID`

各 I2C 控制器与 `_UID` 对应关系规定如表 2-37：

表 2-37 I2C 控制器与 `_UID` 对应表

控制器	<code>_UID</code>
I2C 控制器 0	0
I2C 控制器 1	1
I2C 控制器 2	2
I2C 控制器 3	3
I2C 控制器 4	4
I2C 控制器 5	5

- `_CRS`

表 2-38 `QWordMemory()`宏参数表

参数名	值
<code>ResourceUsage</code>	<code>ResourceConsumer</code>
<code>Decode</code>	<code>PosDecode</code>
<code>IsMinFixed</code>	<code>MinFixed</code>
<code>IsMaxFixed</code>	<code>MaxFixed</code>
<code>Cacheable</code>	<code>NonCacheable</code>
<code>ReadAndWrite</code>	<code>ReadWrite</code>
<code>AddressGranularity</code>	<code>0x0</code>
<code>AddressMinimum</code>	I2C 控制器值为： I2C 0: <code>0x0000000010090000</code> I2C 1: <code>0x0000000010090100</code> I2C 2: <code>0x0000000010090200</code> I2C 3: <code>0x0000000010090300</code> I2C 4: <code>0x0000000010090400</code> I2C 5: <code>0x0000000010090500</code>
<code>AddressMaximum</code>	I2C 控制器值为： I2C 0: <code>0x0000000010090007</code> I2C 1: <code>0x0000000010090107</code> I2C 2: <code>0x0000000010090207</code> I2C 3: <code>0x0000000010090307</code> I2C 4: <code>0x0000000010090407</code>

	I2C 5: 0x0000000010090507
AddressTranslation	0x0
RangeLength	I2C 控制器值为: I2C 0: 0x0000000000000008 I2C 1: 0x0000000000000008 I2C 2: 0x0000000000000008 I2C 3: 0x0000000000000008 I2C 4: 0x0000000000000008 I2C 5: 0x0000000000000008
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	AddressRangeMemory
TranslationType	TypeStatic

2.3.7 RTC 配置

- `_HID`
LOON0001。
- `_CRS`

表 2-39 QWordMemory()宏参数表

参数名	值
ResourceUsage	ResourceConsumer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	NonCacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x0
AddressMinimum	0x00000000100d0100
AddressMaximum	0x00000000100d01FF
AddressTranslation	0x0
RangeLength	0x0000000000000100
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	AddressRangeMemory
TranslationType	TypeStatic

中断号资源使用 Interrupt()宏声明，各个参数的规定如表 2-40：

表 2-40 Interrupt()宏参数表

参数名	值
ResourceUsage	ResourceConsumer
EdgeLevel	Level
ActiveLevel	ActiveHigh
Shared	Exclusive
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
InterruptList	116

2.3.8 PWM 配置

- `_HID`
(1) LOON0006。
- `_CRS`

表 2-41 QWordMemory()宏参数表

参数名	值
ResourceUsage	ResourceConsumer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	NonCacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x0
AddressMinimum	PWM 0: 0x00000000100A0000 PWM 1: 0x00000000100A0100 PWM 2: 0x00000000100A0200 PWM 3: 0x00000000100A0300
AddressMaximum	PWM 0: 0x00000000100A000F PWM 1: 0x00000000100A010F PWM 2: 0x00000000100A020F PWM 3: 0x00000000100A030F
AddressTranslation	0x0
RangeLength	PWM 0: 0x0000000000000010 PWM 1: 0x0000000000000010

	PWM 2: 0x0000000000000010 PWM 3: 0x0000000000000010
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	AddressRangeMemory
TranslationType	TypeStatic

中断号资源使用 Interrupt()宏声明，各个参数的规定如表 2-42：

表 2-42 Interrupt()宏参数表

参数名	值
ResourceUsage	ResourceConsumer
EdgeLevel	Level
ActiveLevel	ActiveHigh
Shared	Shared
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
InterruptList	PWM 0: 88 PWM 1: 89 PWM 2: 90 PWM 3: 91

2.3.9 热区管理

当配置龙芯 5000 系列处理器温度传感器时，可参考如下部分示例：

```
Scope (\_SB)
{
    Name (IDDR,0x1fe0000) //ChipReg

    OperationRegion (BASE, SystemMemory, IDDR, 0x1a4)
    Field (BASE, AnyAcc, NoLock, Preserve)
    {
        Offset (0x19C), //thsens
        THSE, 32
    }
    .....
}
```

```
Scope (\_TZ)
{
  ThermalZone (THM0)
  {
    Method (_TMP, 0, NotSerialized) // _TMP: Temperature
    {
      Store (\_SB.THSE, Local0)
      Store (CCNT (Local0), Local1)
      Return (C2K (Local1))
    }
    ... ..
  }

  Method (CCNT, 1, NotSerialized) //calculate cpu node temp, (reg & 0xffff) * 731 / 0x4000 - 273;
  {
    Multiply (And (Arg0, 0xFFFF), 0x02DB, Local0)
    Divide (Local0, 0x4000, , Local1)
    Subtract (Local1, 273, Local2)

    Return (Local2)
  }

  Method (C2K, 1, NotSerialized) //Celsius to Kelvin
  {
    Add (Multiply (Arg0, 0x0A), 0x0AAC, Local0)
    If (LLessEqual (Local0, 0x0AAC))
    {
      Store (0x0BB8, Local0)
    }

    If (LGreater (Local0, 0x0FAC))
    {
      Store (0x0BB8, Local0)
    }

    Return (Local0)
  }
}
```

2.3.10 SE 设备

- `_HID`
(1) LOON0003。

- `_CRS`

中断号资源使用 `Interrupt()`宏声明，各个参数的规定如表 2-43:

表 2-43 `Interrupt()`宏参数表

参数名	值
<code>ResourceUsage</code>	<code>ResourceConsumer</code>
<code>EdgeLevel</code>	<code>Level</code>
<code>ActiveLevel</code>	<code>ActiveHigh</code>
<code>Shared</code>	<code>Exclusive</code>
<code>ResourceSourceIndex</code>	值为空
<code>ResourceSource</code>	值为空
<code>DescriptorName</code>	值为空
<code>InterruptList</code>	33、36

2.3.11 EC 配置

- `_GPE`

(1) SCI 中断对应的 ACPI LID 管脚位

2.4 FACS 配置

表 2-44 FACS 表约束

域	大小 (字节)	偏移 (字节)	描述
<code>Signature</code>	4	0	'FACS'
<code>Firmware Waking Vector</code>	4	12	0
<code>Global Lock</code>	4	16	0
<code>Flags</code>	4	20	0
<code>X Firmware Waking Vector</code>	8	24	0
<code>Version</code>	1	32	1

2.5 S3 休眠地址

SADR，是系统 S3 休眠时进入固件执行休眠的入口地址，该地址由固件决定，存放固件的 S3 处理程序。

2.6 SRAT 配置

表 2-45 SRAT 表约束

域	大小 (字节)	偏移 (字节)	描述
Header			
Signature	4	0	'SRAT'
Revision	1	8	2

表 2-46 Processor Local APIC/SAPIC Affinity 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	0, 代表结构为 Processor Local APIC/SAPIC Affinity Structure。
Length	1	1	16
Proximity Domain [7:0]	1	2	处理器节点号的 0-7 位
APIC ID	1	3	处理器 Local APIC ID, 见 MADT 表
Flags	4	4	标志。 0 位: 0 表示该 Processor Local APIC/SAPIC Affinity Structure 不可用; 1 表示该 Processor Local APIC/SAPIC Affinity Structure 可用。 [31:1]位: 必须为 0
Local SAPIC EID	1	8	0
Proximity Domain [31:8]	3	9	处理器节点号的 8-31 位
Clock Domain	4	12	0

表 2-47 Memory Affinity 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	1, 代表结构为 Memory Affinity Structure
Length	1	1	40
Proximity Domain	4	2	内存范围所属的节点号
Reserved	2	6	保留
Base Address Low	4	8	内存范围地址的低 32 位
Base Address High	4	12	内存范围地址的高 32 位
Length Low	4	16	内存范围大小的低 32 位

Length High	4	20	内存范围大小的高 32 位
Reserved	4	24	保留
Flags	4	28	标志，指示内存区域是否已启用并可以热插拔，见表 2-48
Reserved	8	32	保留

表 2-48 内存热插拔标志

域	大小 (比特)	偏移 (比特)	描述
Enabled	1	0	0: 该 Memory Affinity Structure 不可用 1: 该 Memory Affinity Structure 可用
Hot Pluggable	1	1	0
NonVolatile	1	2	0
Reserved	29	3	0

2.7 MCFG 配置

如为双桥服务器设备（以桥 0 连接到 0 节点，桥 1 连接到 5 节点为例），MCFG 表的配置如表 2-49、2-50、2-51 所示。

表 2-49 MCFG 表约束

域	大小 (字节)	偏移 (字节)	描述
Header			
Signature	4	0	'MCFG'
Revision	1	8	1
OEMID	6	10	'LOONGS'
OEM Table ID	8	16	'LOONGSON'
OEM Revision	4	24	1

表 2-50 Memory Mapped Enhanced Configuration Space Base Address Allocation Structure[0]结构

域	大小 (字节)	偏移 (字节)	描述
Base Address	8	0	0x00000efe00000000
PCI Segment Group Number	2	8	0
Start Bus Number	1	10	0x00

End Bus Number	1	11	0xFF
Reserved	4	12	0

表 2-51 Memory Mapped Enhanced Configuration Space Base Address Allocation Structure[1]结构

域	大小 (字节)	偏移 (字节)	描述
Base Address	8	0	0x00005efe00000000
PCI Segment Group Number	2	8	1
Start Bus Number	1	10	0x00
End Bus Number	1	11	0xFF
Reserved	4	12	0

2.8 SLIT 配置

表 2-52 SLIT 表约束

域	大小 (字节)	偏移 (字节)	描述
Header			
Signature	4	0	'SLIT'
Number of System Localities	8	36	节点数。 单路: 0x1; 双路: 0x2; 四路: 0x4; 八路: 0x8; 十六路: 0x10
Entry[Number of System Localities-1][Number of System Localities-1]	1		根据龙芯参考代码实现

2.9 SPCR 配置

表 2-53 SPCR 表约束

域	大小 (字节)	偏移 (字节)	描述
Signature	4	0	'SPCR'
Interface Type	1	36	0

Reserved	3	37	0
Space ID	1	40	0
Bit Width	1	41	0
Bit Offset	1	42	0
Encoded Access Width	1	43	1
Address	8	44	0x000000001FE001E0
Interrupt Type	1	52	0
PCAT-compatible IRQ	1	53	0
Interrupt	4	54	0
Baud Rate	1	58	0
Parity	1	59	0
Stop Bits	1	60	0
Flow Control	1	61	0
Terminal Type	1	62	0
Language	1	63	0
PCI Device ID	2	64	0xFFFF
PCI Vendor ID	2	66	0xFFFF
PCI Bus	1	68	0
PCI Device	1	69	0
PCI Function	1	70	0
PCI Flags	4	71	0
PCI Segment	1	75	0
Reserved	4	76	0

龙芯 7A2000 固件开发规范

V1.0

版本信息

文档信息	文档名	龙芯 7A2000 固件开发规范
	版本号	V1.0
	创建人	系统研发部
版本历史		
序号	版本号	更新内容
1	V1.0	发布文档初始版本 V1.0 版。

目录

前言.....	5
1 设计约束.....	1
1.1 Audio Codec.....	1
1.2 VBIOS.....	1
1.3 GMAC.....	1
1.4 DMA 地址映射.....	2
1.5 中断.....	2
1.5.1 龙芯 5000 系列处理器+7A2000 中断.....	2
1.6 地址空间.....	5
1.6.1 龙芯 5000 系列处理器+7A2000 地址空间.....	5
2 参考配置.....	7
2.1 MADT 配置.....	7
2.2 FADT 配置.....	9
2.3 DSDT 配置.....	12
2.3.1 PCI 总线枚举.....	12
2.3.2 设备电源管理.....	19
2.3.3 系统休眠唤醒.....	19
2.3.4 串口配置.....	20
2.3.5 GPIO 配置.....	21
2.3.6 I2C 配置.....	23
2.3.7 RTC 配置.....	24
2.3.8 PWM 配置.....	25
2.3.9 热区管理.....	26
2.3.10 SE 设备.....	29
2.3.11 EC 配置.....	29
2.4 FACS 配置.....	29
2.5 S3 休眠地址.....	29
2.6 SRAT 配置.....	30
2.7 MCFG 配置.....	31
2.8 SLIT 配置.....	32
2.9 SPCR 配置.....	32

前 言

本规范面向固件软件开发人员，在《龙芯 CPU 固件与内核接口规范 V4.0》基础上针对 7A2000 的固件开发约束进行补充说明。

1 设计约束

1.1 Audio Codec

固件通过 Verb Table 机制实现不同板卡中对声卡的差异化设计。固件开发人员需要根据具体主板的声卡设计正确填写 Verb Table。具体参考龙芯代码中关于 Realtek 的 Verb Table 配置实现。

注意：

须确认芯片组 HDA 引脚工作在 HDA 模式（芯片组配置寄存器偏移 0x0440 寄存器的 12:11 为 x1b。芯片组配置寄存器基址需要固件下进行配置，参考代码配置寄存器基址为：0x0e0010010000）。

1.2 VBIOS

7A2000 内部包含图形处理器（以下简称 GPU），位于 D6:F0；内核下 GPU 需要 Video BIOS（以下简称 VBIOS）的支撑才可以工作正常。

固件对 VBIOS 处理方式：将固件内默认 VBIOS 全部读取到内置显卡 BAR2 空间的最后 1MB。

1.3 GMAC

7A2000 包含两个 GMAC 控制器，固件分别从 7A2000 SPI flash 偏移 0x0 和 0x10 处读取 MAC0 和 MAC1 地址信息，并判断是否合法，如果合法，写入相应 GMAC 的 MAC 地址寄存器中；如果非法，将随机数写入相应 GMAC 的 MAC 地址寄存器中。

MAC 地址寄存器定义见表 1-1 和 1-2：

表 1-1 GMAC0/GMAC1 Address High Register(Offset 0x40)

位域	名称	默认值	描述
31	MO: Always 1	0x0	保留
30:1 6	Reserved	0x0	保留
15:0	MAC Address0[47:32] MAC 地址高 16 位	0x0	存放用于接收地址过滤和传输流控帧的 MAC 地址。

表 1-2 GMAC0/GMAC1 Address Low Register(Offset 0x44)

位域	名称	默认值	描述
31:0	MAC Address0[31:0] MAC 地址低 32 位	0x0	存放用于接收地址过滤和传输流控帧的 MAC 地址。

1.4 DMA 地址映射

对于不支持超过 44 位 DMA 地址的设备，固件需要调整 7A2000 的 DMA 路由配置以支持此类设备。参考 7A2000 用户手册第 4.3 节，DMA 路由配置寄存器 (0x041C) 的[12:8]位，具体实现参考龙芯代码。寄存器定义见表 1-3：

表 1-3 DMA 路由配置寄存器[12:8]位

位域	名称	访问	描述
12:8	dma_node_id_offset	RW	DMA 访问中节点号所在的地址偏移（相对于 bit36）

1.5 中断

1.5.1 龙芯 5000 系列处理器+7A2000 中断

龙芯 5000 系列处理器+7A2000 方案，芯片组中断控制器管理的中断可通过中断线或 HT 路由至处理器，MSI 中断通过 HT 路由至处理器，以上中断最终路由至处理器核。见图 1-1 所示。

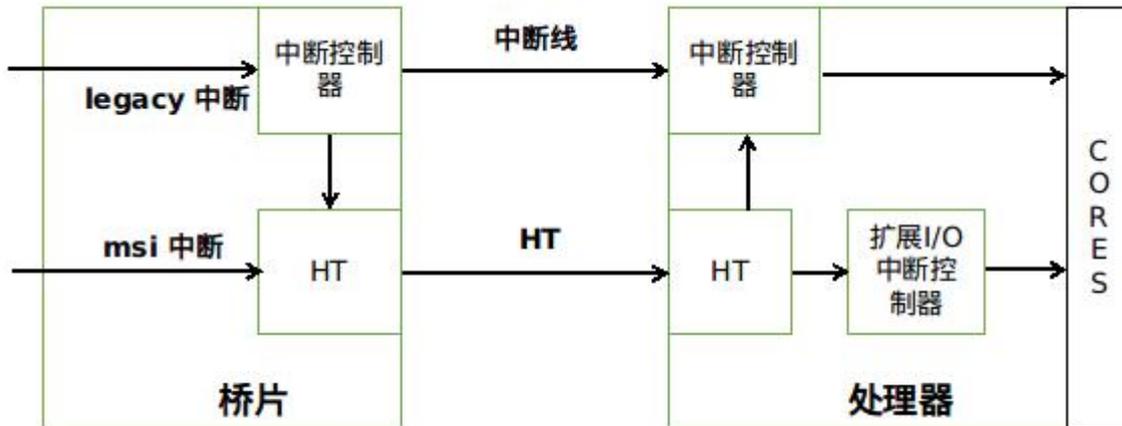


图 1-1 龙芯 5000 系列处理器+7A2000 中断路由示意图

7A2000 系统依据 ACPI 规范使用 GSI (global system interrupts, 全局系统中断) 为中断源分配虚拟化的中断号，一个 GSI 类型的虚拟中断号唯一标识了其所属的中断域，内核按照不同的中断域实现中断管理。各个中断域对应的 GSI 中断号范围约定如下：

- 0-15：LPC/ISA 中断域，用于系统外扩 LPC 设备中断源，如表 1-4 所示，具体分配情况参考 LPC 设备说明。

表 1-4 LPC/ISA 中断域 GSI 分配

GSI 中断号	中断源	说明
0	HPET	HPET 高精度定时器
1	I8042	键盘
2	级联	
3		
4		

5		
6		
7		
8	RTC	实时时钟
9		
10		
11		
12	I8042	鼠标
13		
14	ide0	硬盘
15	Ide1	硬盘

- 16-47：处理器 I/O 中断控制器中断域，其 GSI 中断号与中断源向量号的映射关系：

$$\text{GSI 中断号} = \text{中断源向量号} + 16$$

中断源向量号为处理器手册中某个中断源在中断控制寄存器中的索引，具体参考龙芯 5000 系列处理器手册。

- 48-49：保留。
- 50-63：处理器核中断域，保留给 CPU 内部中断源，如表 1-5：

表 1-5 处理器核中断域 GSI 分配

中断号	中断源	说明
50		
51		
52	处理器 I/O 中断控制器	处理器集成设备的 I/O 中断
53	处理器 I/O 中断控制器/扩展 I/O 中断控制器	经芯片组路由至处理器的其他 I/O 中断
54		
55		
56		
57		
58		
59		
60		
61	处理器核 timer 中断	
62		
63		

- 64-127：芯片组 I/O 中断控制器中断域。其 GSI 中断号与中断源向量号的映射关系：

$$\text{GSI 中断号} = \text{中断源向量号} + \text{GSI base}$$

中断源向量号为芯片组手册中某个中断源在中断控制寄存器中的索引，具体参考龙芯 7A2000 用户手册；

GSI base 为 MADT 表中当前芯片组 BIO PIC 结构的 GSI base 成员。

其中单芯片组集成或外接的 PCI 兼容设备分配的中断号如表 1-6:

表 1-6 芯片组 I/O 中断控制器中断域 GSI 分配

中断号	中断源	中断号	中断源
64		96	pcie_f0_0
65		97	pcie_f0_1
66		98	pcie_f0_2
67	rio	99	pcie_f0_3
68	prg	100	pcie_f1_0
69	sataphy	101	pcie_f1_1
70	usb3phy	102	pcie_h_lo
71	gmac0_phy	103	pcie_h_hi
72	uart[3:0]	104	pcie_g0_lo
73	i2c[5:0]	105	pcie_g0_hi
74	vpu	106	pcie_g1_lo
75	can	107	pcie_g1_hi
76	gmac0_sbd	108	toy[0]
77	gmac0_pmt	109	toy[1]
78	gmac1_sbd	110	toy[2]
79	gmac1_pmt	111	acpi
80	sata	112	usb_0_ehci
81		113	usb_0_ohci
82		114	usb_1_ehci
83	lpc	115	usb_1_ohci
84	hpet[1]	116	rtc[0]
85	hpet[2]	117	rtc[1]
86	usb3	118	rtc[2]
87	hda1	119	hpet[0]
88	pwm[0]	120	i2s_dma[0]
89	pwm[1]	121	i2s_dma[1]
90	pwm[2]	122	i2s/hda
91	pwm[3]	123	gpio_hi
92	dc	124	gpio[0]/gpio[13]
93	gpu	125	gpio[1]/gpio[14]
94	gmem	126	gpio[2]/gpio[15]
95	thsens	127	gpio[3]/gpio[50]

注意:

(1) 若使用 EC 时需要使用 SCI 中断, 请参考 7A2000 硬件规范, 此中断需要硬件连接到 7A2000 电源管理模块的 ACPI GPIO 管脚, 信号约束参照硬件设计规范, 对应 GSI 中断源为 111 号。

(2) 对于多芯片组系统,非 PCI 兼容设备的中断源仅在一个芯片组上可用。

1.6 地址空间

1.6.1 龙芯 5000 系列处理器+7A2000 地址空间

龙芯 5000 系列处理器+7A2000 地址空间如图 1-2 所示:

0xYF FF FFFF FFFF	Reserved
0xYF 00 0000 0000	PCI EXT CFG
0xYE FE 0000 0000	Reserved
0xYE FD 0000 0000	PCI EXT MEM
0xYE 00 8000 0000	7A HT1 Io
0xYE 00 0000 0000	Reserved
MEM_MAX_ADDR	System RAM
0xY0 00 9000 0000	System RAM/Reserved
0xY0 00 8000 0000	PCI MEM
0xY0 00 2000 0000	CPU Registers
0xY0 00 1C00 0000	PCI CFG
0xY0 00 1A00 0000	PCI I/O
0xY0 00 1800 0000	Chipset Registers
0xY0 00 1000 0000	System RAM/Reserved
0xY0 00 0000 0000	System RAM/Reserved

图 1-2 龙芯 5000 系列处理器+7A2000 地址空间划分

地址中的 Y 代表节点号 (0-15), 各个地址空间说明如下:

0xY0 00 0000 0000 - 0xY0 00 0FFF FFFF: 对于 0 号节点, 表示内存, 对于非 0 号节点, 表示保留空间

0xY0 00 1000 0000 - 0xY0 00 17FF FFFF: 连接到处理器节点 Y 的芯片组寄存器

0xY0 00 1800 0000 - 0xY0 00 19FF FFFF: 连接到处理器节点 Y 的 PCI I/O 空间

0xY0 00 1A00 0000 - 0xY0 00 1BFF FFFF: 连接到处理器节点 Y 的 PCI 配置空间

0xY0 00 1C00 0000 - 0xY0 00 1FFF FFFF: 处理器节点 Y 的低速设备寄存器

0xY0 00 2000 0000 - 0xY0 00 7FFF FFFF: 连接到处理器节点 Y 的 32 位 PCI MEM 空间

0xY0 00 8000 0000 - 0xY0 00 8FFF FFFF: 对于非 0 号节点, 表示内存, 对于 0 号节点, 表示保留空间

0xY0 00 9000 0000 - MEM_MAX_ADDR: 内存, MEM_MAX_ADDR 的取值见表 1-7:

表 1-7 MEM_MAX_ADDR 的取值

系统中的节点数	MEM_MAX_ADDR
1	0xY1 00 0000 0000

2	0xY0 80 0000 0000
4	0xY0 40 0000 0000
8	0xY0 20 0000 0000
16	0xY0 10 0000 0000

0xY1 00 0000 0000 - 0xYD FF FFFF FFFF: 保留

0xYE 00 0000 0000 - 0xYE 00 7FFF FFFF: 7A HT1 I/O 地址空间

0xYE 00 8000 0000 - 0xYE FC FFFF FFFF: 连接到处理器节点 Y 的扩展 PCI MEM 空间

0xYE FD 0000 0000 - 0xYE FD FFFF FFFF: 保留

0xYE FE 0000 0000 - 0xYE FF FFFF FFFF: 连接到处理器节点 Y 的扩展 PCI 配置空间

0xYF 00 0000 0000 - 0xYF FF FFFF FFFF: 保留

注:

0 号节点: 两端内存, 非 0 号节点, 直接从 0xY00080000000 开始一段内存。

以节点 0 地址为例, 龙芯 5000 系列处理器+7A2000 地址空间的详细分布如表 1-8:

表 1-8 龙芯 5000 系列处理器+7A2000 地址空间分布

	起始地址	结束地址	说明
地址 0	0x0000_0000_0000_0000	0x0000_0000_0FFF_FFFF	内存
地址 1	0x0000_0000_1000_0000	0x0000_0000_17FF_FFFF	32 位模式下 7A 设备寄存器空间
地址 2	0x0000_0000_1800_0000	0x0000_0000_1801_FFFF	32 位模式下 7A LPC 的 IO 空间
地址 3	0x0000_0000_1802_0000	0x0000_0000_19FF_FFFF	32 位模式下 7A PCI 的 IO 空间
地址 4	0x0000_0000_1A00_0000	0x0000_0000_1BFF_FFFF	32 位模式下 7A PCI 的配置空间
地址 5	0x0000_0000_1C00_0000	0x0000_0000_1DFF_FFFF	SPI Memory1
地址 6	0x0000_0000_1FC0_0000	0x0000_0000_1FCF_FFFF	SPI Memory0
地址 7	0x0000_0000_1FE0_01E0	0x0000_0000_1FE0_01E7	UART 0
地址 8	0x0000_0000_1FE0_01E8	0x0000_0000_1FE0_01EF	UART 1
地址 9	0x0000_0000_1FE0_01F0	0x0000_0000_1FE0_01FF	SPIRegister
地址 10	0x0000_0000_2000_0000	0x0000_0000_7FFF_FFFF	7A 中 PCI MEM 空间
地址 11	0x0000_0000_8000_0000	0x0000_0000_8FFF_FFFF	保留
地址 12	0x0000_0000_9000_0000	MEM_MAX_ADDR	内存
地址 13	0x0000_0E00_1000_0000	0x0000_0E00_1000_0FFF	7A 中断控制器空间
地址 14	0x0000_0E00_1000_1000	0x0000_0E00_1000_1FFF	7A 中 HPET 寄存器空间
地址 15	0x0000_0E00_1000_2000	0x0000_0E00_1000_2FFF	7A 中 LPC 控制寄存器空间
地址 16	0x0000_0E00_1001_0000	0x0000_0E00_1001_FFFF	7A 中 confbus 空间
地址 17	0x0000_0E00_1008_0000	0x0000_0E00_100F_FFFF	7A 中 misc 设备寄存器空间
地址 18	0x0000_0E00_1200_0000	0x0000_0E00_13FF_FFFF	7A 中 LPC MEM 空间
地址 19	0x0000_0E00_2000_0000	0x0000_0EFC_FFFF_FFFF	7A 中 PCI MEM 空间
地址 20	0x0000_0EFD_FC00_0000	0x0000_0EFD_FDFF_FFFF	HT1 的 I/O 空间
地址 21	0x0000_0EFD_FE00_0000	0x0000_0EFD_FFFF_FFFF	HT1 的总线配置空间

2 参考配置

2.1 MADT 配置

表 2-1 MADT 表约束

域	大小 (字节)	偏移 (字节)	描述
Header			
Signature	4	0	'APIC'
Revision	1	8	1
Local Interrupt Controller Address	4	36	0x1fe01400

表 2-2 CORE PIC 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	0x11
Length	1	1	15
Version	1	2	1
ACPI Processor ID	4	3	处理器核 UID, 与 DSDT 处理器对象中的 _UID 值相同
Physical Processor ID	4	7	CPU 核物理 ID
Flags	4	11	CORE PIC 的标志, 参考表 2-3

表 2-3 CORE PIC 标志

CORE PIC Flags	大小 (比特)	偏移 (比特)	描述
Enabled	1	0	0: CPU 不可用 1: CPU 可用
Reserved	31	1	必须为 0

MADT 表的 LIO PIC 结构参考如下表 2-4:

表 2-4 LIO PIC 结构

域	大小	偏移	描述
---	----	----	----

	(字节)	(字节)	
Type	1	0	0x12, LIO PIC 结构
Length	1	1	23
Version	1	2	1
Base Address	8	3	0x1FE01400
Size	2	11	0x80
Cascade vector	2	13	0x0002
Cascade vector mapping	8	15	0x0000000000FFFFFF

MADT 表的 EIO PIC 结构参考如下表 2-5，每个芯片组连接的处理器节点对应一个 EIO PIC 结构：

表 2-5 EIO PIC 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	0x14, EIO PIC 结构
Length	1	1	4
Version	1	2	1
Cascade vector	1	3	3+N, N 为 EIO PIC 结构从 0 开始的序号
Node	1	4	连接芯片组的处理器节点 ID
Node map	8	5	EIO 中断路由的处理器节点组, bit0-63 分别表示 0-63 节点

注：EIO PIC 结构中描述的节点表示扩展 IO 中断节点的概念，详见相关处理器手册扩展 IO 中断章节。

MADT 表的 MSI PIC 结构参考如下表 2-6，每个芯片组对应一个相同的 MSI PIC 结构：

表 2-6 MSI PIC 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	0x15, MSI PIC 结构
Length	1	1	19
Version	1	2	1
Message Address	8	3	0x2FF00000
Start	4	11	0x40
Count	4	15	0xc0

MADT 表的 BIO PIC 结构参考如下表 2-7：

表 2-7 BIO PIC 结构

域	大小 (字节)	偏移 (字节)	描述
---	------------	------------	----

Type	1	0	0x16, BIO PIC 结构
Length	1	1	17
Version	1	2	1
Base Address	8	3	0x10000000
Size	2	11	0x1000
Hardware ID	2	13	0
GSI base	2	15	0x40

对于双桥片的主板（以桥 0 连接到 0 节点，桥 1 连接到 N 节点为例），需要再添加一组 BIO PIC 结构的描述，参考如下表 2-8：

表 2-8 BIO PIC 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	0x16, BIO PIC 结构
Length	1	1	17
Version	1	2	1
Base Address	8	3	0xNE0010000000
Size	2	11	0x1000
Hardware ID	2	13	N
GSI base	2	15	0x80

MADT 表的 LPC PIC 结构参考如下表 2-9：

表 2-9 LPC PIC 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	0x17, LPC PIC 结构
Length	1	1	15
Version	1	2	1
Base Address	8	3	0x10002000
Size	2	11	0x1000
Cascade vector	2	13	0x13

2.2 FADT 配置

此表为操作系统提供了 Fixed 硬件 ACPI 描述信息，相关约束见表 2-10。

表 2-10 FADT 表约束

域	大小 (字节)	偏移 (字节)	描述
---	------------	------------	----

Header			
Signature	4	0	'FACP'
Length	4	4	表的长度，包括表头，从偏移量 0 开始。用于记录整个表的大小
FADT Major Version	1	8	3
FIRMWARE_CTRL	4	36	0
DSDT	4	40	0
Reserved	1	44	0
SCI_INT	2	46	0x6f
SMI_CMD	4	48	0
ACPI_ENABLE	1	52	0
ACPI_DISABLE	1	53	0
S4BIOS_REQ	1	54	0
PSTATE_CNT	1	55	0
PM1a_EVT_BLK	4	56	0
PM1b_EVT_BLK	4	60	0
PM1a_CNT_BLK	4	64	0
PM1b_CNT_BLK	4	68	0
PM2_CNT_BLK	4	72	0
PM_TMR_BLK	4	76	0
GPE0_BLK	4	80	0
GPE1_BLK	4	84	0
PM1_EVT_LEN	1	88	8
PM1_CNT_LEN	1	89	4
PM2_CNT_LEN	1	90	0
PM_TMR_LEN	1	91	4
GPE0_BLK_LEN	1	92	8
GPE1_BLK_LEN	1	93	0
GPE1_BASE	1	94	0
CST_CNT	1	95	0
P_LVL2_LAT	2	96	0x65
P_LVL3_LAT	2	98	0x3e9
FLUSH_SIZE	2	100	0
FLUSH_STRIDE	2	102	0
DUTY_OFFSET	1	104	0
DUTY_WIDTH	1	105	0
DAY_ALARM	1	106	0
MON_ALARM	1	107	0
CENTURY	1	108	0

IAPC_BOOT_ARCH	2	109	0
Reserved	1	111	0
Flags	4	112	默认值为 0x425，包含如下标志： WBINVD、PROC_C1、SLP_BUTTON、RESET_REG_SUP
RESET_REG	12	116	见表 2-11
RESET_VALUE	1	128	0x01
ARM_BOOT_ARCH	2	129	0
FADT Minor Version	1	131	0
X_FIRMWARE_CTRL	8	132	FACS 64bit 地址，固件动态生成
X_DSDT	8	140	DSDT 64bit 地址，固件动态生成
X_PM1a_EVT_BLK	12	148	见表 2-12
X_PM1b_EVT_BLK	12	160	此结构中成员全为 0
X_PM1a_CNT_BLK	12	172	见表 2-13
X_PM1b_CNT_BLK	12	184	此结构中成员全为 0
X_PM2_CNT_BLK	12	196	此结构中成员全为 0
X_PM_TMR_BLK	12	208	见表 2-14
X_GPE0_BLK	12	220	见表 2-15
X_GPE1_BLK	12	232	此结构中成员全为 0

注：UEFI 固件动态生成 X_FIRMWARE_CTRL 与 X_DSDT 之前，需将其初始化为 0。

表 2-11 reset 寄存器结构

域	大小 (字节)	偏移 (字节)	描述
Address Space Id	1	0	0
Reg Bit Width	1	1	0x20
Reg Bit Offset	1	2	0
Reserved	1	3	0
Address	8	4	0x00000000100d0030

表 2-12 PM1a EVT 寄存器结构

域	大小 (字节)	偏移 (字节)	描述
Address Space Id	1	0	0,
Reg Bit Width	1	1	0x40
Reg Bit Offset	1	2	0
Reserved	1	3	0
Address	8	4	0x00000000100d000c

表 2-13 PM1a_CNT 寄存器结构

域	大小 (字节)	偏移 (字节)	描述
Address Space Id	1	0	0,
Reg Bit Width	1	1	0x20
Reg Bit Offset	1	2	0
Reserved	1	3	0
Address	8	4	0x00000000100d0014

表 2-14 PM_TMR 寄存器结构

域	大小 (字节)	偏移 (字节)	描述
Address Space Id	1	0	0,
Reg Bit Width	1	1	0x20
Reg Bit Offset	1	2	0
Reserved	1	3	0
Address	8	4	0x00000000100d0018

表 2-15 GPE0 寄存器结构

域	大小 (字节)	偏移 (字节)	描述
Address Space Id	1	0	0,
Reg Bit Width	1	1	0x40
Reg Bit Offset	1	2	0
Reserved	1	3	0
Address	8	4	0x00000000100d0028

2.3 DSDT 配置

2.3.1 PCI 总线枚举

_SEG (Segment) 方法描述了 PCI 段号。

_CRS (Current Resource Settings) 方法支持总线范围、IO 地址范围以及内存地址范围声明。

_OSC (Operating System Capabilities) 方法，当配置了 _OSC 时，仅支持 AER、PME 和 PCI Express Capability Structure control。

(1) PCIE 单主桥配置参考如下：

- _SEG 为 0
- _CRS

使用 WordBusNumber()宏声明 PCI 总线号范围，如表 2-16:

表 2-16 PCI 总线号范围

参数名	值
ResourceUsage	ResourceProducer
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Decode	PosDecode
AddressGranularity	0x0
AddressMinimum	0x0
AddressMaximum	0x00FF
AddressTranslation	0x0000
RangeLength	0x0100
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空

使用 QWordIO()宏声明 PCI I/O 地址范围，如表 2-17:

表 2-17 PCI I/O 地址范围

参数名	值
ResourceUsage	ResourceProducer
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Decode	PosDecode
ISARanges	EntireRange
AddressGranularity	0x0000000000000000
AddressMinimum	0x0000000000000000
AddressMaximum	0x000000000000FFFF
AddressTranslation	0x0000000018000000
RangeLength	0x0000000000010000
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
TranslationType	值为空
TranslationDensity	值为空

使用 QWordMemory()宏声明 32 位 PCI MEM 地址范围如表 2-18:

表 2-18 32 位 PCI MEM 地址范围

参数名	值
ResourceUsage	ResourceProducer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	Cacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x0000000000000000
AddressMinimum	0x0000000020000000
AddressMaximum	0x000000007FFFFFFF
AddressTranslation	0x00000E0000000000
RangeLength	0x0000000060000000
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	值为空
TranslationType	值为空

使用 QWordMemory()宏声明 64 位 PCI MEM 地址范围如表 2-19:

表 2-19 64 位 PCI MEM 地址范围

参数名	值
ResourceUsage	ResourceProducer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	Cacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x0000000000000000
AddressMinimum	0x0000000100000000
AddressMaximum	0x0000007FFFFFFF
AddressTranslation	0x00000E0000000000
RangeLength	0x0000007F00000000
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	值为空
TranslationType	值为空

(2) PCIE 双主桥配置参考如下:

主桥一的配置:

- `_SEG` 为 0
- `_CRS`

使用 `WordBusNumber()`宏声明 PCI 总线号范围, 如表 2-20:

表 2-20 PCI 总线号范围

参数名	值
<code>ResourceUsage</code>	<code>ResourceProducer</code>
<code>IsMinFixed</code>	<code>MinFixed</code>
<code>IsMaxFixed</code>	<code>MaxFixed</code>
<code>Decode</code>	<code>PosDecode</code>
<code>AddressGranularity</code>	<code>0x0</code>
<code>AddressMinimum</code>	<code>0x0</code>
<code>AddressMaximum</code>	<code>0x00FF</code>
<code>AddressTranslation</code>	<code>0x0000</code>
<code>RangeLength</code>	<code>0x0100</code>
<code>ResourceSourceIndex</code>	值为空
<code>ResourceSource</code>	值为空
<code>DescriptorName</code>	值为空

使用 `QWordIO()`宏声明 PCI I/O 地址范围, 如表 2-21:

表 2-21 PCI I/O 地址范围

参数名	值
<code>ResourceUsage</code>	<code>ResourceProducer</code>
<code>IsMinFixed</code>	<code>MinFixed</code>
<code>IsMaxFixed</code>	<code>MaxFixed</code>
<code>Decode</code>	<code>PosDecode</code>
<code>ISARanges</code>	<code>EntireRange</code>
<code>AddressGranularity</code>	<code>0x0000000000000000</code>
<code>AddressMinimum</code>	<code>0x0000000000000000</code>
<code>AddressMaximum</code>	<code>0x000000000000FFFF</code>
<code>AddressTranslation</code>	<code>0x0000000018000000</code>
<code>RangeLength</code>	<code>0x0000000000010000</code>
<code>ResourceSourceIndex</code>	值为空
<code>ResourceSource</code>	值为空
<code>DescriptorName</code>	值为空
<code>TranslationType</code>	值为空
<code>TranslationDensity</code>	值为空

使用 QWordMemory()宏声明 32 位 PCI MEM 地址范围，如表 2-22:

表 2-22 32 位 PCI MEM 地址范围

参数名	值
ResourceUsage	ResourceProducer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	Cacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x0000000000000000
AddressMinimum	0x0000000020000000
AddressMaximum	0x000000007FFFFFFF
AddressTranslation	0x00000E0000000000
RangeLength	0x0000000060000000
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	值为空
TranslationType	值为空

使用 QWordMemory()宏声明 64 位 PCI MEM 地址范围，如表 2-23:

表 2-23 64 位 PCI MEM 地址范围

参数名	值
ResourceUsage	ResourceProducer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	Cacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x00000000
AddressMinimum	0x0000000100000000
AddressMaximum	0x0000007FFFFFFF
AddressTranslation	0x00000E0000000000
RangeLength	0x0000007F00000000
ResourceSourceIndex	值为空
ResourceSource	值为空

DescriptorName	值为空
MemoryRangeType	值为空
TranslationType	值为空

主桥二的配置：

- `_SEG` 为 1
- `_CRS`

使用 `WordBusNumber()`宏声明 PCI 总线号范围，如表 2-24：

表 2-24 PCI 总线号范围

参数名	值
ResourceUsage	ResourceProducer
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Decode	PosDecode
AddressGranularity	0x0
AddressMinimum	0x0
AddressMaximum	0x00FF
AddressTranslation	0x0000
RangeLength	0x0100
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空

使用 `QWordIO()`宏声明 PCI I/O 地址范围，如表 2-25：

表 2-25 PCI I/O 地址范围

参数名	值
ResourceUsage	ResourceProducer
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Decode	PosDecode
ISARanges	EntireRange
AddressGranularity	0x0000000000000000
AddressMinimum	0x0000000000000000
AddressMaximum	0x000000000000FFFF
AddressTranslation	0x00005EFD00000000
RangeLength	0x0000000000010000
ResourceSourceIndex	值为空

ResourceSource	值为空
DescriptorName	值为空
TranslationType	值为空
TranslationDensity	值为空

使用 QWordMemory()宏声明 32 位 PCI MEM 地址范围，如表 2-26:

表 2-26 32 位 PCI MEM 地址范围

参数名	值
ResourceUsage	ResourceProducer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	Cacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x0000000000000000
AddressMinimum	0x0000000020000000
AddressMaximum	0x000000007FFFFFFF
AddressTranslation	0x0000YE0000000000, Y 代表当前 PCI 主桥连接的处理器节点的节点号
RangeLength	0x0000000060000000
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	值为空
TranslationType	值为空

使用 QWordMemory()宏声明 64 位 PCI MEM 地址范围，如表 2-27:

表 2-27 64 位 PCI MEM 地址范围

参数名	值
ResourceUsage	ResourceProducer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	Cacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x0000000000000000
AddressMinimum	0x0000000100000000
AddressMaximum	0x0000007FFFFFFF
AddressTranslation	0x0000YE0000000000, Y 代表当前 PCI 主桥连接的处理器节点的节点号

RangeLength	0x0000007F00000000
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	值为空
TranslationType	值为空

2.3.2 设备电源管理

7A2000 系统支持 USB 和 GMAC 唤醒系统，需要配置相应的_PRW。

2.3.2.1 USB

- _PRW (Power Resources for Wake)

表 2-28 package 对象参数表

参数名	值
EventInfo	设备号为 D4:F1 的 USB 控制器：值为 0xa
DeepestSleepState	0x3

2.3.2.2 GMAC

- _PRW (Power Resources for Wake)

表 2-29 package 对象参数表

参数名	值
EventInfo	设备号为 D3:F0 的 GMAC 控制器：值为 0x5 设备号为 D3:F1 的 GMAC 控制器：值为 0x6
DeepestSleepState	0x3

2.3.3 系统休眠唤醒

表 2-30 SLP_TYP 规定

芯片组	休眠状态	SLP_TYP
7A2000	S0	0
	S3	5
	S4	6
	S5	7

2.3.4 串口配置

- `_CRS`

表 2-31 串口参数表

参数名	值
ResourceUsage	ResourceConsumer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	NonCacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x0
AddressMinimum	处理器串口 0 值为: 0x000000001FE001E0 芯片组串口 0 值为: 0x0000000010080000
AddressMaximum	处理器串口 0 值为: 0x000000001FE001E7 芯片组串口 0 值为: 0x00000000100800FF
AddressTranslation	0x0
RangeLength	处理器串口 0 值为: 0x0000000000000008 芯片组串口 0 值为: 0x0000000000000100
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	AddressRangeMemory
TranslationType	TypeStatic

中断号资源使用 Interrupt()宏声明，各个参数的规定如表 2-32:

表 2-32 Interrupt()宏参数表

参数名	值
ResourceUsage	ResourceConsumer
EdgeLevel	Level
ActiveLevel	ActiveHigh
Shared	Shared
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
InterruptList	处理器串口 0 值为: 26 芯片组串口值为: 72

- `_DSD`

表 2-33 支持属性表

属性名	值	说明
clock-frequency	处理器串口值为：100000000 芯片组串口值为：50000000	表示实际外接的串口时钟频率，单位为 Hz

2.3.5 GPIO 配置

- `_HID`

(1) 芯片组 GPIO 为 LOON0002，处理器 GPIO 为 LOON0007。

- `_CRS`

表 2-34 QWordMemory()宏参数表

参数名	值
ResourceUsage	ResourceConsumer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	NonCacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x0
AddressMinimum	芯片组 GPIO 值为：0x00000000100E0000 处理器 GPIO 值为：0x000000001FE00500
AddressMaximum	芯片组 GPIO 值为：0x00000000100E0BFF 处理器 GPIO 值为：0x000000001FE00517
AddressTranslation	0x0
RangeLength	芯片组 GPIO 值为：0x00000000000000C00 处理器 GPIO 值为：0x00000000000000018
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	AddressRangeMemory
TranslationType	TypeStatic

中断号资源使用 Interrupt()宏声明，各个参数的规定如表 2-35：

表 2-35 Interrupt()宏参数表

参数名	值
ResourceUsage	ResourceConsumer
EdgeLevel	Level

ActiveLevel	ActiveHigh
Shared	Shared
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
InterruptList	芯片组 GPIO: 123、124、125、126、127 处理器 GPIO: 16、17、18、19、20、21、22、23

● _DSD

表 2-36 支持属性如表

属性名	值	说明
conf_offset	芯片组 GPIO 值为: 0x800 处理器 GPIO 值为: 0x0	寄存器起始地址相对基地址偏移
out_offset	芯片组 GPIO 值为: 0x900 处理器 GPIO 值为: 0x8	输出寄存器相对基地址偏移
in_offset	芯片组 GPIO 值为: 0xA00 处理器 GPIO 值为: 0xC	输入寄存器相对基地址偏移
int_ctrl_offset	芯片组 GPIO 值为: 0xB00 处理器 GPIO 值为: 0x10	中断控制寄存器相对基地址偏移
gpio_base	芯片组 GPIO 值为: 0x20 处理器 GPIO 值为: 0x0	GPIO 在内核中的起始编号
ngpios	芯片组 GPIO 值为: 57 处理器 GPIO 值为: 32	当前注册的 gpio 设备包含的 gpio pin 总数
gsi_idx_map	芯片组各 GPIO 与中断对应关系如下: GPIO[0]: 124 GPIO[1]: 125 GPIO[2]: 126 GPIO[3]: 127 GPIO[4-56]: 123 处理器各 GPIO 与中断对应关系如下: GPIO[24/16/8/0]: 16 GPIO[25/17/9/1]: 17 GPIO[26/18/10/2]: 18 GPIO[27/19/11/3]: 19 GPIO[28/20/12/4]: 20 GPIO[29/21/13/5]: 21 GPIO[30/22/14/6]: 22 GPIO[31/23/15/7]: 23	各 GPIO 与 InterruptList 对象中的中断号对应关系

2.3.6 I2C 配置

- `_HID`

(1) LOON0004。

- `_UID`

各 I2C 控制器与 `_UID` 对应关系规定如表 2-37：

表 2-37 I2C 控制器与 `_UID` 对应表

控制器	<code>_UID</code>
I2C 控制器 0	0
I2C 控制器 1	1
I2C 控制器 2	2
I2C 控制器 3	3
I2C 控制器 4	4
I2C 控制器 5	5

- `_CRS`

表 2-38 `QWordMemory()`宏参数表

参数名	值
<code>ResourceUsage</code>	<code>ResourceConsumer</code>
<code>Decode</code>	<code>PosDecode</code>
<code>IsMinFixed</code>	<code>MinFixed</code>
<code>IsMaxFixed</code>	<code>MaxFixed</code>
<code>Cacheable</code>	<code>NonCacheable</code>
<code>ReadAndWrite</code>	<code>ReadWrite</code>
<code>AddressGranularity</code>	<code>0x0</code>
<code>AddressMinimum</code>	I2C 控制器值为： I2C 0: 0x0000000010090000 I2C 1: 0x0000000010090100 I2C 2: 0x0000000010090200 I2C 3: 0x0000000010090300 I2C 4: 0x0000000010090400 I2C 5: 0x0000000010090500
<code>AddressMaximum</code>	I2C 控制器值为： I2C 0: 0x0000000010090007 I2C 1: 0x0000000010090107 I2C 2: 0x0000000010090207 I2C 3: 0x0000000010090307

	I2C 4: 0x0000000010090407 I2C 5: 0x0000000010090507
AddressTranslation	0x0
RangeLength	I2C 控制器值为: I2C 0: 0x0000000000000008 I2C 1: 0x0000000000000008 I2C 2: 0x0000000000000008 I2C 3: 0x0000000000000008 I2C 4: 0x0000000000000008 I2C 5: 0x0000000000000008
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	AddressRangeMemory
TranslationType	TypeStatic

2.3.7 RTC 配置

- `_HID`
LOON0001。
- `_CRS`

表 2-39 QWordMemory()宏参数表

参数名	值
ResourceUsage	ResourceConsumer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	NonCacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x0
AddressMinimum	0x00000000100d0100
AddressMaximum	0x00000000100d01FF
AddressTranslation	0x0
RangeLength	0x0000000000000100
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空

MemoryRangeType	AddressRangeMemory
TranslationType	TypeStatic

中断号资源使用 Interrupt()宏声明，各个参数的规定如表 2-40：

表 2-40 Interrupt()宏参数表

参数名	值
ResourceUsage	ResourceConsumer
EdgeLevel	Level
ActiveLevel	ActiveHigh
Shared	Exclusive
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
InterruptList	116

2.3.8 PWM 配置

- `_HID`
- (1) LOON0006。
- `_CRS`

表 2-41 QWordMemory()宏参数表

参数名	值
ResourceUsage	ResourceConsumer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	NonCacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x0
AddressMinimum	PWM 0: 0x00000000100A0000 PWM 1: 0x00000000100A0100 PWM 2: 0x00000000100A0200 PWM 3: 0x00000000100A0300
AddressMaximum	PWM 0: 0x00000000100A000F PWM 1: 0x00000000100A010F PWM 2: 0x00000000100A020F PWM 3: 0x00000000100A030F
AddressTranslation	0x0

RangeLength	PWM 0: 0x0000000000000010 PWM 1: 0x0000000000000010 PWM 2: 0x0000000000000010 PWM 3: 0x0000000000000010
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	AddressRangeMemory
TranslationType	TypeStatic

中断号资源使用 Interrupt()宏声明，各个参数的规定如表 2-42：

表 2-42 Interrupt()宏参数表

参数名	值
ResourceUsage	ResourceConsumer
EdgeLevel	Level
ActiveLevel	ActiveHigh
Shared	Shared
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
InterruptList	PWM 0: 88 PWM 1: 89 PWM 2: 90 PWM 3: 91

2.3.9 热区管理

当配置龙芯 5000 系列处理器温度传感器时，可以参考如下部分示例：

```
Scope (\_SB)
{
    Name (IDDR,0x1fe00000) //ChipReg

    OperationRegion (BASE, SystemMemory, IDDR, 0x1a4)
    Field (BASE, AnyAcc, NoLock, Preserve)
    {
        Offset (0x19C), //thsens
        THSE, 32
    }
    .....
}
```

```
Scope (\_TZ)
{
  ThermalZone (THM0)
  {
    Method (_TMP, 0, NotSerialized) // _TMP: Temperature
    {
      Store (\_SB.THSE, Local0)
      Store (CCNT (Local0), Local1)
      Return (C2K (Local1))
    }
    ... ..
  }

  Method (CCNT, 1, NotSerialized) //calculate cpu node temp, (reg & 0xffff) * 731 / 0x4000 - 273;
  {
    Multiply (And (Arg0, 0xFFFF), 0x02DB, Local0)
    Divide (Local0, 0x4000, , Local1)
    Subtract (Local1, 273, Local2)

    Return (Local2)
  }

  Method (C2K, 1, NotSerialized) //Celsius to Kelvin
  {
    Add (Multiply (Arg0, 0x0A), 0x0AAC, Local0)
    If (LLessEqual (Local0, 0x0AAC))
    {
      Store (0x0BB8, Local0)
    }

    If (LGreater (Local0, 0x0FAC))
    {
      Store (0x0BB8, Local0)
    }

    Return (Local0)
  }
}
```

当配置 7A2000 温度传感器时，可以参考如下部分示例：

```
Scope (\_SB)
{
```

```
Device (PCI0)
{
  Name (BTSA,0xe0010000400) //bridge temp sensor addr
  OperationRegion (BASE, SystemMemory, BTSA, 0x18)
  Field (BASE, AnyAcc, NoLock, Preserve)
  {
    Offset (0x14), //thsens
    THS1, 32
  }
  .....
}

Scope (\_TZ)
{
  ... ..
  Method (CBST, 1, NotSerialized) //calculate bridge sensor temp, (reg & 0xffff0000) >> 24;
  {
    ShiftRight (And (Arg0, 0xFFFF0000), 24, Local0)
    Return (Local0)
  }

  ThermalZone (THM1)
  {
    Name(_TZP, 300) //polling delay

    Method (_TMP, 0, NotSerialized) // _TMP: Temperature
    {
      Store (\_SB.PCI0.TH51, Local0)
      Store (CBST (Local0), Local1)
      Return (C2K (Local1))
    }

    Method (_CRT, 0, NotSerialized) // _CRT: Critical Temperature
    {
      Return (C2K (0x60))
    }
  }
  ... ..
}
```

2.3.10 SE 设备

- `_HID`
(1) LOON0003。
- `_CRS`

中断号资源使用 `Interrupt()`宏声明，各个参数的规定如表 2-43：

表 2-43 `Interrupt()`宏参数表

参数名	值
<code>ResourceUsage</code>	<code>ResourceConsumer</code>
<code>EdgeLevel</code>	<code>Level</code>
<code>ActiveLevel</code>	<code>ActiveHigh</code>
<code>Shared</code>	<code>Exclusive</code>
<code>ResourceSourceIndex</code>	值为空
<code>ResourceSource</code>	值为空
<code>DescriptorName</code>	值为空
<code>InterruptList</code>	33、36

2.3.11 EC 配置

- `_GPE`
(1) SCI 中断对应的 ACPI GPIO 管脚位

2.4 FACS 配置

表 2-44 FACS 表约束

域	大小 (字节)	偏移 (字节)	描述
Signature	4	0	'FACS'
Firmware Waking Vector	4	12	0
Global Lock	4	16	0
Flags	4	20	0
X Firmware Waking Vector	8	24	0
Version	1	32	1

2.5 S3 休眠地址

SADR，是系统 S3 休眠时进入固件执行休眠的入口地址，该地址由固件决定，存放固件的 S3 处理程序。

2.6 SRAT 配置

表 2-45 SRAT 表约束

域	大小 (字节)	偏移 (字节)	描述
Header			
Signature	4	0	'SRAT'
Revision	1	8	2

表 2-46 Processor Local APIC/SAPIC Affinity 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	0, 代表结构为 Processor Local APIC/SAPIC Affinity Structure。
Length	1	1	16
Proximity Domain [7:0]	1	2	处理器节点号的 0-7 位
APIC ID	1	3	处理器 Local APIC ID, 见 MADT 表
Flags	4	4	标志。 0 位: 0 表示该 Processor Local APIC/SAPIC Affinity Structure 不可用; 1 表示该 Processor Local APIC/SAPIC Affinity Structure 可用。 [31:1]位: 必须为 0
Local SAPIC EID	1	8	0
Proximity Domain [31:8]	3	9	处理器节点号的 8-31 位
Clock Domain	4	12	0

表 2-47 Memory Affinity 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	1, 代表结构为 Memory Affinity Structure
Length	1	1	40
Proximity Domain	4	2	内存范围所属的节点号
Reserved	2	6	保留
Base Address Low	4	8	内存范围地址的低 32 位
Base Address High	4	12	内存范围地址的高 32 位
Length Low	4	16	内存范围大小的低 32 位

Length High	4	20	内存范围大小的高 32 位
Reserved	4	24	保留
Flags	4	28	标志, 指示内存区域是否已启用并可以热插拔, 见表 2-48
Reserved	8	32	保留

表 2-48 内存热插拔标志

域	大小 (比特)	偏移 (比特)	描述
Enabled	1	0	0: 该 Memory Affinity Structure 不可用 1: 该 Memory Affinity Structure 可用
Hot Pluggable	1	1	0
NonVolatile	1	2	0
Reserved	29	3	0

2.7 MCFG 配置

如为双桥服务器设备(以桥 0 连接到 0 节点, 桥 1 连接到 5 节点为例), MCFG 表的配置如表 2-49、2-50、2-51 所示。

表 2-49 MCFG 表约束

域	大小 (字节)	偏移 (字节)	描述
Header			
Signature	4	0	'MCFG'
Revision	1	8	1
OEMID	6	10	'LOONGS'
OEM Table ID	8	16	'LOONGSON'
OEM Revision	4	24	1

表 2-50 Memory Mapped Enhanced Configuration Space Base Address Allocation Structure[0]结构

域	大小 (字节)	偏移 (字节)	描述
Base Address	8	0	0x00000efe00000000
PCI Segment Group Number	2	8	0
Start Bus Number	1	10	0x00
End Bus Number	1	11	0xFF
Reserved	4	12	0

表 2-51 Memory Mapped Enhanced Configuration Space Base Address Allocation Structure[1]结构

域	大小 (字节)	偏移 (字节)	描述
Base Address	8	0	0x00005efe00000000
PCI Segment Group Number	2	8	1
Start Bus Number	1	10	0x00
End Bus Number	1	11	0xFF
Reserved	4	12	0

2.8 SLIT 配置

表 2-52 SLIT 表约束

域	大小 (字节)	偏移 (字节)	描述
Header			
Signature	4	0	'SLIT'
Number of System Localities	8	36	节点数。 单路: 0x1; 双路: 0x2; 四路: 0x4; 八路: 0x8; 十六路: 0x10
Entry[Number of System Localities-1][Number of System Localities-1]	1		根据龙芯参考代码实现

2.9 SPCR 配置

表 2-53 SPCR 表约束

域	大小 (字节)	偏移 (字节)	描述
Signature	4	0	'SPCR'
Interface Type	1	36	0
Reserved	3	37	0
Space ID	1	40	0

Bit Width	1	41	0
Bit Offset	1	42	0
Encoded Access Width	1	43	1
Address	8	44	0x000000001FE001E0
Interrupt Type	1	52	0
PCAT-compatible IRQ	1	53	0
Interrupt	4	54	0
Baud Rate	1	58	0
Parity	1	59	0
Stop Bits	1	60	0
Flow Control	1	61	0
Terminal Type	1	62	0
Language	1	63	0
PCI Device ID	2	64	0xFFFF
PCI Vendor ID	2	66	0xFFFF
PCI Bus	1	68	0
PCI Device	1	69	0
PCI Function	1	70	0
PCI Flags	4	71	0
PCI Segment	1	75	0
Reserved	4	76	0

龙芯 3A5000 硬件设计规范

V1.0

版本信息

文档信息	文档名	龙芯 3A5000 硬件设计规范
	版本号	V1.0
	创建人	芯片研发部
版本历史		
序号	版本号	更新内容
1	V1.0	初版发布

目录

前 言.....	1
1 主板架构.....	2
1.1 单路主板典型应用方案.....	2
2 原理图设计检查.....	3
2.1 3A5000 checklist.....	3
2.1.1 SPI.....	3
2.1.2 I2C.....	3
2.1.3 UART.....	4
2.1.4 HT.....	4
2.1.5 DDR (DDR4)	14
2.1.6 GPIO.....	24
2.1.7 Strap& Control.....	25
2.1.8 JTAG/LA464 JTAG.....	26
2.1.9 POWER.....	28
2.1.10 芯片分级.....	29
2.2 其他设计注意事项.....	30
2.2.1 时钟设计要求.....	30
2.2.2 接口外设支持列表.....	30
2.2.3 SE 模块最小设计.....	30
2.2.4 S3 设计细节.....	35
3 PCB 设计指导.....	36
3.1 DDR4 接口 PCB 设计要求.....	36
3.2 HT 接口 PCB 设计要求.....	37
3.3 其它信号.....	37

前言

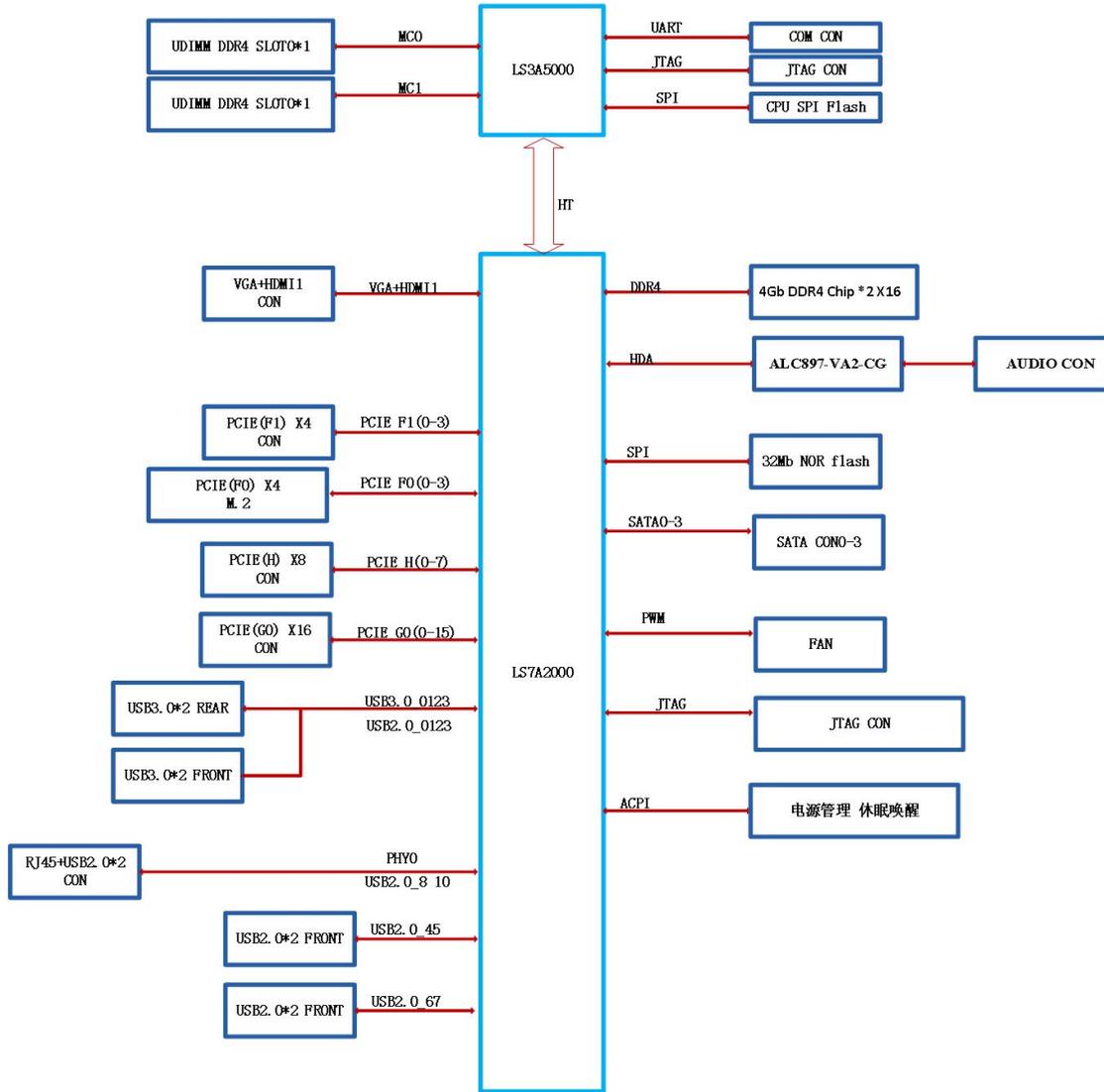
本文档作为龙芯 3A5000 的主板硬件设计规范，内含处理器的硬件 checklist、特殊注意事项以及 layoutguide。设计者请按规范文档认真核对硬件线路和 PCB 设计。

原理图、PCB 设计，推荐使用龙芯官方参考设计的原理图 symbol、PCB Footprint。如果自己新建原理图 symbol、PCB Footprint 进行设计，建议多次对照数据手册检查正确性。

如遇内容错误，欢迎批评指正。

1 主板架构

1.1 单路主板典型应用方案



2 原理图设计检查

2.1 3A5000 checklist

2.1.1 SPI

Signal Name	Balls	Signal Type	Checked	Recommendations
SPI_SCK	L02	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	SPI 总线时钟输出。 不用时可悬空
SPI_SDO	L03	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	SPI 总线数据输出。 不用时可悬空
SPI_SDI	L06	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	SPI 总线数据输入。 不用时可悬空
SPI_CSN	L01	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	SPI 总线片选输出，低电平有效。 不使用时可悬空
SPI_HOLDN	L07	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	SPI 总线保持。 不使用时可悬空
SPI_WPN	M06	IO	Yes <input type="checkbox"/> No <input type="checkbox"/>	SPI 总线写保护。 不使用时可悬空

注：

1.此 SPI 通路必须连接 BIOS ROM，作为 3A5000 的启动 ROM，容量建议不低于 8MB。

2.1.2 I2C

Signal Name	Balls	Signal Type	Checked	Recommendations
-------------	-------	-------------	---------	-----------------

I2C0_SCL	K37	IO	Yes <input type="checkbox"/> No <input type="checkbox"/>	固定配置为 master, 用于本地内存槽 SPD 信息读取, 同时用于处理器 VRM 控制。 使用时外部需通过 4.7K 电阻上拉到 VDDE_1V8。
I2C0_SDA	L37	IO	Yes <input type="checkbox"/> No <input type="checkbox"/>	固定配置为 master, 用于本地内存槽 SPD 信息读取, 同时用于处理器 VRM 控制。 使用时外部需通过 4.7K 电阻上拉到 VDDE_1V8。
I2C1_SCL	Y02	IO	Yes <input type="checkbox"/> No <input type="checkbox"/>	固定配置为 slave, 可用于 EC、BMC 等外部控制端读取处理器温度等信息。 不用时可悬空 VDDE_1V8 电压域
I2C1_SDA	Y01	IO	Yes <input type="checkbox"/> No <input type="checkbox"/>	固定配置为 slave, 可用于 EC、BMC 等外部控制端读取处理器温度等信息。 不用时可悬空 VDDE_1V8 电压域

2.1.3 UART

Signal Name	Balls	Signal Type	Checked	Recommendations
UART0_TXD	M04	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	串口数据发送信号。 不用时可悬空 VDDE_1V8 电压域
UART0_RXD	M05	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	串口数据接收信号。 不用时可悬空 VDDE_1V8 电压域

注：3A5000 调试串口固定为 UART0。无特殊情况，请不要随意更换。该串口亦可用作系统下普通串口功能。

2.1.4 HT

Signal Name	Balls	Signal Type	Checked	Recommendations
HT0_8x2	J36	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	为高, 将 HT0 分成 HT0_Lo 与 HT0_Hi 两个 8 位数据总线使用 为低, 将 HT0 作为 16 位总线使用 单路主板可悬空; 双路主板建议外部下拉;

				四路以上主板外部上拉到 VDDE_1V8;
HT0_Lo_Hostmode	M31	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	为高,将 HT0_Lo 控制器作为主模式, 控制复位等信号 为低,将 HT0_Lo 控制器作为从模式, 复位等信号仅为输入模式 不用时可悬空 VDDE_1V8 电压域
HT0_Hi_Hostmode	J35	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	为高,将 HT0_Hi 控制器作为主模式,控制复位等信号 为低,将 HT0_Hi 控制器作为从模式,复位等信号仅为输入模式 不用时可悬空 VDDE_1V8 电压域
HT0_Lo_PowerOK	L35	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时为 HT0 总线 PowerOK 信号, 当 HT0_8x2 有效时为 HT0_Lo 总线 PowerOK 信号。 当 HT0_Lo_Hostmode 有效时为双向信号,作为主设备。 当 HT0_Lo_Hostmode 无效时为输入信号。 不用时可悬空 VDDE_1V8 电压域
HT0_Lo_Reset	M30	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时为 HT0 总线 Resetn 信号, 当 HT0_8x2 有效时为 HT0_Lo 总线 Resetn 信号。 当 HT0_Lo_Hostmode 有效时为双向信号,作为主设备。 当 HT0_Lo_Hostmode 无效时为输入信号。 不用时下拉到地 VDDE_1V8 电压域
HT0_Lo_Ldt_Stopn	L34	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时为 HT0 总线 Ldt_Stopn 信号, 当 HT0_8x2 有效时为 HT0_Lo 总线 Ldt_Stopn 信号。 当 HT0_Lo_Hostmode 有效时为双向信号,作为主设备。

				当 HT0_Lo_Hostmode 无效时为输入信号。 不用时下拉到地 VDDE_1V8 电压域
HT0_Lo_Ldt_reqn	L36	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时为 HT0 总线 Ldt_Reqn 信号, 当 HT0_8x2 有效时为 HT0_Lo 总线 Ldt_Reqn 信号。 不用时可悬空 VDDE_1V8 电压域
HT0_Hi_PowerOK	K30	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时该信号无效, 当 HT0_8x2 有效时为 HT0_Hi 总线 PowerOK 信号。 当 HT0_Hi_Hostmode 有效时为双向信号, 作为主设备。 当 HT0_Hi_Hostmode 无效时为输入信号。 不用时可悬空 VDDE_1V8 电压域
HT0_Hi_Reset	J34	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时该信号无效, 当 HT0_8x2 有效时为 HT0_Hi 总线 Resetn 信号。 当 HT0_Hi_Hostmode 有效时为双向信号, 作为主设备。 当 HT0_Hi_Hostmode 无效时为输入信号。 不用时下拉到地 VDDE_1V8 电压域
HT0_Hi_Ldt_Stopn	K31	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时该信号无效, 当 HT0_8x2 有效时为 HT0_Hi 总线 Ldt_Stopn 信号。 当 HT0_Hi_Hostmode 有效时为双向信号, 作为主设备。 当 HT0_Hi_Hostmode 无效时为输入信号 不用时下拉到地
HT0_Hi_Ldt_reqn	J37	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时该信号无效, 当 HT0_8x2 有效时为 HT0_Hi 总线 Ldt_Reqn 信号。 不用时可悬空 VDDE_1V8 电压域
HT0_Tx_CA	E19	O	Yes <input type="checkbox"/>	当 HT0_8x2 无效时, 该总线为 HT0 总线发

Dp[15:0]	C20 F20 A20 A22 A23 A25 F22 C24 A27 D22 D25 G24 G23 F26 F27		No <input type="checkbox"/>	送数据命令总线， 当 HT0_8x2 有效时， [7:0]位为 HT0_Lo 总线发送数据命令总线， [15:8]位为 HT0_Hi 总线发送数据命令总线。 不用时可悬空
HT0_Tx_CA Dn[15:0]	D19 B20 G20 A21 B22 B23 A24 G22 B24 B27 D23 E25 F24 H23 G26 G27	0	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时，该总线为 HT0 总线发送数据命令总线， 当 HT0_8x2 有效时， [7:0]位为 HT0_Lo 总线发送数据命令总线， [15:8]位为 HT0_Hi 总线发送数据命令总线。 不用时可悬空
HT0_Tx_CT Lp[1:0]	B30 B34	0	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时，该总线为 HT0 总线发送控制总线 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线发送控制信号， [1]位为 HT0_Hi 总线发送控制信号。 不用时可悬空

HT0_Tx_CT Ln[1:0]	A30 A34	0	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时，该总线为 HT0 总线发送控制总线 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线发送控制信号， [1]位为 HT0_Hi 总线发送控制信号。 不用时可悬空
HT0_Tx_CL Kp[1:0]	D37 F30	0	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线发送时钟信号。 [1]位为 HT0_Hi 总线发送时钟信号。 不用时可悬空
HT0_Tx_CL Kn[1:0]	D36 F30	0	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线发送时钟信号， [1]位为 HT0_Hi 总线发送时钟信号。 不用时可悬空
HT0_Rx_CA Dp[15:0]	G36 F37 E37 C37 G34 D35 B35 G32 E33 C32 F31 A33 D30 D29 A31 G28	1	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时，该总线为 HT0 总线接收数据命令总线， 当 HT0_8x2 有效时， [7:0]位为 HT0_Lo 总线接收数据命令总线， [15:8]位为 HT0_Hi 总线接收数据命令总线。 不用时可悬空
HT0_Rx_CA Dn[15:0]	G37 F36 E36 C36 F34	1	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时，该总线为 HT0 总线接收数据命令总线， 当 HT0_8x2 有效时， [7:0]位为 HT0_Lo 总线接收数据命令总线， [15:8]位为 HT0_Hi 总线接收数据命令总线。

	D34 A35 F32 D33 B32 E31 A32 D31 E29 B31 F28			不用时可悬空
HT0_Rx_CT Lp[1:0]	A26 A28	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时，该总线为 HT0 总线接收控制总线， 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线接收控制信号， [1]位为 HT0_Hi 总线接收控制信号。 不用时可悬空
HT0_Rx_CT Ln[1:0]	B26 B28	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时，该总线为 HT0 总线接收控制总线， 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线接收控制信号， [1]位为 HT0_Hi 总线接收控制信号。 不用时可悬空
HT0_Rx_CL Kp[1:0]	D21 D27	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时，该总线为 HT0 总线接收时钟总线， 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线接收时钟信号， [1]位为 HT0_Hi 总线接收时钟信号。 不用时可悬空
HT0_Rx_CL Kn[1:0]	E21 D26	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时，该总线为 HT0 总线接收时钟信号， 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线接收时钟信号， [1]位为 HT0_Hi 总线接收时钟信号。 不用时可悬空
HT0CLKP/N	A28 A29	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	200MHz LVDS 差分输入时钟，可通过 CLKSEL 进行选择是否用此差分时钟作为 HT 部分时钟源。默认可不接，使用 SYSCLK 作为时钟源 不用时可悬空

Signal Name	Balls	Signal Type	Checked	Recommendations
HT1_8x2	H37	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	为高，将 HT1 分成 HT1_Lo 与 HT1_Hi 两个 8 位数据总线使用 为低，将 HT1 作为 16 位总线使用（单路或双路 16 位模式）
HT1_Lo_Hostmode	H35	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	为高，表示将 HT1_Lo 控制器作为主模式，控制复位等信号 为低，表示将 HT1_Lo 控制器作为从模式，复位等信号仅为输入模式 不用时可悬空
HT1_Hi_Hostmode	K35	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	为高，表示将 HT1_Hi 控制器作为主模式，控制复位等信号 为低，表示将 HT1_Hi 控制器作为从模式，复位等信号仅为输入模式 不用时可悬空
HT1_Lo_PowerOK	H36	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时为 HT1 总线 PowerOK 信号， 当 HT1_8x2 有效时为 HT1_Lo 总线 PowerOK 信号。 当 HT1_Lo_Hostmode 有效时为双向信号， 当 HT1_Lo_Hostmode 无效时为输入信号。 不用时可悬空
HT1_Lo_Resetn	H32	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时为 HT1 总线 Resetn 信号， 当 HT1_8x2 有效时为 HT1_Lo 总线 Resetn 信号。 当 HT1_Lo_Hostmode 有效时为双向信号， 当 HT1_Lo_Hostmode 无效时为输入信号。 不用时下拉到地
HT1_Lo_Ldt_Stopn	H34	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时为 HT1 总线 Ldt_Stopn 信号， 当 HT1_8x2 有效时为 HT1_Lo 总线 Ldt_Stopn 信号。 当 HT1_Lo_Hostmode 有效时为双向信号， 当 HT1_Lo_Hostmode 无效时为输入信号。 不用时下拉到地

HT1_Lo_Ldt_reqn	H33	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时为 HT1 总线 Ldt_Reqn 信号， 当 HT1_8x2 有效时为 HT1_Lo 总线 Ldt_Reqn 信号。 不用时可悬空
HT1_Hi_PowerOK	K36	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时该信号无效， 当 HT1_8x2 有效时为 HT1_Hi 总线 PowerOK 信号。 当 HT1_Hi_Hostmode 有效时为双向信号， 当 HT1_Hi_Hostmode 无效时为输入信号。 不用时可悬空
HT1_Hi_Resetn	K32	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时该信号无效， 当 HT1_8x2 有效时为 HT1_Hi 总线 Resetn 信号。 当 HT1_Hi_Hostmode 有效时为双向信号， 当 HT1_Hi_Hostmode 无效时为输入信号。 不用时下拉到地
HT1_Hi_Ldt_Stopn	K34	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时该信号无效， 当 HT1_8x2 有效时为 HT0_Hi 总线 Ldt_Stopn 信号。 当 HT1_Hi_Hostmode 有效时为双向信号， 当 HT1_Hi_Hostmode 无效时为输入信号 不用时下拉到地
HT1_Hi_Ldt_reqn	K33	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时该信号无效， 当 HT1_8x2 有效时为 HT1_Hi 总线 Ldt_Reqn 信号。 不用时可悬空
HT1_Tx_CADp[15:0]	G02 F01 E01 C01 G04 D03 B03 G06 E05 C06 F07 A05	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时，该总线为 HT1 总线发送数据命令总线， 当 HT1_8x2 有效时， [7:0]位为 HT1_Lo 总线发送数据命令总线， [15:8]位为 HT1_Hi 总线发送数据命令总线。 不用时可悬空

	D08 D09 A07 G10			
HT1_Tx_CA Dn[15:0]	G01 F02 E02 C02 F04 D04 A03 F06 D05 B06 E07 A06 D07 E09 B07 F10	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时, 该总线为 HT1 总线发送数据命令总线, 当 HT1_8x2 有效时, [7:0]位为 HT1_Lo 总线发送数据命令总线, [15:8]位为 HT1_Hi 总线发送数据命令总线。 不用时可悬空
HT1_Tx_CT Lp[1:0]	B04 B08	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时, 该总线为 HT1 总线发送控制总线, 当 HT1_8x2 有效时, [0]位为 HT1_Lo 总线发送控制信号, [1]位为 HT1_Hi 总线发送控制信号。 不用时可悬空
HT1_Tx_CT Ln[1:0]	A04 B08	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时, 该总线为 HT1 总线发送控制总线, 当 HT1_8x2 有效时, [0]位为 HT1_Lo 总线发送控制信号, [1]位为 HT1_Hi 总线发送控制信号。 不用时可悬空
HT1_Tx_CL Kp[1:0]	D01 F08	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时, 该总线为 HT1 总线发送时钟总线, 当 HT1_8x2 有效时, [0]位为 HT1_Lo 总线发送时钟信号, [1]位为 HT1_Hi 总线发送时钟信号。 不用时可悬空

HT1_Tx_CL Kn[1:0]	D02 G08	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时, 该总线为 HT1 总线发送时钟总线, 当 HT1_8x2 有效时, [0]位为 HT1_Lo 总线发送时钟信号, [1]位为 HT1_Hi 总线发送时钟信号。 不用时可悬空
HT1_Rx_CA Dp[15:0]	B19 C18 F18 A18 A16 A15 A13 F16 C14 A11 D16 D13 G14 G15 F12 F11	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时, 该总线为 HT1 总线接收数据命令总线, 当 HT1_8x2 有效时, [7:0]位为 HT1_Lo 总线接收数据命令总线, [15:8]位为 HT1_Hi 总线接收数据命令总线。 不用时可悬空
HT1_Rx_CA Dn[15:0]	A19 B18 G18 A17 B16 B15 A14 G16 B14 B11 D15 E13 F14 H15 G12 G11	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时, 该总线为 HT1 总线接收数据命令总线, 当 HT1_8x2 有效时, [7:0]位为 HT1_Lo 总线接收数据命令总线, [15:8]位为 HT1_Hi 总线接收数据命令总线。 不用时可悬空

HT1_Rx_CT Lp[1:0]	A12 C10	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时，该总线为 HT1 总线接收控制总线， 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线接收控制信号， [1]位为 HT1_Hi 总线接收控制信号。 不用时可悬空
HT1_Rx_CT Ln[1:0]	B12 B10	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时，该总线为 HT1 总线接收控制总线， 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线接收控制信号， [1]位为 HT1_Hi 总线接收控制信号。 不用时可悬空
HT1_Rx_CL Kp[1:0]	D17 D11	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时，该总线为 HT1 总线接收时钟总线， 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线发送时钟信号， [1]位为 HT1_Hi 总线发送时钟信号。 不用时可悬空
HT1_Rx_CL Kn[1:0]	E17 D12	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时，该总线为 HT1 总线接收时钟总线， 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线接收时钟信号， [1]位为 HT1_Hi 总线接收时钟信号。 不用时可悬空
HT1CLKP/N	A10 A09	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	200MHz LVDS 差分输入时钟，可通过 CLKSEL 进行选择是否用此差分时钟作为 HT 部分时钟源。默认可不接，使用 SYSCLK 作为时钟源 不用时可悬空

注：

1.仅 HT1 可用于与桥片互联。

2.HyperTransport 总线不使用时可以悬空。需要注意的是：不使用的 HT 通道，对应通道的 Ldt_Stopn、*_Reset 必须拉低。

2.1.5 DDR (DDR4)

Signal Name	Balls	Signal Type	Checked	Recommendations
-------------	-------	-------------	---------	-----------------

MC0_DQ[0: 63]	AH01A H04AL 02 AL01 AH03A H02AK 01AL0 3 AM01A M03AP 02 AR01A L04 AM02A P01AM 04AP0 4 AT02 AU04A R05AR 02AP0 3AP05 AT04 AP07A R07AU 08AR0 8 AT05 AU05A P09 AT08 AR30A P30AU 33AR3 3AU30 AT30 AP32 AT33 AT34	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的数据总线信号
------------------	--	-----	---	-------------------

	AR34A R35AR 37AP3 3AU34 AT36 AR36A P37AN 34AL3 6 AL37 AN35A P36AM 37AM3 6AK37 AJ34 AG36A G37 AK35A K36 AH37A H36			
MC0_CB[0:7]	AP11 AR11 AU12 AR14 AT09 AU09 AP12 AT12	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的数据总线 ECC 信号 做 PC 设计时可不接
MC0_DQSp[0:17]	AK02 AN04 AU03 AU07 AU32 AP35 AM34 AH35 AU11 AJ02	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的数据选通差分信号（包括 ECC），正沿 其中 DQSp[9:17]复用为 DQM[0:8]，即数据屏蔽信号 DM0-8（包括 ECC） 其中 DQSp8、DQSp17 在做 PC 设计时可不接

	AN02 AR03 AU06 AU31 AU35 AN36 AJ36 AU10			
MC0_DQSn [0:17]	AK03 AN03 AT03 AT07 AT32 AP34 AM35 AJ35 AT11 AJ01 AN01 AR04 AT06 AT31 AT35 AN37 AJ37 AT10	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的数据选通差分信号（包括 ECC），负沿 其中 DQSn[8:17] PC 设计时可不接
MC0_A[0:13] MC0_A17	AR23 AP20 AR20 AU18 AT18 AR18 AU17 AR17 AT17 AT16 AR24 AU16 AP18	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的地址总线信号

	AU27 AP27			
MC0_WEn/ A14	AT25	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的写使能信号,复用地址总线 A14
MC0_CASn/ A15	AU26	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的列地址选择信号,复用地址总线 A15
MC0_RASn/ A16	AP24	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的行地址选择信号,复用地址总线 A16
MC0_BA[0: 1]	AU24A T24	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的逻辑 Bank 地址信号
MC0_BG[0: 1]	AP17 AT15	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的逻辑 Bank 组地址信号
MC0_CSn[0: 7]	AT26 AT27 AR29 AU29 AU25 AT23 AU22 AT29	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的片选信号
MC0_CKE[0: 3]	AU13 AP15 AT14 AT13	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的时钟使能信号
MC0_ODT[0:3]	AP26 AT28 AR27 AP23	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的 ODT 输出信号
MC0_CLKP[0:3]	AU20 AU19 AU21 AR21	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的差分时钟输出信号,正沿

MC0_CLKN[0:3]	AT20 AT19 AT21 AP21	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的差分时钟输出信号，负沿
MC0_Resetn	AT22	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的复位输出信号
MC0_ACTN	AU14	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的激活命令信号
MC0_ALERTN	AU15	IO	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的 CRC 错或命令奇偶校验错标志
MC0_CID	AU28	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的 CHIP ID bit2, 3DS 内存使用
MC0_PAR	AU23	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的命令与地址的奇偶校验值
MC0_REXT	AP14	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的参考输入电阻，通过一个 240ohm(1%)的电阻连接至地。
MC1_DQ[0:63]	Y32 Y33 AB36 AB37 Y30 Y31 AA37 AA36 AB31 AB32 AC36 AC35 AB34	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的数据总线信号

AB33			
AC33			
AC34			
AD36			
AD37			
AF33			
AF30			
AC37			
AD35			
AE37			
AE36			
AF34			
AF35			
AJ32			
AJ33			
AF32			
AF31			
AH30			
AH31			
AN09			
AL09			
AL06			
AM05			
AK09			
AM09			
AN06			
AM06			
AH08			
AJ08			
AG02			
AG01			
AN05			
AL05			
AJ07			
AH07			
AF05			
AF06			
AE05			
AE04			

	AF07 AF08 AE01 AE02 AD03 AE08 AC07 AC06 AE07 AE06 AC05 AC08			
MC1_CB[0:7]	AL33 AL32 AN30 AM30 AJ31 AJ30 AL30 AK30	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的数据总线 ECC 信号 做 PC 设计时可不接
MC1_DQSP[0:17]	Y35 AB30 AE31 AF36 AM08 AJ05 AF04 AD02 AM32 Y37 AC31 AE32 AH32 AK08 AH05 AF02 AC01 AN32	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的数据选通差分信号（包括 ECC），正沿 其中 DQSP[9:17]复用为 DQM[0:8]，即数据屏蔽信号 DM0-8（包括 ECC） 其中 DQSp8、DQSp17 在做 PC 设计时可不接

MC1_DQSN [0:17]	Y36 AC32 AE33 AH33 AL08 AH06 AF01 AC02 AN33 Y34 AC30 AE30 AF37 AN08 AJ06 AF03 AD01 AM33	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的数据选通差分信号 (包括 ECC), 负沿 其中 DQSn[8:17] PC 设计时可不接
MC1_A[0:13] MC1_A17	AK17 AM23 AN23 AK22 AN24 AM24 AL23 AL24 AK23 AM26 AM15 AN26 AL26 AL12 AK12	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的地址总线信号
MC1_WEn/ A14	AN15	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的写使能信号, 复用地址总线 A14
MC1_CASn/ A15	AN14	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的列地址选择信号, 复用地址总线 A15

MC1_RASn/A16	AL15	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的行地址选择信号，复用地址总线 A16
MC1_BA[0:1]	AL17 AN17	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的逻辑 Bank 地址信号
MC1_BG[1:0]	AL25 AM25	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的逻辑 Bank 地址组信号
MC1_CSn[0:7]	AM14 AM12 AN11 AK11 AK15 AM18 AK18 AL11	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的片选信号
MC1_CKE[0:3]	AN29 AM29 AL27 AL29	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的时钟使能信号
MC1_ODT[0:3]	AL14 AM11 AK14 AN18	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的 ODT 输出信号
MC1_CLKp[3:0]	AL21 AM21 AM20 AL20	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的差分时钟输出信号，正沿
MC1_CLKn[3:0]	AK21 AN21 AN20 AK20	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的差分时钟输出信号，负沿
MC1_Resetn	AL18	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的复位输出信号

MC1_ACTN	AL28	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的激活命令信号
MC1_ALERT N	AN27	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的 CRC 错或命令奇偶校验错标志
MC1_CID2	AN12	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的 CHIP ID bit2, 3DS 内存使用
MC1_PAR	AM17	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的命令与地址的奇偶校验值
MC1_REXT	AK29	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的参考输入电阻, 通过一个 240ohm(1%)的电阻连接至地

注:

- 1.DDR 的复位信号 MC_RESETN 需要经过反向器后连接到 DIMM 条, 可以参考参考板使用三极管做反向。
- 2.每个内存控制器有 8 个 CS 信号 MC_SCSN[7:0], 连线时要求 MC_SCSN[3:0]连接到第一个 DIMM 条, MC_SCSN[7:4]连接到第二个 DIMM 条。具体分组要求如下:

DIMM0	MC_SCSN[0:3], ODT0/1, CKE0/1, CLKn/p[0:1]
DIMM1	MC_SCSN[4:7], ODT2/3, CKE2/3, CLKn/p[2:3]

DIMM 条 SPD 地址需固定, MC0 为 0,1; MC1 为 2,3。多路模式下每个处理器对应的 DIMM 条连接自己的 I2C 总线。

使用板载颗粒时,建议板上增加 1 颗 I2C 接口 SPD EEPROM。

- 3.在内存条应用中, 不支持数据信号组内互换。

2.1.6 GPIO

Signal Name	Balls	Signal Type	Checked	Recommendations
GPIO[15:0]	T04 T02 T03 T01 U06 U07 U05	IO	Yes <input type="checkbox"/> No <input type="checkbox"/>	默认为高阻态 不用时可悬空 VDDE_1V8 电压域

	U02			
	U03			
	U01			
	V06			
	V07			
	V04			
	V02			
	V03			
	V01			

注：

1.通用类产品系统默认不支持 GPIO 复用串口功能。如需使用 UART1 功能，需修改内核进行支持。

2.1.7 Strap&Control

Signal Name	Balls	Signal Type	Checked	Recommendations
SYSRESETn	T05	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	处理器复位输入信号，低电平有效。 VDDE_1V8 电压域
CHIP_CONFIG[5:0]	N06 N03 N01 N02 P07 P05	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	CHIP_CONFIG[5:0]推荐配置 6'b000010 详细定义见手册 VDDE_1V8 电压域
ICCC_EN	M01	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	多路 cache 一致性使能，芯片内部集成 50KOhm 下拉电阻。 多路 CPU 互联模式下需上拉。 单路 CPU 设计，可悬空，建议外部预留下拉电阻。 VDDE_1V8 电压域。
NODE_ID[2:0]	M02,N07,N04	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	处理器节点指示 000,处理器为 0 号节点 001,处理器为 1 号节点 111 处理器为 7 号节点 VDDE_1V8 电压域

NMI _n	M03	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	不可屏蔽中断，芯片内部集成 50KOhm 上拉电阻。可悬空，建议外部上拉处理。 VDDE_1V8 电压域
CLKSEL[9:0]	P06 P03 P01 P02 R06 R04 R05 R03 R01 R02	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	CLKSEL[1:0]推荐配置 2'b10 CLKSEL[3:2]推荐配置 2'b10 CLKSEL[4] 推荐配置 1'b0 CLKSEL[9:5]推荐配置 5'b01010 更详细定义见手册 VDDE_1V8 电压域
SYSCLK	T06	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	处理器时钟输入，100M 时钟。

注：

- 1.3A5000 处理器的所有 strap 均上拉到 S0 电，主板复位时状态必须稳定。
- 2.CLKSEL[4]、CLKSEL[7:6]可选的配置方式：CLKSEL[4]=1'b1 且 CLKSEL[7:6]=2'b00。此配置模式，SE 模块不可用。
- 3.SYSCLK 必须在 SYSRESET_n 撤销前保持稳定。

2.1.8 JTAG/LA464 JTAG

Signal Name	Balls	Signal Type	Checked	Recommendations
TDI	W02	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	不用时可悬空 VDDE_1V8 电压域
TDO	W03	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	不用时可悬空 VDDE_1V8 电压域
TMS	Y06	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	不用时可悬空 VDDE_1V8 电压域
TRST	Y07	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	不用时可悬空，内部默认下拉 VDDE_1V8 电压域

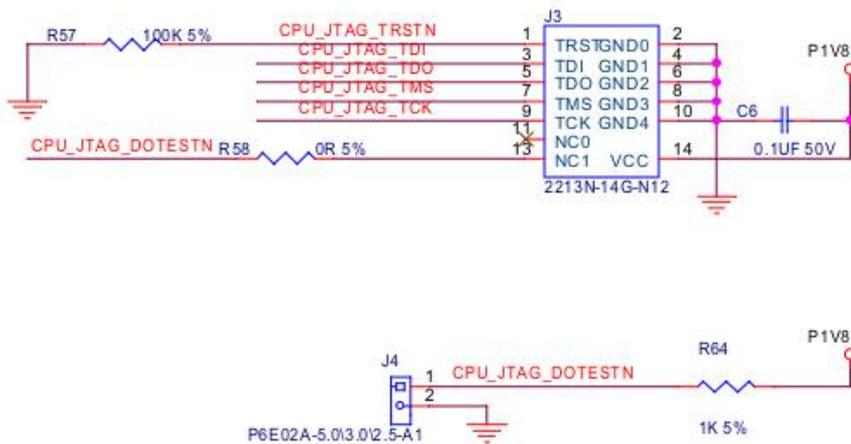
TCK	W01	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	不用时可悬空，内部默认下拉 VDDE_1V8 电压域
TSEL[1:0]	W06,Y 03	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	JTAG 功能选择： 2'b00: LA464 JTAG 2'b01: JTAG 不用时可悬空 VDDE_1V8 电压域
DOTESTn	W05	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	正常模式上拉。 JTAG 模式需要外部拉低。 VDDE_1V8 电压域

注：LA464 JTAG 与 JTAG 复用调试接口，LA464 JTAG 用于调试底层应用软件；JTAG 调试接口用于芯片测试，通过 TSEL[1:0]设置输出。如无特殊要求，尽量将调试接口引出。为了兼容龙芯现有仿真器，LA464 JTAG 接口按照下图所示，可通过软件或者芯片的 FUSE 禁用。

LA464 JTAG 接口：

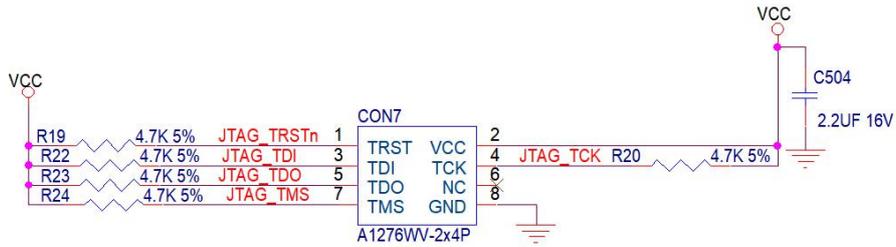
方案一：

主板上 1.8V IO 电平 JTAG/LA464 JTAG 接线示意图：



方案二：

在板卡空间紧张的情况下，JTAG 连接器也可使用以下接口定义，JTAG 连接器使用 1.27mm 间距 2*4pin 排针。VCC(2PIN)供电可兼容 1.8V 和 3.3V IO。



注:

- (1) CPU_DOTESTN: CPU PIN.W05, CPU_TSEL: CPU PIN.W06。
- (2) 如果主板上选用方案二接口, 需要购买最新的带有接口转接板的龙芯 JTAG 仿真器。

2.1.9 POWER

模块	电源名称	电压值			最大 电流	备注
		最小值	典型值	最大值		
Core	VDDN	0.8V	0.9	1.3V	25A	对于商业级芯片, 运行 spec2006 的 465 时, 纹波应尽量控制在 +-50mv 以内
			1.05		35A	
			1.1		45A	
			1.15		45A	
			1.25		50A	
	VDDP	0.8V	0.95	1.1V	10A	
			1.05			
DDR	VDDE_DDR0/1	1.14V	1.2V	1.26V	1A	
HT	VDDE_1V2T	1.1V	1.2	1.3V	1A	
	VDDE_1V2R	1.1V	1.2	1.3V		
IO	VDDE_1V8	1.7V	1.8V	1.9V	1A	
PLL	PLL_SYS_AVDD	1.1V	1.25V	1.4V	0.5A	
	PLL_SYS_DVDD	1.1V	1.25V	1.4V		

	PLL_DDR_AVDD	1.1V	1.25V	1.4V	
	PLL_DDR_DVDD	1.1V	1.25V	1.4V	
	PLL_DDRPHY_VDD	1.1V	1.25V	1.4V	
	PLL_SE_VDD	1.1V	1.25V	1.4V	
	PLL_HT0/1_AVDD	1.1V	1.25V	1.4V	
	PLL_HT0/1_DVDD	1.1V	1.25V	1.4V	

注：

- 1.除特殊说明外，所有电源大负载下纹波控制在 $\pm 25\text{mV}$ 以内。
- 2.做 STR 功能时，VDDE_DDR 可以跟 DIMM 条的 VDD 合并。
- 3.VDDN 和 VDDP 设计上建议都支持动态调压。笔记本方案要求 VDDN 必须支持动态调压。

2.1.10 芯片分级

芯片标识	典型电压 1 VDDN/VDDP	电源噪声	典型 功耗 2	壳温范围	说明
LS3A5000-HV	1.25V/1.05V	$\pm 25\text{mV}$	$<35\text{W}$	0 - 70°C	商业级版本工作频率 2.5GHz
LS3A5000-LL	1.15V/0.95V	$\pm 25\text{mV}$	$<30\text{W}$	0 - 70°C	商业级版本工作频率 2.3GHz
LS3B5000	1.15V/0.95V	$\pm 25\text{mV}$	$<25\text{W}$	0 - 70°C	商业级服务器版本工 作频率 2.3GHz
LS3A5000M	1.05V/0.95V	$\pm 25\text{mV}$	$<18\text{W}$	0 - 70°C	商业级移动版本采用 超薄封装工作频率 2.0GHz
LS3A5000-i	1.10V/0.95V	$\pm 25\text{mV}$	$<22\text{W}$	-40 - 85°C	普通工业级版本工作 频率 2.0GHz
	0.90V/0.95V	$\pm 25\text{mV}$	$<12\text{W}$	-40 - 85°C	普通工业级版本工作 频率

- 1.典型电压为 VDDN 的电压设置。
- 2.表中数据为常温典型工作条件下 VDDN 电压域测得的典型值 (SPEC CPU 2006 RATE

运行时测得全芯片最大功耗), 受运行温度影响, 处理器正常工作时很少超过该值。此外, 龙芯 3A5000 系列支持动态调频调压, 待机或低负载工作功耗远低于典型值。

2.2 其他设计注意事项

2.2.1 时钟设计要求

信号名称	类型	描述	电源域
SYSCLK	I	<p>100M LVCMOS 单端时钟, 是内部处理器核时钟、内存控制器及总线时钟、串口波特率等的时钟源。</p> <p>设计建议: 处理器 SYSCLK 需要预留展频设计, 建议展频幅度为正负 0.25%。</p> <p>时钟 RMS jitter 要求: 不大于 0.5ps</p>	VDDE_1V8
HT_CLKP/N	I	<p>200M LVDS 差分时钟, 是可选的 HT 部分的 PLL 时钟源。</p> <p>设计建议: 可不接。</p> <p>时钟 RMS jitter 要求: 不大于 0.5ps</p> <p>注: HT 部分可通过 CLKSEL[8] 进行选择用 SYSCLK 产生还是用 HT_CLKP/N 时钟产生, 推荐使用 SYSCLK 产生。</p>	HT_VDDE

2.2.2 接口外设支持列表

详见《龙芯平台外围功能芯片适配列表》

2.2.3 SE 模块最小设计

2.2.3.1 概述

本节为龙芯 3A5000 安全处理器 SE 模块硬件最小电路设计参考。

2.2.3.2 硬件参考设计

1) 系统组成

龙芯 3A5000 安全处理器 SE 模块最小接口电路由配置电路、状态指示、UART、QSPI 组成，模块外围电路框图如下图所示。

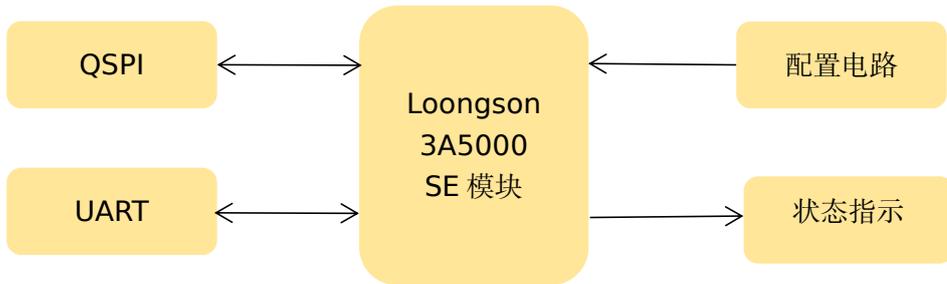


图 2.2-1 SE 模块外围电路框图

2) 接口详细参考设计

SE 外围电路参考设计详细描述如下所示。

配置电路：将配置信号管脚（CHIP_CONFIG[0]）接拨码开关，（SE_CLK_SEL）接上拉电阻、（SE_GPIO8、SE_GPIO9）管脚接下拉电阻。参考设计如下图所示。



图 2.2-2 配置电路参考设计

状态指示：状态指示信号引脚（SE_GPIO4~7）外接 LED 灯，SE_GPIO4 接绿色 LED 灯，其他 GPIO 接黄色 LED 灯，信号引脚（SE_GPIO4~7）与 LED 灯之间串接阻值 1K 的电阻，状态指示电路图如下图所示。

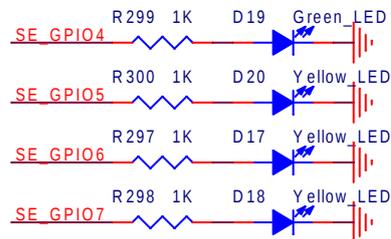


图 2.2-3 状态指示参考设计

UART 接口外接 3 芯 2.54mm 单排插针，串口 RX 引脚接 4.7K 上拉电阻，插针引脚定义如下图所示。

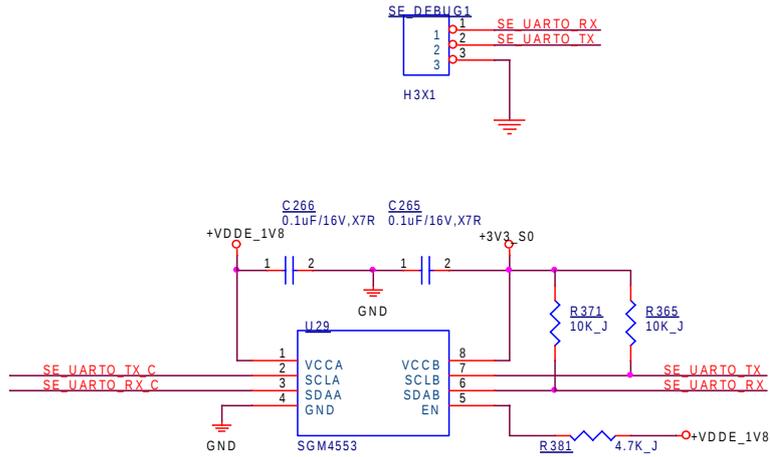


图 2.2-4 配置电路参考设计

QSPI 接口外扩兆易创新 SPI FLASH，工作电压 1.8V，封装 SOP8，参考电路如下图所示。

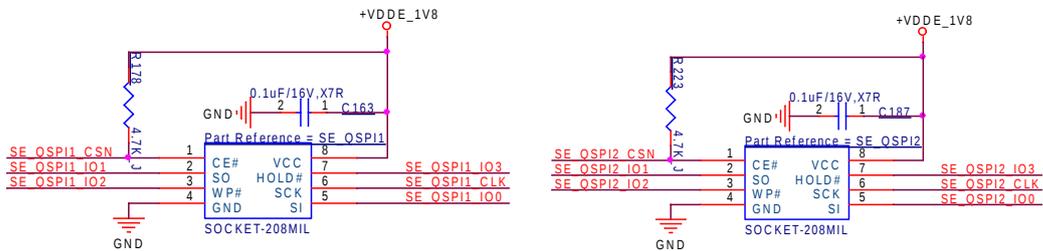


图 2.2-5 QSPI 接口参考设计

3) 芯片接口管脚列表

芯片具体管脚设计列表如下表所示。

分类	信号名称	输入输出	管脚	描述	默认处理方式	电压域
Clock	SYS_CLK	I	T06	系统输入时钟，	外接 100MHz 时钟	VDDE_1V8
	CLKSEL[4]	I	R06	CPU 参考时钟分频选择： 1: 不分频；0: 4 分频	0: 需外部 1K 下拉	VDDE_1V8
Config	SE_CLK_SEL	I	W36	SE 功能时钟选择	1: 需外部 4.7K 上拉	VDDE_1V8
	CHIP_CONFIG[0]	I	N06	SE Boot 使能： 1: SE 启动；0: 龙芯启动	1: 使能 SE 可信功能，需外部 4.7K 上拉	VDDE_1V8
JTAG	TSEL0	I	W06	JTAG 功能选择： 00: LA464 JTAG	00: 需外部 1K 下拉	VDDE_1V8
	TSEL1	I	Y03	11: SE JTAG		VDDE_1V8

GPIO	SE_GPIO0	IO	V34	保留		VDDE_1V8
	SE_GPIO1	IO	V33	保留		VDDE_1V8
	SE_GPIO2	IO	V35	保留		VDDE_1V8
	SE_GPIO3	IO	V37	保留		VDDE_1V8
	SE_GPIO4	IO	W34	保留		VDDE_1V8
	SE_GPIO5	IO	V36	SE 系统状态显示 1	外接指示灯, 高有效	VDDE_1V8
	SE_GPIO6	IO	W32	SE 系统状态显示 2	外接指示灯, 高有效	VDDE_1V8
	SE_GPIO7	IO	W33	保留		VDDE_1V8
	SE_GPIO8	IO	W35	已使用	需外部 1K 下拉	VDDE_1V8
	SE_GPIO9	IO	W37	已使用	需外部 1K 下拉	VDDE_1V8
UART	SE_UART0_TX	O	M33	SE 串口 0 数据输出	UART0 可引出用于调试 UART1 保留	VDDE_1V8
	SE_UART0_RX	I	M32	SE 串口 0 数据输入		VDDE_1V8
	SE_UART1_TX	O	M34	SE 串口 1 数据输出		VDDE_1V8
	SE_UART1_RX	I	M36	SE 串口 1 数据输入		VDDE_1V8
QSPI	SE_QSPI1_FLASH_CLK	O	P37	SE QSPI 1 时钟信号	外部需连接兆易创新 GD25L64ESIG 芯片。使用叠封 LS3A5000 芯片时, 此 Flash 芯片不能焊接	VDDE_1V8
	SE_QSPI1_FLASH_CS_N	O	R33	SE QSPI 1 片选信号		VDDE_1V8
	SE_QSPI1_FLASH_IO0	IO	R34	SE QSPI 1 Flash 数据 0		VDDE_1V8
	SE_QSPI1_FLASH_IO1	IO	R36	SE QSPI 1 Flash 数据 1		VDDE_1V8

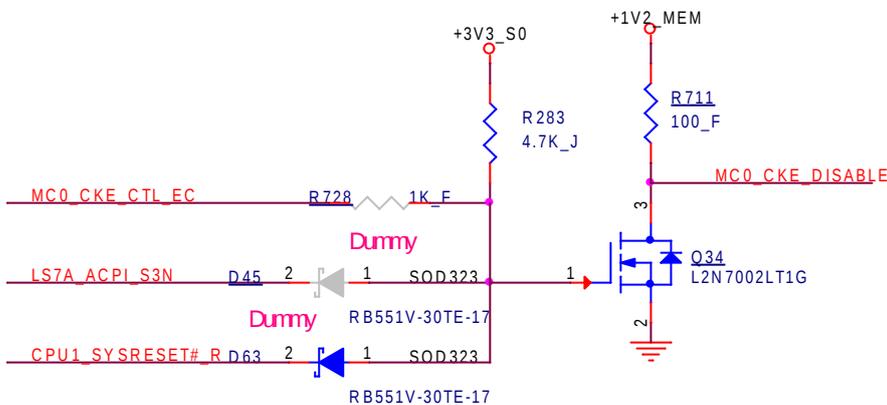
	1						
	SE_QSPI1_FLASH_IO2	IO	R37	SE QSPI 1 Flash 数据 2		VDDE_1V8	
	SE_QSPI1_FLASH_IO3	IO	R35	SE QSPI 1 Flash 数据 3		VDDE_1V8	
	SE_QSPI2_FLASH_CLOCK	O	P34	SE QSPI 2 时钟信号	使用可信存储时，外部可选配 SPI FLASH 芯片，容量 128Mb	VDDE_1V8	
	SE_QSPI2_FLASH_CS_N	O	P33	SE QSPI 2 片选信号		VDDE_1V8	
	SE_QSPI2_FLASH_IO0	IO	P32	SE QSPI 2 Flash 数据 0		VDDE_1V8	
	SE_QSPI2_FLASH_IO1	IO	N35	SE QSPI 2 Flash 数据 1		VDDE_1V8	
	SE_QSPI2_FLASH_IO2	IO	N37	SE QSPI 2 Flash 数据 2		VDDE_1V8	
	SE_QSPI2_FLASH_IO3	IO	N36	SE QSPI 2 Flash 数据 3		VDDE_1V8	
SPI	SE_SPI_MOSI	O	M37	SE SPI 总线输出		不用时，无需处理	VDDE_1V8
	SE_SPI_MISO	I	N33	SE SPI 总线输入			VDDE_1V8
	SE_SPI_CS_N	O	M35	SE SPI 片选信号			VDDE_1V8
	SE_SPI_CLOCK	O	N34	SE SPI 总线时钟	VDDE_1V8		
SCI	SE_SCI_RSTN	O	T36	SE SCI 总线复位信号	不用时，无需处理	VDDE_1V8	
	SE_SCI_DETECT	I	T32	SE SCI 总线检测信号输入		VDDE_1V8	
	SE_SCI_DATA	IO	T34	SE SCI 总线数据收发信号		VDDE_1V8	

	SE_SCI_CLK	O	T33	SE SCI 总线时钟输出		VDDE_1V8
I2C	SE_I2C_SCL	O	P36	SE I2C 时钟信号	不用时, 无需处理	VDDE_1V8
	SE_I2C_SDA	IO	P35	SE I2C 数据		VDDE_1V8
RSVD	RSVD1	IO	U34	保留信号	不用时, 无需处理	VDDE_1V8
	RSVD2	IO	T37			VDDE_1V8
	RSVD3	IO	U33			VDDE_1V8
	RSVD4	IO	T35			VDDE_1V8
	RSVD5	IO	V32			VDDE_1V8
	RSVD6	IO	U36			VDDE_1V8
	RSVD7	IO	U37			VDDE_1V8
	RSVD8	IO	U35			VDDE_1V8

2.2.4 S3 设计细节

本节是针对笔记本、台式机等需要支持 S3 睡眠唤醒功能需要特别注意的设计指导。

(1) CKE 部分设计详细方案



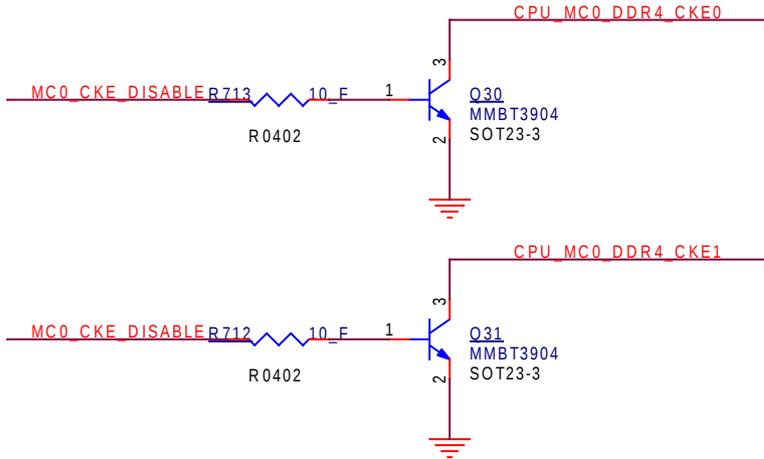
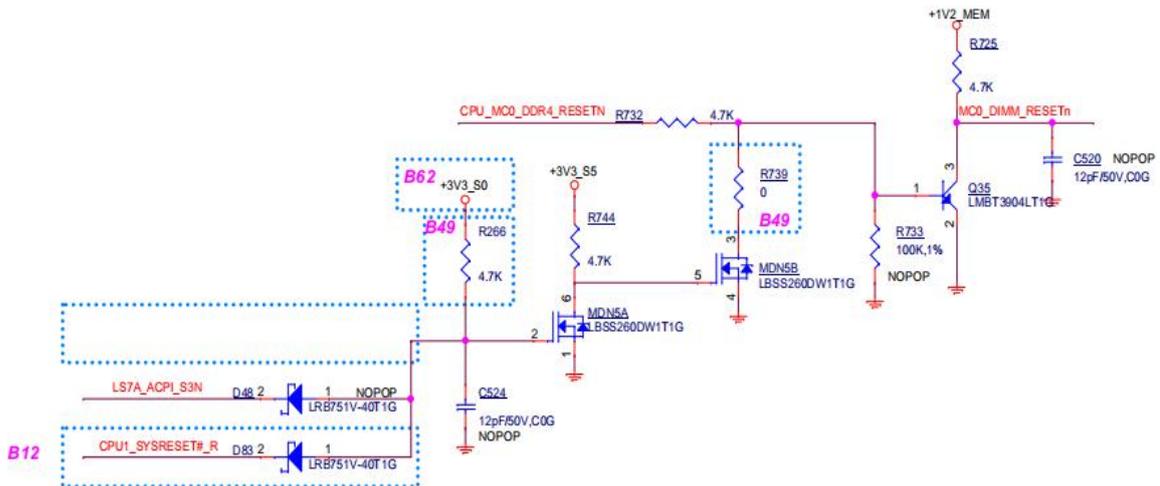


图 2.2-6 CKE 部分线路设计原理图

注：图示中 CPU1_SYSRESET#_R 为经过电平转换后的信号。

(2) RESET 部分设计详细方案



或者保证时序上，处理器的 sysclk 时钟早于 VDDE_DDR。

注：

1. 图示中 CPU1_SYSRESET#_R 为经过电平转换后的信号。
2. 若需要将 CPU1_SYSRESET#_R 连接 IT66121 的 RESET 信号，建议将 CPU1_SYSRESET#_R 改换成用 EC 的引脚控制。

3 PCB 设计指导

3.1 DDR4 接口 PCB 设计要求

信号名称	走线要求
------	------

CLOCK	阻抗: 70Ω +- 10% 走线分组跟 ADD/CMD 一组, 等长误差 20mils, 差分对内等长误差 5mils
ADD/CMD/ CTRL	阻抗: 40Ω +- 10% 组内等长误差 20mils, 参考电源
DQ	阻抗: 50Ω +- 10% 同一 Byte 内等长误差 20mils, 相邻两个 Byte 间走线长度相差 400mils 以内 参考 GND
DQS	阻抗: 80Ω +- 10% 走线分组跟 DQ 一组, 等长误差 20mils, 差分对内等长误差 5mils 0<DQS-clk < 1500mils (此条走线时如果有问题可商量) 参考 GND

3.2 HT 接口 PCB 设计要求

- (1) 单端走线阻抗 50Ω, 差分走线阻抗 80Ω, 每根线不超过 2 个过孔
- (2) 换层过孔处打伴随地孔, 其他层不要有走线从差分过孔中间穿过
- (3) HT 信号走线分两组, TX_CADp/n[15:0]、TX_CTLp/n[1:0]、TX_CTKp/n[1:0]为一组, 对应的 RX 信号为一组, 组内信号等长误差 200mils, 组间没有等长要求; 差分对内等长误差 5mils

3.3 其它信号

其它信号接口单端走线阻抗 50Ω

龙芯 7A1000 硬件设计规范

V1.0

版本信息

文档信息	文档名	龙芯 7A1000 硬件设计规范
	版本号	V1.0
	创建人	通用事业部
版本历史		
序号	版本号	更新内容
1	V1.0	初版发布

前言.....	1
1 主板架构.....	2
1.1 主板典型应用方案.....	2
2 原理图设计检查.....	4
2.1 7A1000 checklist.....	4
2.1.1 HT.....	4
2.1.2 PCIE.....	8
2.1.3 USB.....	13
2.1.4 DDR3.....	14
2.1.5 SATA.....	16
2.1.6 SPI.....	17
2.1.7 LPC.....	18
2.1.8 I2C.....	18
2.1.9 UART.....	19
2.1.10 GMAC.....	20
2.1.11 PWM.....	21
2.1.12 HDA.....	21
2.1.13 GPIO.....	22
2.1.14 RTC.....	22
2.1.15 DVO.....	23
2.1.16 Strap&Control.....	26
2.1.17 JTAG.....	26
2.1.18 ACPI.....	27
2.1.19 Interrupt.....	29
2.1.20 POWER.....	29
2.2 其他设计注意事项.....	30
2.2.1 时钟.....	30
2.2.2 时序要求.....	31
2.2.3 7A1000 显示单元的设计.....	31
2.2.4 桥片 SPI 存储 rom.....	31
2.2.5 笔记本、一体机方案注意事项.....	31
2.2.6 接口外设支持列表.....	32
3 PCB 设计指导.....	32
3.1 叠层设计参考.....	32
3.2 HT.....	33
3.3 PCIE.....	34
3.4 USB.....	35
3.5 SATA.....	36
3.6 DDR3.....	36
3.7 fanout 注意事项.....	37
3.8 高速信号 layout 通用设计规则.....	39
3.8.1 避免走线参考平面跨分割.....	40
3.8.2 高速差分信号线换层时打回流 GND 孔.....	40

3.8.3 差分对绕线规则.....41

前言

本文档作为龙芯 7A1000 的主板硬件设计规范, 内含 7A1000 桥片的硬件 checklist、特殊注意事项以及 layoutguide。设计者请按规范文档认真核对硬件线路和 PCB 设计。

原理图、PCB 设计, 推荐使用龙芯官方参考设计的原理图 symbol、PCB Footprint。如果自己新建原理图 symbol、PCB Footprint 进行设计, 建议多次对照数据手册检查正确性。

如遇内容错误, 欢迎批评指正。

1 主板架构

1.1 主板典型应用方案

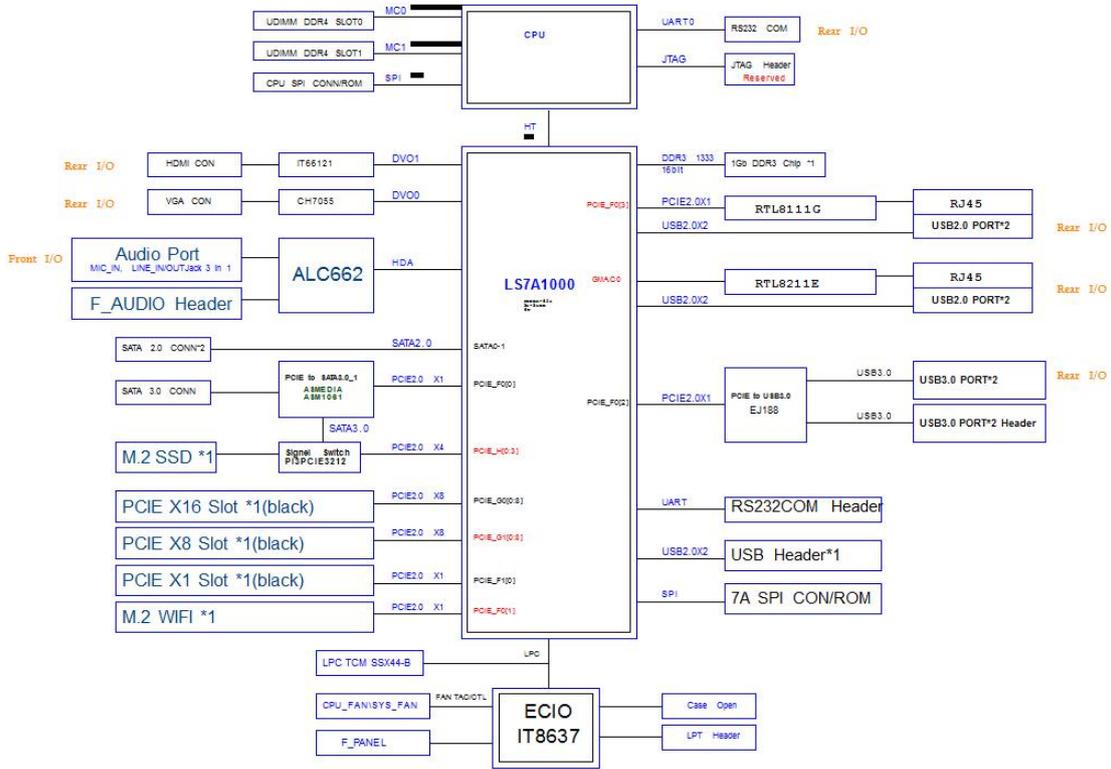


图 1-1 单路典型应用框图

2 原理图设计检查

2.1 7A1000 checklist

2.1.1 HT

Signal Name	Balls	Signal Type	Checked	Recommendations
HT_REXT	H19	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	HT 参考电阻, 通过一个 1Kohm(1%)的电阻接地。
HT_8X2	A11	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	不可悬空 为低, HT 作为 16 位总线使用 为高, HT 作为 HT_Hi 和 HT_Lo 两个 8 位总线使用
HT_LO_POWEROK	G14	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时为 HT 总线 PowerOK 信号, 当 HT_8X2 有效时为 HT_Lo 总线 PowerOK 信号
HT_LO_RESETn	G13	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时为 HT 总线 Resetn 信号, 当 HT_8X2 有效时为 HT_Lo 总线 Resetn 信号。
HT_LO_LDT_STOPn	F13	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时为 HT 总线 Ldt_Stopn 信号, 当 HT_8X2 有效时为 HT_Lo 总线 Ldt_Stopn 信号。
HT_LO_LDT_REQn	A12	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时为 HT 总线 Ldt_Reqn 信号, 当 HT_8X2 有效时为 HT_Lo 总线 Ldt_Reqn 信号。
HT_HI_POWEROK	C12	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时该信号无效, 当 HT_8X2 有效时为 HT_Hi 总线 PowerOK 信号。

HT_HI_RSTn	E12	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时该信号无效， 当 HT_8X2 有效时为 HT_Hi 总线 Resetn 信号。
HT_HI_LDT_STOPn	B12	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时该信号无效， 当 HT_8X2 有效时为 HT_Hi 总线 Ldt_Stopn 信号。 如果使用低 8 位连接，该信号需要下拉到地。
HT_HI_LDT_REQn	F12	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时该信号无效， 当 HT_8X2 有效时为 HT_Hi 总线 Ldt_Reqn 信号。
HT_TX_CAD P[00~15]	E13 B13 E14 B14 E15 G15 B16 E16 E17 B18 E18 G17 E19 B20 E20 G19	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时，该总线为 HT 总线发送数据命令总线， 当 HT_8X2 有效时， [7:0]位为 HT_Lo 总线发送数据命令总线， [15:8]位为 HT_Hi 总线发送数据命令总线。
HT_TX_CAD N[00~15]	D13 A13 D14 A14 D15 G16 A16 D16 D17 A18 D18 G18 D18	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时，该总线为 HT 总线发送数据命令总线， 当 HT_8X2 有效时， [7:0]位为 HT_Lo 总线发送数据命令总线， [15:8]位为 HT_Hi 总线发送数据命令总线。

	A20 D20 G20			
HT_TX_CTL P[0~1]	B17 B21	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时,该总线为 HT 总线发送控制总线, 当 HT_8X2 有效时, [0]位为 HT_Lo 总线发送控制信号, [1]位为 HT_Hi 总线发送控制信号。
HT_TX_CTL N[0~1]	A17 A21	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时,该总线为 HT 总线发送控制总线, 当 HT_8X2 有效时, [0]位为 HT_Lo 总线发送控制信号, [1]位为 HT_Hi 总线发送控制信号。
HT_TX_CLK P[0~1]	B15 B19	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时,该总线为 HT 总线发送时钟总线, 当 HT_8X2 有效时, [0]位为 HT_Lo 总线发送时钟信号, [1]位为 HT_Hi 总线发送时钟信号。
HT_TX_CLK N[0~1]	A15 A19	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时,该总线为 HT 总线发送时钟总线, 当 HT_8X2 有效时, [0]位为 HT_Lo 总线发送时钟信号, [1]位为 HT_Hi 总线发送时钟信号。
HT_RX_CA DP[00~15]	F29 F30 E29 C30 B29 E27 B28 E26 E25 B26 E24 B25 G21 E23 B23 E22	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时,该总线为 HT 总线接收数据命令总线, 当 HT_8X2 有效时, [7:0]位为 HT_Lo 总线接收数据命令总线, [15:8]位为 HT_Hi 总线接收数据命令总线。

HT_RX_CADN[00~15]	F28 E30 D29 B30 A29 D27 A28 D26 D25 A26 D24 A25 G22 D23 A23 D22	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时,该总线为 HT 总线接收数据命令总线, 当 HT_8X2 有效时, [7:0]位为 HT_Lo 总线接收数据命令总线, [15:8]位为 HT_Hi 总线接收数据命令总线。
HT_RX_CTL P[0~1]	B27 B22	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时,该总线为 HT 总线接收控制总线, 当 HT_8X2 有效时, [0]位为 HT_Lo 总线接收控制信号, [1]位为 HT_Hi 总线接收控制信号。
HT_RX_CTL N[0~1]	A27 A22	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时,该总线为 HT 总线接收控制信号, 当 HT_8X2 有效时, [0]位为 HT_Lo 总线接收控制信号, [1]位为 HT_Hi 总线接收控制信号。
HT_RX_CLK N[0~1]	D28 A24	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时,该总线为 HT 总线接收时钟总线, 当 HT_8X2 有效时, [0]位为 HT_Lo 总线接收时钟信号, [1]位为 HT_Hi 总线接收时钟信号。
HT_RX_CLK P[0~1]	E28 B24	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时,该总线为 HT 总线接收时钟总线, 当 HT_8X2 有效时, [0]位为 HT_Lo 总线接收时钟信号, [1]位为 HT_Hi 总线接收时钟信号。

2.1.2 PCIE

Signal Name	Balls	Signal Type	Checked	Recommendations
PCIE_G0_T XP[7:0]	AK14A K13AK 12AK1 1AK10 AK9 AK8 AF8	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	G0 通路 PCIe8 差分数据输出正。 当 PCIE_G0_PRSNTn1 为低时，此通路拆分为 0~3 和 4~7 两个 X4 通路使用。 靠近发送端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_G0_T XN[7:0]	AJ14 AJ13 AJ12 AJ11 AJ10 AJ9 AJ8 AG8	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	G0 通路 PCIe8 差分数据输出负。 当 PCIE_G0_PRSNTn1 为低时，此通路拆分为 0~3 和 4~7 两个 X4 通路使用。 靠近发送端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_G0_R XP[7:0]	AF14 AD16 AF13 AD14 AF11 AF10 AF9 AD12	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	G0 通路 PCIe8 差分数据输入正。 当 PCIE_G0_PRSNTn1 为低时，此通路拆分为 0~3 和 4~7 两个 X4 通路使用。 靠近设备端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_G0_R XN[7:0]	AG14 AD15A G13AD 13AG1 1AG10 AG9 AD11	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	G0 通路 PCIe8 差分数据输入负。 当 PCIE_G0_PRSNTn1 为低时，此通路拆分为 0~3 和 4~7 两个 X4 通路使用。 靠近发送端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_G0_R EFRES	AC15	A	Yes <input type="checkbox"/> No <input type="checkbox"/>	外部参考电阻，通过一个 200ohm(1%)的电阻连接至地

PCIE_G0_P RSNTn[1:0]	AC13A C12	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	<p>控制器使能信号，默认全高</p> <p>X8 模式时，PCIE_G0_PRSNTn1 必须置高。</p> <p>PCIE_G0_PRSNTn0 作为控制使能信号，当设备接入时置低。</p> <p>X4 模式时，PCIE_G0_PRSNTn0 作为数据总线的 0~3 使能信号，当有设备接入时置低。</p> <p>PCIE_G0_PRSNTn1 作为数据总线的 4~7 使能信号，当有设备接入时置低。</p> <p>不用时建议外部上拉到 3.3VS0。</p>
PCIE_G0_R STn	AC11	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	<p>G0 通路 PCIE 复位信号，低电平有效。外部预留 4.7K 电阻上拉到 3.3VS0</p>
PCIE_G1_T XP[7:0]	AF1 AJ1 AK2 AK3 AK5 AK4 AK6 AK7	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	<p>G1 通路 PCIe8 差分数据输出正。</p> <p>当 PCIE_G1_PRSNTn1 为低时，此通路拆分为 0~3 和 4~7 两个 X4 通路使用。</p> <p>靠近发送端摆放 0.1uF 电容。</p> <p>不用时可悬空。</p>
PCIE_G1_T XN[7:0]	AE1 AH1 AJ2 AJ3 AJ5 AJ4 AJ6 AJ7	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	<p>G1 通路 PCIe8 差分数据输出负。</p> <p>当 PCIE_G1_PRSNTn1 为低时，此通路拆分为 0~3 和 4~7 两个 X4 通路使用。</p> <p>靠近发送端摆放 0.1uF 的隔直电容。</p> <p>不用时可悬空。</p>
PCIE_G1_R XP[7:0]	AF2 AF3 AE3 AF4 AF5 AF6 AF7 AE7	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	<p>G1 通路 PCIe8 差分数据输入正。</p> <p>当 PCIE_G1_PRSNTn1 为低时，此通路拆分为 0~3 和 4~7 两个 X4 通路使用。</p> <p>靠近设备端摆放 0.1uF 的隔直电容。</p> <p>不用时可悬空。</p>
PCIE_G1_R XN0	AG2 AG3 AE4	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	<p>G1 通路 PCIe8 差分数据输入负。</p> <p>当 PCIE_G1_PRSNTn1 为低时，此通路拆分为 0~3 和 4~7 两个 X4 通路使用。</p>

	AG4 AG5 AG6 AG7 AE8			靠近发送端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_G1_R EFRES	AE10	A	Yes <input type="checkbox"/> No <input type="checkbox"/>	外部参考电阻, 通过一个 200ohm(1%)的电阻 连接至地
PCIE_G1_P RSNTn[1:0]	AE9 AD10	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	控制器使能信号, 默认全高 X8 模式时, PCIE_G1_PRSNTn1 必须置高。 PCIE_G1_PRSNTn0 作为控制使能信号, 当设 备接入时置低。 X4 模式时, PCIE_G1_PRSNTn0 作为数据总线 的 0~3 使能信号, 当有设备接入时置低。 PCIE_G1_PRSNTn1 作为数据总线的 4~7 使能 信号, 当有设备接入时置低。 不用时建议外部上拉到 3.3VS0 处理。
PCIE_G1_R STn	AD9	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	G1 通路 PCIE 复位信号, 低电平有效。外部预 留 4.7K 电阻上拉到 3.3VS0。
PCIE_H_TX P[7:0]	AF30 AJ30 AK29 AK28 AK27 AK26 AK25 AK24	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	H 通路 PCIe8 差分数据输出正。 当 PCIE_H_PRSNTn1 为低时, 此通路拆分为 0~3 和 4~7 两个 X4 通路使用。 靠近发送端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_H_TX N[7:0]	AE30 AH30 AJ29 AJ28 AJ27 AJ26 AJ25 AJ24	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	H 通路 PCIe8 差分数据输出负。 当 PCIE_H_PRSNTn1 为低时, 此通路拆分为 0~3 和 4~7 两个 X4 通路使用。 靠近发送端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_H_RX P[7:0]	AE29 AE27 AF29	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	H 通路 PCIe8 差分数据输入正。 当 PCIE_H_PRSNTn1 为低时, 此通路拆分为 0~3 和 4~7 两个 X4 通路使用。

	AF28 AE25 AF26 AF24 AF25			靠近设备端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_H_RX N0	AE28 AE26 AG29 AG28 AE24 AG26 AG24 AG25	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	H 通路 PCIe8 差分数据输入负。 当 PCIE_H_PRSENTn1 为低时，此通路拆分为 0~3 和 4~7 两个 X4 通路使用。 靠近发送端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_H_RE FRES	AC21	A	Yes <input type="checkbox"/> No <input type="checkbox"/>	外部参考电阻， 通过一个 200ohm(1%)的电阻连接至地
PCIE_H_PR SNTn[1:0]	AD22A D23	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	控制器使能信号，默认全高 X8 模式时，PCIE_H_PRSENTn1 必须置高。 PCIE_H_PRSENTn0 作为控制使能信号，当设备接入时置低。 X4 模式时，PCIE_H_PRSENTn0 作为数据总线的 0~3 使能信号，当有设备接入时置低。 PCIE_H_PRSENTn1 作为数据总线的 4~7 使能信号，当有设备接入时置低。 不用时建议外部上拉到 3.3VS0 处理。
PCIE_H_RS TN	AE23	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	H 路 PCIe 复位信号，低电平有效。建议外部预留 4.7K 电阻上拉到 3.3VS0。
PCIE_F0_TX P[3:0]	AK23 AK22 AK21 AK20	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	F0 通路 PCIe4 差分数据输出正。 当 PCIE_F0_PRSENTn[1:3]其中有一个为低时，此通路拆分为 4 个 X1 通路使用。 靠近发送端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_F0_TX N[3:0]	AJ23 AJ22 AJ21 AJ20	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	F0 通路 PCIe4 差分数据输出负。 当 PCIE_F0_PRSENTn[1:3]其中有一个为低时，此通路拆分为 4 个 X1 通路使用。 靠近发送端摆放 0.1uf 的隔直电容。 不用时可悬空。

PCIE_F0_RX P[3:0]	AF22 AF23 AF21 AF20	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	F0 通路 PCIe4 差分数据输入正 当 PCIE_F0_PRSENTn[1:3]其中有一个为低时, 此通路拆分为 4 个 X1 通路使用。 靠近设备端放置 0.1uf 的隔直电容。 不用时可悬空。
PCIE_F0RX N[3:0]	AG22 AG23 AG21 AG20	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	F0 通路 PCIe4 差分数据输入。 当 PCIE_F0_PRSENTn[1:3]其中有一个为低时, 此通路拆分为 4 个 X1 通路使用。 靠近设备端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_F0_RE FRES	AC20	A	Yes <input type="checkbox"/> No <input type="checkbox"/>	外部参考电阻, 通过一个 200ohm(1%)的电 阻连接至地
PCIE_F0_PR SNTN[1:0]	AG19 AF19	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	控制器使能信号, 默认全高 X4 模式时, PCIE_F0_PRSENTn[1:3]必须置高。 PCIE_F0_PRSENTn0 作为控制使能信号, 当设备 接入时置低。 X1 模式时, PCIE_F0_PRSENTn[0:3]分别作为数 据总线的 0~3 使能信号, 当有设备接入时对应 的使能信号需要置低。 不用时建议外部上拉到 3.3VS0 处理。
PCIE_F0_RS TN	AC20	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	F0 通路 PCIE 复位信号, 低电平有效。建议外部 预留 4.7K 电阻上拉到 3.3VS0。
PCIE_F1_TX P[3:0]	AK19 AK18 AK16 AK15	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	F1 通路 PCIe4 差分数据输出正。 当 PCIE_F1_PRSENTn1 为低时, 此通路拆分为 2 个 X1 通路使用。分别为数据组 0、1。 靠近发送端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_F1_TX N[3:0]	AJ19 AJ18 AJ16 AJ15	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	F1 通路 PCIe4 差分数据输出负。 当 PCIE_F1_PRSENTn1 为低时, 此通路拆分为 2 个 X1 通路使用。分别为数据组 0、1。 靠近发送端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_F1_RX P[3:0]	AF18 AF17 AF16 AF15	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	F1 通路 PCIe4 差分数据输入正。 当 PCIE_F1_PRSENTn1 为低时, 此通路拆分为 2 个 X1 通路使用。分别为数据组 0、1。 靠近设备端摆放 0.1uf 的隔直电容。 不用时可悬空。

PCIE_F1_RX N[3:0]	AG18 AG17 AG16 AG15	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	F1 通路 PCIe4 差分数据输入负。 当 PCIE_F1_PRSNTn1 为低时,此通路拆分为 2 个 X1 通路使用。分别为数据组 0、1。 靠近设备端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_F1_RE FRES	AC16	A	Yes <input type="checkbox"/> No <input type="checkbox"/>	外部参考电阻, 通过一个 200ohm(1%)的电阻连接至地
PCIE_F1_PR SNTN[1:0]	AE17 AD17	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	控制器使能信号, 默认全高 X4 模式时, PCIE_F1_PRSNTn1 必须置高。 PCIE_F1_PRSNTn0 作为控制使能信号,当设备接入时置低。 X1 模式时,PCIE_F1_PRSNTn[0:1]分别作为数据总线的 0~1 使能信号, 当有设备接入时对应的使能信号需要置低。 不用时建议外部上拉到 3.3VS0 处理。
PCIE_F1RS TN	AD18	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	F1 通路 PCIE 复位信号, 低电平有效。建议外部预留 4.7K 电阻上拉到 3.3VS0。

注:

1、PCIE 支持信号反转(软件可配,若 X8 通道拆分为两个 X4 使用时,低 4 位不支持 lane reversal, 仅高 4 位支持), 支持 N/P 互换。

2、由于 PCIE 端口内部 buffer 容量差异, 如需使用 Realtek 网卡设备, 尽量连接到 F0 的 PORT2/3 端口, 其他端口不能保证性能最优。

2.1.3 USB

Signal Name	Balls	Signal Type	Checked	Recommendations
USB0TXRT UNE[0:5]	K1 L3 N6 M6 N7 M1	A	Yes <input type="checkbox"/> No <input type="checkbox"/>	参考电阻, 通过一个 200ohm(1%)的电阻连接到地
USB0_DP[0 :5]	K3 L2 N3	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	USB0 ~ 5 数据正 不用时可悬空

	L4 M3 N2			
USB0_DM[0:5]	K2 L1 N4 M4 M2 N1	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	USB0 ~ 5 数据负 不用时可悬空
USB0_OC[0:2]	P4 P3 P2	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	USB 过流检测，高有效； 与数据信号对应关系为 OC0 对应 USB0 ~ 1 OC1 对应 USB2 ~ 3 OC2 对应 USB4 ~ 5 不使用时下拉到地

2.1.4 DDR3

Signal Name	Balls	Signal Type	Checked	Recommendations
DDR_DQ[15:0]	M27 M28 M29 M30 P28 P27 P29 N30 P24 L27 K29 K30 P25 L30 N26 R24	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM 数据信号

DDR_DQSP [1,0]	N28 L28	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM 数据选通差分信号, 正沿
DDR_DQSN [1:0]	N29 L29	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM 数据选通差分信号, 负沿
DDR_DQM[1:0]	N27 N25	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM 数据屏蔽信号
DDR_A[15: 0]	H29 J27 H27 H28 G29 J26 G30 F27 K25 G26 M25 M24 F26 J29 G25 F25	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM 地址总线信号
DDR_BA[2: 0]	H30 L25 K24	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM 逻辑 bank 地址信号
DDR_WEN	L26	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM 写使能信号
DDR_CASN	J30	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM 列地址选择信号
DDR_RASN	J28	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM 行地址选择信号

DDR_CSN	K27	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM 片选信号
DDR_CKE	H24	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM 时钟使能信号
DDR_CKPO	G27	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM 差分时钟输出信号, 正沿
DDR_CKN0	G28	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM 差分时钟输出信号, 负沿
DDR_ODT	K28	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM ODT 输出信号
DDR_RESE TN	H25	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM 复位信号
DDR_REXT	J25	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 外部参考电阻, 通过一个 240ohm(1%)的电阻连接至地

注:

- 1.显存颗粒推荐优先选用公版型号。
- 2.DDR3 颗粒如果只使用单颗颗粒, 外部可不保留终端电阻。
- 3.如不使用 7A1000 的 DVO 功能, 可不保留 DDR3 颗粒设计, 但是 7A1000 桥片显示相关电源设计仍要保留。

2.1.5 SATA

Signal Name	Balls	Signal Type	Checked	Recommendations
SATA_REFRES	V25	A	Yes <input type="checkbox"/> No <input type="checkbox"/>	外部参考电阻, 通过一个 200Ω电阻接地
SATA_TXP[2:0]	T26 U27 V30	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	SATA 差分数据输出信号, 正沿 不用时可悬空

SATA0_TXN [2:0]	T27 U26 V29	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	SATA 差分数据输出信号，负沿 不用时可悬空
SATA0_RXP [2:0]	R27 R29 U29	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	SATA 差分数据输入信号，正沿 不用时可悬空
SATA0_RXN [2:0]	R26 R30 U30	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	SATA 差分数据输入信号，负沿 不用时可悬空
SATA0_LED N[2:0]	P30 U24 U28	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	SATA 工作状态指示输出信号，低表示有数据传输 使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空

2.1.6 SPI

Signal Name	Balls	Signal Type	Checked	Recommendations
SPI_SCK	W25	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	SPI 时钟输出 使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空
SPI_SDO	Y30	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	SPI 数据 命令输出 使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空
SPI_SDI	W26	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	SPI 数据输入 使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空
SPI_CSN[0: 1]	W30W 29	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	SPI 片选输出 使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空
SPI_CSN[2: 3]	W28W 27	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	默认通用操作系统用作 DVO 对应的 HP 检测信号，外部上拉，须通过外部线路默认将该信号拉低。 显示器接入时拉高。 显示器拔出是拉低。

2.1.7 LPC

Signal Name	Balls	Signal Type	Checked	Recommendations
LPC_AD[3:0] J	B7 F10 A6 E9	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	LPC 地址/数据输入输出 使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空
LPC_FRAME N	D9	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	LPC 帧同步信号，低电平有效 使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空
LPC_SERIR Q	C7	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	LPC 总线中断输入 使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空
LPC_RESET N	E10	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	LPC 总线复位输出 使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空

注：LPC 设备和控制器要求时钟同源

2.1.8 I2C

Signal Name	Balls	Signal Type	Checked	Recommendations
I2C0_SCL	AC26	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空
I2C0_SDA	AD26	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空
I2C1_SCL	AC24	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空
I2C1_SDA	AC25	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空

2.1.9 UART

Signal Name	Balls	Signal Type	Checked	Recommendations
UART_TXD	D11	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	Uart0 数据发送 不用时可悬空
UART_RXD	B10	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	Uart0 数据接收 不用时可悬空
UART_RTS	A9	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	Uart0 请求发送/Uart1 数据发送 不用时可悬空
UART_CTS	B11	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	Uart0 清除发送/Uart1 数据接收 不用时可悬空
UART_DTR	C11	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	Uart0 数据终端准备好/Uart2 数据发送 不用时可悬空
UART_DSR	C10	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	Uart0 数据装置准备好/Uart2 数据接收 不用时可悬空
UART_RI	E11	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	Uart0 振铃指示/Uart3 数据发送 不用时可悬空
UART_DCD	A10	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	Uart0 数据载波检查/Uart3 数据接收 不用时可悬空

注：通用类产品系统默认将 UART0 端口配置串口功能，不可用与 GPIO 或者 I2C 复用使用。如需其他复用功能需修改内核进行支持。

2.1.10 GMAC

Signal Name	Balls	Signal Type	Checked	Recommendations
-------------	-------	-------------	---------	-----------------

GMAC0_TX CK	T2	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 0 的 RGMII 发送时钟信号 不用时可悬空
GMAC0_TC TL	R3	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 0 的 RGMII 发送控制信号 不用时可悬空
GMAC0_TX D[3:0]	P1 T4 T6 R4	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 0 的 RGMII 发送数据总线 不用时可悬空
GMAC0_RX CK	R1	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 0 的 RGMII 接收时钟信号 不用时可悬空
GMAC0_RC TL	T1	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 0 的 RGMII 接收控制信号 不用时可悬空
GMAC0_RX D[3:0]	U2 U3 U4 T3	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 0 的 RGMII 接收数据总线 不用时可悬空
GMAC0_MD CK	R2	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 0 的 SMA 接口时钟信号 不用时可悬空
GMAC0_MD IO	T7	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 0 的 SMA 接口数据信号 外部需通过 4.7K 电阻上拉到 3.3V。
GMAC1_TX CK	V5	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 1 的 RGMII 发送时钟信号 不用时可悬空
GMAC1_TC TL	U1	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 1 的 RGMII 发送控制信号 不用时可悬空
GMAC1_TX D[3:0]	V6 V7 U8 V1	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 1 的 RGMII 发送数据总线 不用时可悬空

GMAC1_RX CK	V3	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 1 的 RGMII 接收时钟信号 不用时可悬空
GMAC1_RC TL	W4	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 1 的 RGMII 接收控制信号 不用时可悬空
GMAC1_RX D[3:0]	W7 W5 V2 W3	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 1 的 RGMII 接收数据总线 不用时可悬空
GMAC1_MD CK	U5	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 1 的 SMA 接口时钟信号 不用时可悬空
GMAC1_MD IO	U6	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 1 的 SMA 接口数据信号 外部需通过 4.7K 电阻上拉到 3.3V。

2.1.11 PWM

Signal Name	Balls	Signal Type	Checked	Recommendations
PWM[3:0]	Y29 Y28 Y27 Y26	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	与 GPIO[7:4]复用 如果用作风扇控制功能，默认 PWM0 为 CPU_FAN PWM1 为 SYS_FAN

2.1.12 HDA

Signal Name	Balls	Signal Type	Checked	Recommendations
HDA_BITCLK	B9	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	HDA_BITCLK 输出、AC97_BITCLK 输入 不用时可悬空
HDA_SDI[0:2]	A7 F11 G12	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	HDA/AC97 数据输入，连接第一个 codec； HDA 数据输入，连接第二个 codec； HDA 数据输入，连接第二个 codec；

				不使用时外部需通过 4.7K 电阻下拉至地
HDA_SDO	B8	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	数据输出 不用时可悬空
HDA_SYNC	C9	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	同步信号 不用时可悬空
HDA_RESE TN	A8	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	复位信号 不用时可悬空

2.1.13 GPIO

Signal Name	Balls	Signal Type	Checked	Recommendations
GPIO0	P6	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	通用输入输出引脚 默认为输出高 不用时可悬空

GPIO 复用功能详见手册

2.1.14 RTC

Signal Name	Balls	Signal Type	Checked	Recommendations
RTC_XI	AB4	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	RTC 时钟输入引脚 32.768KHz 时钟输入
RTC_XO	AB5	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	RTC 时钟输出引脚 32.768KHz 时钟输出
RTC_DOTES TN	AB6	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	默认通过 4.7K 上拉至 RTC_3V

RTC_RSMR STN	AB3	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	RSM 域复位信号,在 RSM 电源稳定后外部拉起。
RTC_RSTN	AB2	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	RTC 域寄存器复位信号,在 RTC 电源稳定后外部拉起。

注:

- 1.默认通用操作系统使用内部 RTC 功能模块。
- 2.RTC 相关引脚禁止悬空。
- 3.对于工业级芯片(包括专用工业级和普通工业级), RTC_3V 通过 300K 欧电阻上拉到 RTC 电源(3.0~3.3V);对于商业级芯片, RTC_3V 通过 158K 欧电阻上拉到 RTC 电源(3.0~3.3V)。
- 4.RTC_RSTN 信号抬高时, RTC 晶体必须已经起振稳定。

2.1.15 DVO

Signal Name	Balls	Signal Type	Checked	Recommendations
DVO0_CKP	A4	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO0 的时钟输出信号,正沿(单端全摆幅信号) 不用时可悬空
DVO0_CKN	B4	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO0 的时钟输出信号,负沿(单端全摆幅信号),一般不使用。 不用时可悬空
DVO0_HSYN C	F9	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO0 的水平同步信号 不用时可悬空
DVO0_VSYN C	G10	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO0 的垂直同步信号 不用时可悬空
DVO0_DE	D7	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO0 的数据有效信号 不用时可悬空
DVO0_D[0:2 3]	E8 C6 B5 F8 D6 C5	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO0 的显示数据信号 不用时可悬空

	A3 B3 C4 D5 E6 F7 G8 B2 A2 C3 D4 B1 C2 C1 D3 D1 D2 E5			
DVO0_SCL	B6	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO0 的 I2C 串行时钟信号 不用时可悬空
DVO0_SDA	A5	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO0 的 I2C 串行数据信号 不用时可悬空
DVO1_CKP	F3	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO1 的时钟输出信号, 正沿(单端全摆幅信号) 不用时可悬空
DVO1_CKN	F4	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO1 的时钟输出信号, 负沿(单端全摆幅信号), 一般不使用。 不用时可悬空
DVO1_HSYN C	F5	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO1 的水平同步信号 不用时可悬空
DVO1_VSYN C	E4	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO1 的垂直同步信号 不用时可悬空

DVO1_DE	G6	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO1 的数据有效信号 不用时可悬空
DVO1_D[0:23]	F6 E2 E3 H6 J7 G5 F2 E1 F1 G4 G3 G2 G1 H4 H5 J6 H3 H2 H1 J4 J3 J2 J1 K6	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO1 的显示数据信号 不用时可悬空
DVO1_SCL	K5	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO1 的 I2C 串行时钟信号 不用时可悬空
DVO1_SDA	K4	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO1 的 I2C 串行数据信号 不用时可悬空

注：

1. DVO 接口的数据位 DVO_D[23:0]分别对应 RGB888, 即: DVO_D[23:16]对应 RGB 信号的 R[7:0], DVO_D[15:8]对应 RGB 信号的 G[7:0], DVO_D[7:0]对应 RGB 信号的 B[7:0]。

当使用的转换芯片的 RGB 信号宽度小于 8 位时, 必须使用桥片输出信号的高位数据。比

如转换芯片的格式为 RGB565，则需要使用桥片的 DVO_D[23:19]连接 R，使用 DVO_D[15:10]连接 G，使用 DVO_D[7:3]连接 B。

2. 板卡必须使用 DVO_SCL/SDA 引脚连接 PHY 转换芯片和显示器接口。

桥片的每个 DVO 接口都自带了一组 I2C 信号,用于连接 DVO 接口的转换 PHY 芯片和显示器。板卡设计时,必须使用该组 I2C 信号连接 PHY 芯片(如果 PHY 芯片存在 I2C 配置接口的话)和显示器接口,而不使用 PHY 芯片输出的 I2C 引脚。

3.如果板卡需要支持显示器热插拔功能,使用 SPI_CS_n2 和 SPI_CS_n3(复用为 GPIO 功能)分别作为 DVO0 和 DVO1 通道的显示器热插拔检测引脚使用。

2.1.16 Strap&Control

Signal Name	Balls	Signal Type	Checked	Recommendations
PCIEBRGM ODE	AC30	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	默认通过 4.7k 下拉至地
CLKSEL[8:0]	Y25 AA29A A30AA 28AB3 0AB29 AA26A A25AB 28	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	CLKSEL[5:0]: 悬空 CLKSEL6: HT PHY 参考时钟选择 0: 使用 200MHz 差分输入时钟 1: 使用 100MHz 单端系统输入时钟 (推荐使用) CLKSEL7: HT 频率配置模式选择, 需要通过 4.7k 下拉至地 CLKSEL8: HT gen1 模式使能,推荐通过 4.7k 上拉到 3.3V。

2.1.17 JTAG

Signal Name	Balls	Signal Type	Checked	Recommendations
JTAG_TCK	AC28	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	JTAG 时钟信号 使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空
JTAG_TDI	AD30	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	JTAG 数据输入信号 使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空

JTAG_TMS	AD28	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	JTAG 模式 使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空
JTAG_TRST	AD27	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	JTAG 复位信号 内部默认上拉 推荐板卡设计时外接 100k 下拉到地，预留上拉电阻位置。 不用时通过 4.7K 下拉至地
JTAG_TDO	AD29	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	JTAG 数据输出 使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空

2.1.18 ACPI

Signal Name	Balls	Signal Type	Checked	Recommendations
ACPI_EN	Y1	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	正常模式需要上拉到 3.3VSB，使能 ACPI 信号；该信号为低时，所有 ACPI 信号不起作用（可用于开机自动上电）。
ACPI_SYSRSTN	AB1	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	桥片复位输入，上升沿有效。当桥片接收到该信号后，内部除 ACPI 以外模块寄存器均被复位，并触发后续 PLTRST、PCIE_RST、LPC_RST 和 MEM_RST 等外设复位信号输出。
ACPI_RINGN	AA2	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	输入信号，外部振铃唤醒，低电平有效，需与软件配合使用。外部上拉到 3.3VSB。
ACPI_WAKE N	AA1	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	输入信号，外部 PCIE 唤醒信号，低电平有效，需与软件配合使用。外部上拉到 3.3VSB。
ACPI_LID	W2	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	输入信号，软件使能后，该信号跳变会触发系统中断。 台式机连接方法：外部上到 3.3VSB。 笔记本-使用 7A1000 内部独立显示单元连接方法：连接到 7A1000 桥片的 ACPI_LID 管脚，要求低电平有效，持续时间大于 15ms
ACPI_PWRTYPE	Y2	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	输入信号，可用于笔记本方案外部供电类型监测，软件使能后，该信号跳变会触发系统中断。建议外部上到 3.3VSB。

ACPI_BATL OWN	Y3	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	输入信号，可用于笔记本方案电池低电量保护功能，在开机状态，配合软件使能，该信号可触发系统中断，当关机状态该信号为低时，ACPI_POWERBTN 不能正常唤醒机器。建议外部上到 3.3VSB。
ACPI_S3N	Y7	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	S3 状态输出信号，当系统在 S0 时为高，当在 G3、S5、S4 和 S3 状态下为低。需外部上拉 3.3V SB 电。可用作 S0 电源开启控制。在待机 STR 功能中，可作为 3A 端处理器 MEM_VDDE 和内存条 VTT 电源的使能控制。
ACPI_S4N	AA6	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	S4 状态输出信号，当系统在 S0/3 时为高，当在 G3、S5 和 S4 状态下为低。需外部上拉 3.3VSB 电。
ACPI_S5N	AA5	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	S5 状态输出信号，当系统在 S0/3/4 时为高，当在 G3 和 S5 状态下为低。需外部上拉 3.3VSB 电。可用作待机功能时的 3A 端的内存颗粒 MEM_VDDE 和 MEM_VDDP 电源使能。
ACPI_PLTRSTN	W1	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	平台复位输出，可用于复位 IO 外设和 3A 处理器。低电平有效。
ACPI_SLPLANN	AA4	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	输出信号，可用于网络电源控制，该信号根据 ACPI_PWRTYPE 的不同，由 ACPI 寄存器中 PMCON_RTC 的 8/7 位决定低功耗时的输出状态。建议外部上到 3.3VSB。
ACPI_PWRBTNN	Y6	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	ACPI 使能时，作为开机唤醒信号，需要在 RSM_RST 拉高稳定后触发。启动信号为大于 20ms 低于 3S 的低脉冲（上升沿触发），桥片接收到该唤醒信号后，会拉起相应的 ACPI_S3/4/5 信号。4S 以上低脉冲为强制关机信号。该信号在系统启动后可作为中断触发输入功能，配合软件可实现待机等功能。需上拉 3.3VSB。
ACPI_PWROK	Y4	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	ACPI 使能时，外部电源正常状态指示输入。当外部所有电源启动正常后，拉高该信号，桥片进行内部逻辑的复位；并可触发后续 PLTRST、PCIE_RST、LPC_RST 和 MEM_RST 等外设复位信号输出。
VSGB_GATE N	P5	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	S3 功能时，控制 dual 电转换。此信号使能后，会早于 ACPI_S3N 被拉低，按下唤醒键后，晚于 ACPI_S3N 被拉高。

2.1.19 Interrupt

Signal Name	Balls	Signal Type	Checked	Recommendations
SYS_INT0	AB25	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	默认不接，可预留连接到处理器 GPIO0
SYS_INT1	AA24	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	

2.1.20 POWER

信号名称	标准电源 (V)	实测最大电流 (A)	备注
VDD	1.1V	2.002	
VDD_RSM	1.1V	0.106	
DDR_VDDE	1.5V	0.357	
DDR_VREF	0.75V	< 1mA	
HT_1V2	1.2V	0.498	纹波不能高于 10mV
HT_1V8	1.8V	0.072	
PEST_1V1	1.1V	1.302	
PEST_3V3	3.3V	0.444	
GMAC_VDDE(见注 1)	3.3V/2.5V	0.023	
USB_A3V3	3.3V	0.174	
IO_3V3	3.3V	0.069	
ACPI_3V3	3.3V	0.045	
RTC_3V	2.5V~2.8V	N/A	
PLL_VDD(见注 3)	1.25V	< 80mA	建议使用单独的 LDO 电源供电

注：

- 1.工作在 3.3V 供电电压下。
2. RTC_3V 在 G3 (物理断电) 状态下的电流小于 5 μ A.
- 3.PLL_VDD 包括：PLL_HT_VDD、PLL_VDDA/VDDD_CORE、PLL_VDDA/VDDD_PER、PLL_VDDA/VDDD_GRAPH。
- 4.主板上电时序参见 7A1000 数据手册。
- 5.除特殊说明外，所有电源大负载下纹波控制在 ± 25 mV 以内。

2.2 其他设计注意事项

2.2.1 时钟

信号名称	类型	描述	电源域
CLKIN	I	桥片 100 MHz 主参考时钟, 除 LPC 以外的所有模块均可由内部锁相环产生。 如果 PCIE 控制器使用内部时钟, PCIE 的设备时钟需要与该时钟同源。 该时钟不能加展频。	IO_3V3
TESTCLK	I	测试时钟输入, 保留, 通过 10Kohm 电阻接地	IO_3V3
LPC_CLKIN	I	LPC 33MHz 参考时钟, 不使用 LPC 接口时, 可不接。 设计建议: 推荐使用晶振加 buffer 的方式提供主板上 LPC 主控及设备的 33M 时钟。	IO_3V3
CLKOUT33M	O	33.3 MHz 单端时钟输出。	IO_3V3
CLKOUT100M	O	100 MHz 单端时钟输出。可用作处理器 SYSCLK。	IO_3V3
CLKOUT25M	O	25 MHz 单端时钟输出, 在 S0 状态下输出 25MHz 时钟, 其他状态下输出为低电平。	ACPI_3V3
CLKOUTFLEX	O	频率可变单端时钟输出, 在 S0 状态下输出可变频率时钟, 其他状态下输出为低电平。默认为 33.3 MHz。	ACPI_3V3
HTCLKp/n	I	HT 200 MHz 差分参考时钟, HT 部分的 PLL 时钟源。 设计建议: 可不接。不接时 HTCLKp 接上拉电阻到 HT_VDDE, HTCLKn 接下拉电阻到地。	HT_VDDE
PCIE_F0_CLKI Np/n	I	PCIE_F0 100 MHz 差分参考时钟, 使用内部时钟时可不接	-
PCIE_F1_CLKI Np/n	I	PCIE_F1 100 MHz 差分参考时钟, 使用内部时钟时可不接	-
PCIE_H_CLKIN p/n	I	PCIE_H 100 MHz 差分参考时钟, 使用内部时钟时可不接	-
PCIE_G0_CLKI Np/n	I	PCIE_G0 100 MHz 差分参考时钟, 使用内部时钟时可不接	-
PCIE_G1_CLKI Np/n	I	PCIE_G1 100 MHz 差分参考时钟, 使用内部时钟时可不接	-
SATA0_CLKIN p/n	I	SATA0 100 MHz 差分参考时钟, 建议不接	-
SATA1_CLKIN p/n	I	SATA1 100 MHz 差分参考时钟, 建议不接	-

SATA2_CLKIN p/n	I	SATA2 100 MHz 差分参考时钟，建议不接	-
USB_XI	I	保留，通过 10Kohm 电阻接地。	-
USB_CLKIN	I	USB 12 MHz 单端时钟输入	-

注：

- 1.不使用的输入参考时钟可以不提供，但需通过 10Kohm 的电阻接地。
- 2.对于 USB 模块的参考时钟 USB_CLKIN，当不使用 USB 接口唤醒功能时，可不接，此时需将引脚通过 10Kohm 的电阻接地；否则必须提供一个 12MHz 的板上时钟，注意板上时钟的电压幅值应为 2.5V。
- 3.无论 PCIE 控制器使用内部时钟还是外部时钟，PCIE 控制器和外设要求时钟同源。PCIE 控制器使用外部时钟时，用到的控制器对应时钟输入端口都需要接入。

2.2.2 时序要求

2.2.2.1 主板复位时序

此部分请详细参照 7A1000 数据手册相关部分。

2.2.2.2 ACPI 下特殊复位信号设计建议

- 1.目前 7A1000 桥片的 ACPI_SYSRSTN 为上升沿有效，在某些特定应用场景作为系统硬复位不太适合，所以目前推荐使用 ACPI_POWEROK 信号作为系统硬件复位输入源。7A1000 桥片 BA 版及后续版本的 ACPI_SYSRSTN 为电平有效，可作为系统硬件复位输入源，预留 ACPI_POWEROK 信号作为系统硬件复位输入源。
- 2.建议用 7A1000 桥片的 PLT_RST 信号通过延迟 200ms 后作为处理器 SYSRESET 使用。
- 3.主板系统复位必须预留外部看门狗方案。

2.2.3 7A1000 显示单元的设计

参见《龙芯 CPU 统一系统架构规范》中龙芯显示软硬件设计规范相关章节。

2.2.4 桥片 SPI 存储 rom

7A1000 平台主板硬件设计时，7A1000 桥片的 SPI 总线建议连接一个 SPI flash，片选固定为 CS0，读写方式必须完全兼容 SST25VF010，容量不低于 512KB。该 flash 用于存储桥片集成 GMAC 的 MAC 地址、7A1000 的 GPU 显示相关参数信息、主板串号等。

2.2.5 笔记本、一体机方案注意事项

平台规范笔记本、一体机方案几个特殊功能引脚定义。

独显方案中 EC 的 SCI 的引脚必须连接到 7A1000 对应管脚，三个背光控制端口由 EC 控制(预留显卡端控制端口做为备份)，一体机中 OSD 链接 EC，由 EC 上报系统。SMARTFAN

功能由 EC 控制。

7A1000 的显示单元方案中 EC 的 SCI 的引脚必须连接到 7A1000 对应管脚，三个背光控制端口由 7A1000 相应管脚控制，一体机中 OSD 链接 EC，由 EC 上报系统。SMARTFAN 功能由 EC 控制。

笔记本、一体机方案中 7A1000 现规定几个特殊管脚定义与之对应：

SCI(System Control Interrupt)	连接到 7A1000 桥片的 ACPI_LID 管脚,要求低电平有效,持续时间大于 15ms
LCD_EN(LCD backlight enable)	CLKSEL0(GPIO46)默认下拉
LCD_VDD_EN(LCD power enable)	CLKSEL1(GPIO47)默认下拉
LCD_PWM(LCD backlight PWM)	PWM3(GPIO07)

2.2.6 接口外设支持列表

详见《龙芯平台外围功能芯片适配列表》

3 PCB 设计指导

7A1000 芯片封装内部已经做了等长设计，设计时可不考虑芯片的 pindelay。

3.1 叠层设计参考

层别	叠构部分	成品板厚
基材要求	NP155F	
	6L-Stack up	
	板厚:	mil
	1.6mm	Thickness
S/M		0.80
L1_TOP	Joz+plating	1.70
	1080(RC 64%)	2.78
L2_GND2	1OZ_COPPER	1.30
	Core	3.10
L3_INT3	1OZ_COPPER	1.30

	7628HR(RC 52%)*5	43.37
L4_PWR	1OZ_COPPER	1.30
	Core	3.10
L5_GND5	1OZ_COPPER	1.30
	1080(RC 64%)	2.78
L6_BOTTOM	Joz+plating	1.70
S/M		0.80
	理论板厚:	65.33

3.2 HT

信号名称	描述
HT_RX_CADn[15:0]/CADp[15:0] HT_TX_CADn[15:0]/CADp[15:0] HT_RX/TX_CLKn/p[1:0] HT_RX/TX_CTLn/p[1:0]	<p>若用作 16 位 HT 总线，每个通道（HT0 或 HT1）的这些信号分为两个 Group（TX、RX），若用作 8 位 HT 总线，信号分为四个 Group（TX0\TX1、RX0\RX1）。详细分组信号见注释。</p> <p>每对差分线等长误差 <5mil（尽量不要绕线），同一个 Group 内非成对差分线等长误差 <50mil</p> <p>在 breakout 区 Space : Height ≥ 1:1</p> <p>在 breakout 区外： 若走线长度小于 5”， Space : Height ≥ 3:1 若走线长度小于 8”， Space : Height ≥ 4:1 若走线长度大于 8”， Space : Height ≥ 5:1</p> <p>差分阻抗 85 Ω ± 10%</p> <p>Group 间长度差 <1500mils</p> <p>同一个 Group 的信号必须走在同一 layer；作为 16 位使用时，如不能满足同组同层走线，要保证每 8bit（即 bit0-7 和 bit8-15）同层走线</p> <p>所有信号都参考 GND，且不能跨分割</p> <p>若换层打孔，每对差分信号过孔旁各设置一个 GND 过孔，在距离信号过孔 35mil 范围内设置 GND 孔,对称放置。差分信号最多只能有两个过孔</p> <p>信号走线总长度小于 12.5”</p>
LDT_STOPn LDT_PG (Hi/Lo_POWEROK) LDT_RSTn (Hi/Lo_RSTn)	<p>在 breakout 区外，Space:Height ≥ 3:1</p> <p>走线长度小于 8”</p> <p>走线不允许跨电源层分割</p>

注：

● 作为 X16 使用

Group0	HT_RX_CADn/p[15:0]	Group1	HT_TX_CADn/p[15:0]
	HT_RX_CLKn/p[1:0]		HT_TX_CLKn/p[1:0]
	HT_RX_CTLn/p[1:0]		HT_TX_CTLn/p[1:0]

● 作为 x8 使用

Group0	HT_RX_CADn/p[7:0]	Group1	HT_RX_CADn/p[15:8]
	HT_RX_CLKn/p0		HT_RX_CLKn/p1
	HT_RX_CTLn/p0		HT_RX_CTLn/p1
Group2	HT_TX_CADn/p[7:0]	Group3	HT_TX_CADn/p[15:8]
	HT_TX_CLKn/p0		HT_TX_CLKn/p1
	HT_TX_CTLn/p0		HT_TX_CTLn/p1

3.3 PCIE

信号名称	描述
PCIE_G0_TXp[7:0] PCIE_G0_TXn[7:0]	差分阻抗 $85\Omega \pm 15\%$ 每对差分等长 < 5mil
PCIE_G1_TXp[7:0] PCIE_G1_TXn[7:0]	Chip to Chip 信号走线总长度小于 10" Chip to slot 7"
PCIE_H_TXp[7:0] PCIE_H_TXn[7:0]	ASIC 引线 (0.5"以内) =1:1 在时钟信号对两侧, 到所有其他信号的间距至少为 4:1
PCIE_F0_TXp[3:0] PCIE_F0_TXn[3:0]	差分信号线要参考 GND, 且不能跨分割, 避免跨层, 当走线参考地边沿时, 保持线与参考 GND 最边沿的距离 >20mil
PCIE_F1_TXp[3:0] PCIE_F1_TXn[3:0]	若换层打孔, 每对 PCIE 差分信号过孔旁各设置一个 GND 过孔, 在距离信号过孔 35mil 范围内设置 GND 孔, 对称放置。换层过孔限制在 2 个以内。

PCIE_G0_RXp[7:0] PCIE_G0_RXn[7:0]	
PCIE_G1_RXp[7:0] PCIE_G1_RXn[7:0]	
PCIE_H_RXp[7:0] PCIE_H_RXn[7:0]	
PCIE_F0_RXp[3:0] PCIE_F0_RXn[3:0]	
PCIE_F1_RXp[3:0] PCIE_F1_RXn[3:0]	

3.4 USB

信号名称	描述
USB_DM[5:0] USB_DP[5:0]	差分阻抗 $90\Omega \pm 15\%$
	每对差分等长 < 10mil
	信号总长度小于 12.5"
	ASIC 引线 (0.5"以内) =1:1, 在信号对两侧, 到所有其他信号的间距至少为 4:1; 蛇形信号间距至少=4:1
	ESD 器件离 connector 不超过 500mil
	共模扼流圈离 connector 不超过 1000mil
	信号线与 clock、power 等信号距离 >500mil
	信号线尽量少打 via, 不能有直角, 不能有 stub
	信号线不能走在晶振、clock synthesizers 和使用 clk 的 IC 下面。
	若换层打孔, 每对差分信号过孔旁各设置一个 GND 过孔, 在距离信号过孔 35mil 范围内设置 GND 孔, 对称放置。

Signals	W/S1	Trace Length	Zo(single)	Reference
USB[5:0]_TXRTUNE	TBD/BD	< 400mils	50 Ohm	GND

Signals	W/S1	Trace Length	Zo(single)	Reference
USB[5:0]_TXRTUNE	TBD/BD	< 400mils	50 Ohm	GND

3.5 SATA

Signals	Trace Length	Breakout	Zo(diff)	Diff. match	Reference
SATA[2:0]_TXp/n SATA[2:0]_RXp/n	≤8"	TBD/TBD/TBD<0. 5"	100 Ohm	<5mils	GND

SATA 信号不允许跨切割，不可有分支，trace 远离晶振、clock 信号，总长度≤ 8"。
Sata differential pair 上的耦合电容需放到 sata 连接器端，对称放置。
SATA_REFRES 走线宽度不小于 12mils。

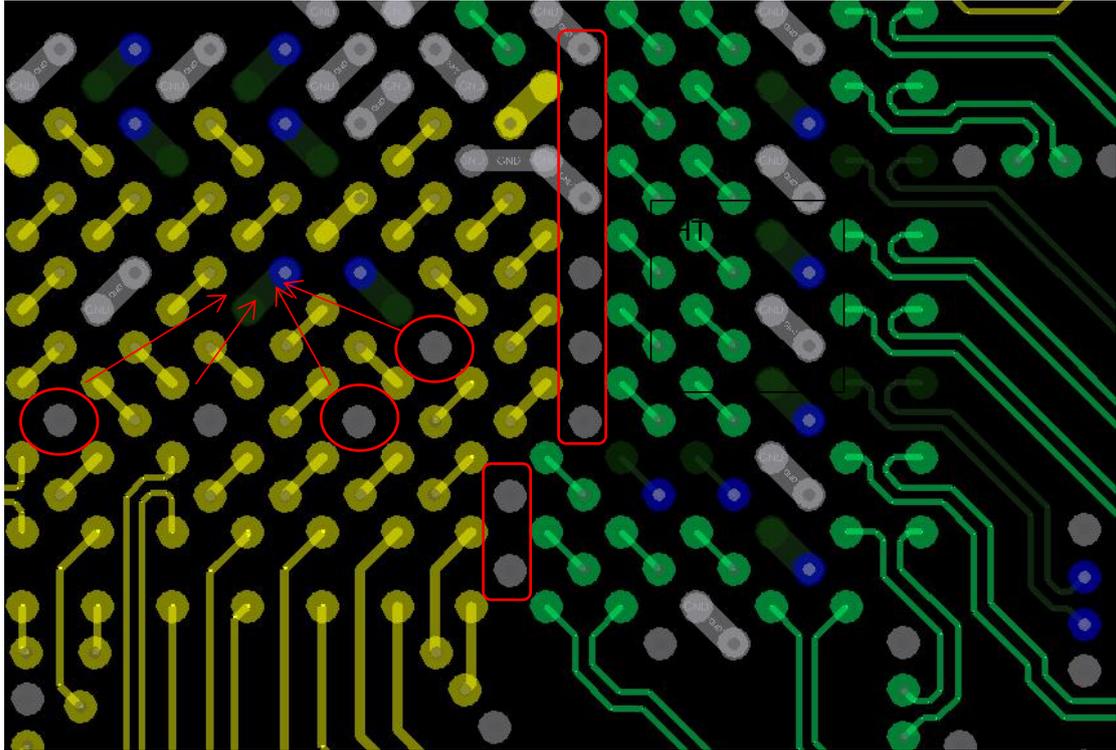
3.6 DDR3

信号名称	走线要求
CLOCK	阻抗：80Ω +- 10%
A[15:0], BA[2:0], RAS_N, CAS_N, WE_N, CS, ODT, CKE	阻抗：45Ω +- 10% 与时钟线等长，组内等长误差 25mils 走线长度小于 2500mils
DQ DQM	阻抗：45Ω +- 10% 同一 Byte 内等长误差 10mils
DQS	阻抗：80Ω +- 10% 与同组 DQ 等长误差 10mils，差分对内等长误差 5mils DQS-CLK< 1500mils

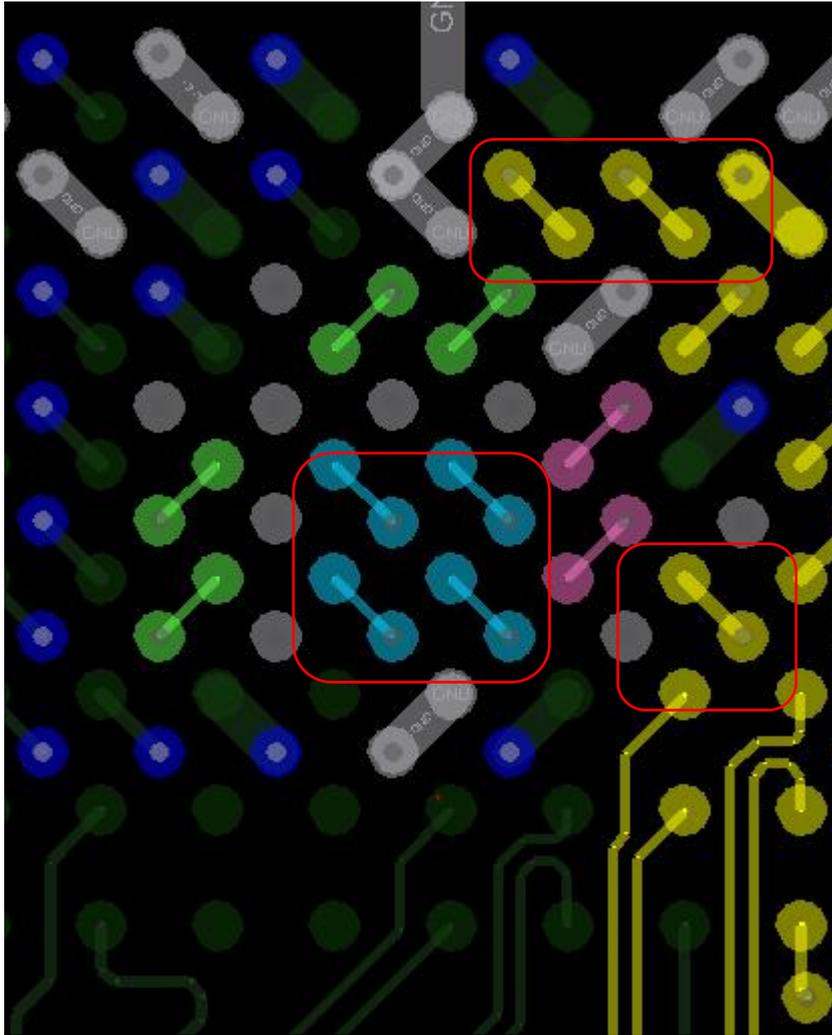
注：所有走线参考层为 GND。

3.7 fanout 注意事项

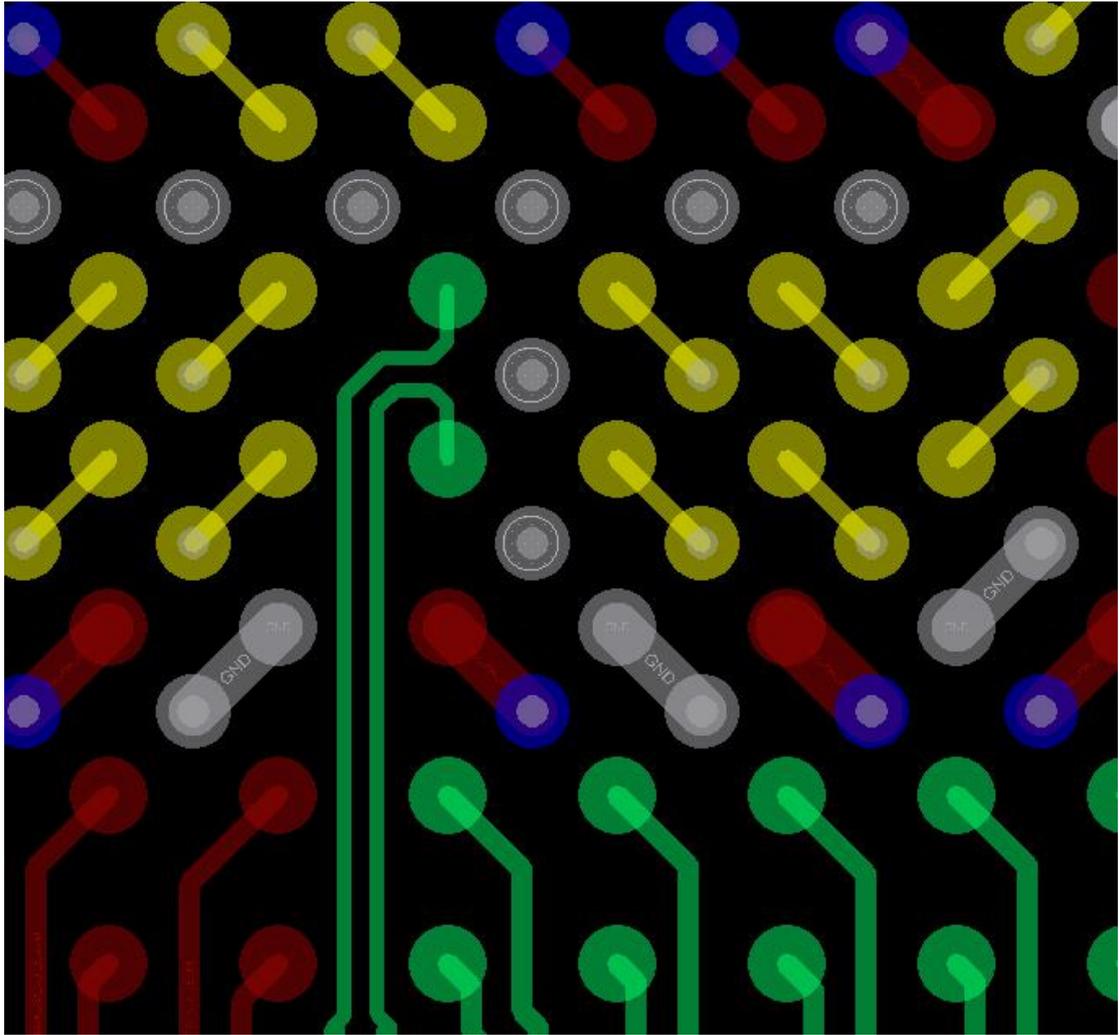
- 1、不同总线间 fanout 要错开并用地过孔隔离，如下图，绿色的是 HT 信号，黄色的是 DDR 信号。
- 2、DDR 信号之间错开 fanout，在中间增加地过孔。



3、DDR3 信号和 SATA 信号，及 SATA CLK IN 信号之间错开 fanout，并用地孔隔离，如下图，黄色的是 DDR3 信号，粉色的是 SATA RX 信号，蓝色的是 SATA TX 信号，绿色的是 SATA CLK IN 信号，灰色的是 GND 过孔。



4、PCIE_G0_TX_7P/N 信号从 top 层引线不在 BGA 内打孔 fanout，两侧的 RX 信号向两侧 fanout，如下图，绿色的是 PCIE_TX 信号，黄色的是 PCIE_RX 信号。



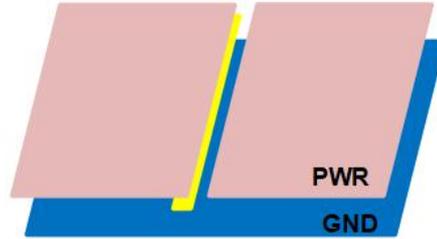
5、LS7A1_RTC_XI/X-信号表层走线，不打过孔，两侧的 BGA 信号向上下两侧 fanout，留出布线通道。

3.8 高速信号 layout 通用设计规则

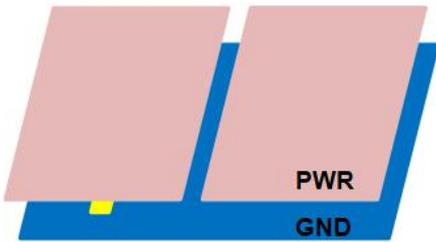
3.8.1 避免走线参考平面跨分割



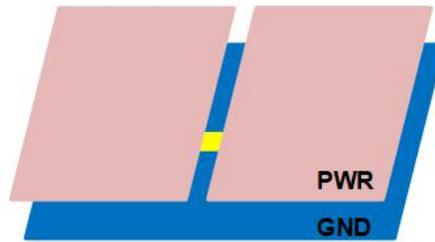
避免此种走线方式



避免此种走线方式



推荐此种走线方式



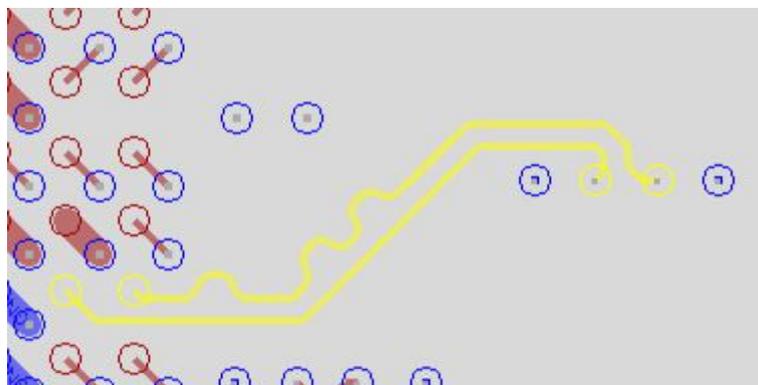
可以接受，但要保证信号线到
PWR 平面的距离是信号线到
GND 平面距离的 3 倍以上，
即满足 3H 原则

3.8.2 高速差分信号线换层时打回流 GND 孔

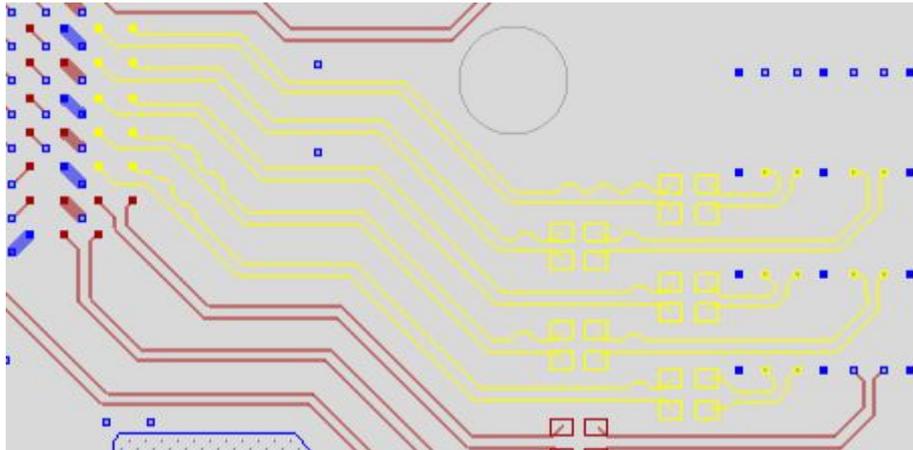
在高速差分信号布线换层时，需要在换层过孔附近打回流 GND 孔。推荐几何对称、规则的打孔方式。



3.8.3 差分对绕线规则



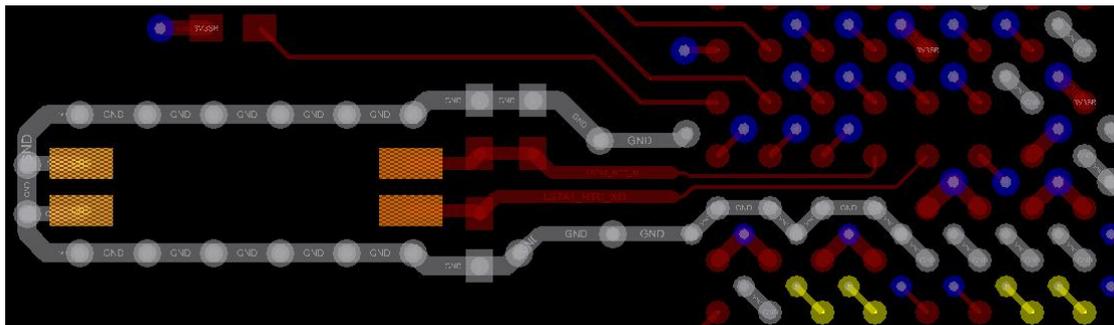
(1) 差分对内等长绕线补偿方式：对于差分对内的等长，如果产生不等长现象，建议在产生不等长变化处或靠近产生不等长变化处绕线补偿回来。



(2) 分段等长：对于发生类似于换层、跨耦合电容的分段式走线方式，建议分段做等长约束，然后再整体做等长约束。

(3) 差分对组内等长：建议同组同层走线；对于涉及表、底层走线换层的情况，建议在表、底层做分段等长，（对于表、底层不具备绕线空间的情况，可以将表、底层走线长度差换算为内层走线长度，在内层补偿回来）。

- 1) 避免从电感、晶振、开关电源 mos、phase 平面下走线
- 2) 远离存在大电压、大电流变化的 via 孔



龙芯 7A2000 硬件设计规范

V1.0

版本信息

文档信息	文档名	龙芯 7A2000 硬件设计规范
	版本号	V1.0
	创建人	芯片研发部
版本历史		
序号	版本号	更新内容
1	V1.0	初版发布

前言.....	1
1 主板架构.....	2
1.1 7A2000 单路主板典型应用方案.....	2
1.2 7A2000 双路主板典型应用方案.....	2
2 原理图设计检查.....	4
2.1 7A2000 checklist.....	4
2.1.1 HT.....	4
2.1.2 PCIE.....	8
2.1.3 USB.....	13
2.1.4 DDR4 显存.....	15
2.1.5 SATA.....	18
2.1.6 SPI.....	19
2.1.7 LPC.....	20
2.1.8 I2C.....	20
2.1.9 UART.....	21
2.1.10 网络接口.....	21
2.1.11 PWM.....	23
2.1.12 HDA.....	23
2.1.13 GPIO.....	24
2.1.14 RTC.....	24
2.1.15 显示接口.....	25
2.1.16 配置接口.....	27
2.1.17 JTAG.....	28
2.1.18 ACPI.....	29
2.1.19 Interrupt.....	31
2.1.20 时钟信号.....	31
2.1.21 POWER.....	32
2.2 其他设计注意事项.....	34
2.2.1 时钟设计要求.....	34
2.2.2 时序要求.....	34
2.2.3 显示单元的设计.....	34
2.2.4 SPI 存储 rom.....	34
2.2.5 笔记本、一体机方案注意事项.....	35
2.2.6 接口外设支持列表.....	35

前言

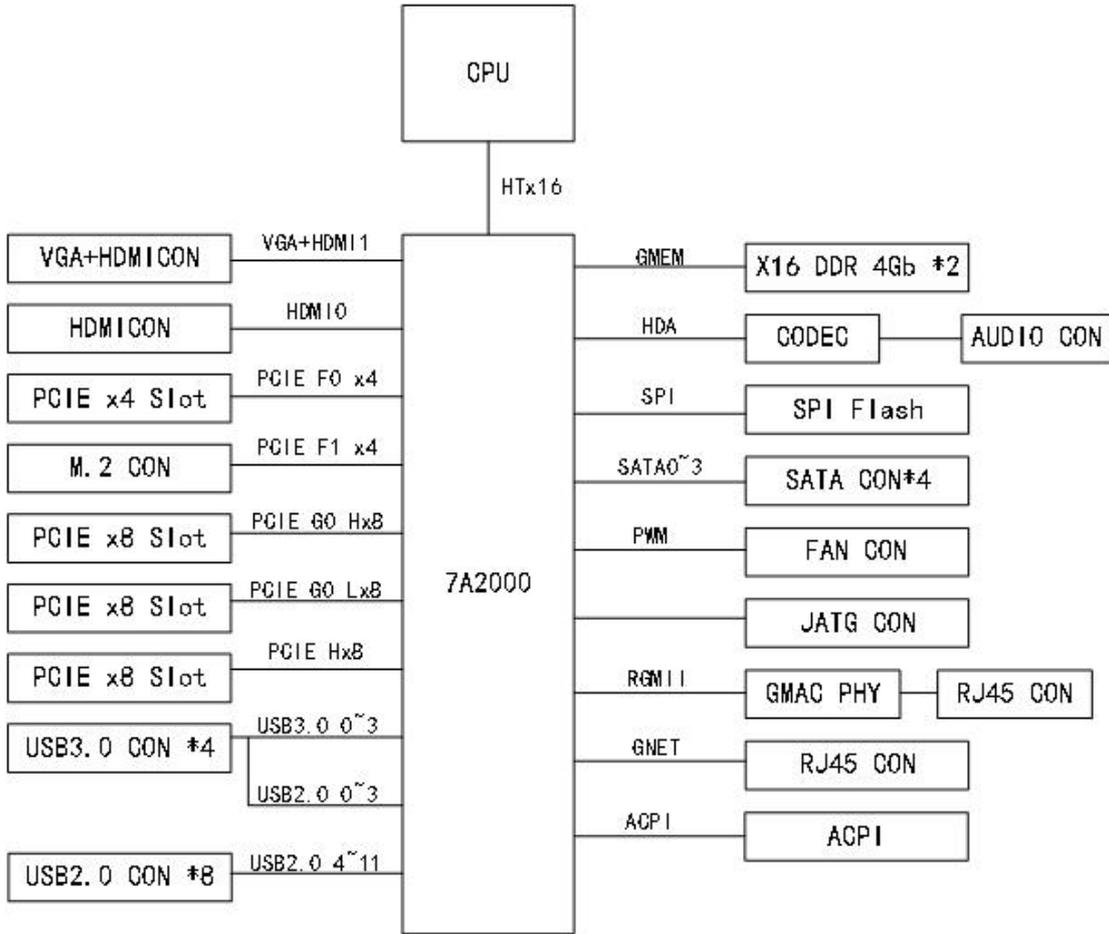
本文档作为龙芯 7A2000 的主板硬件设计规范，内含 7A2000 桥片的硬件 checklist、特殊注意事项以及 layoutguide。设计者请按规范文档认真核对硬件线路和 PCB 设计。

原理图、PCB 设计，推荐使用龙芯官方参考设计的原理图 symbol、PCB Footprint。如果自己新建原理图 symbol、PCB Footprint 进行设计，建议多次对照数据手册检查正确性。

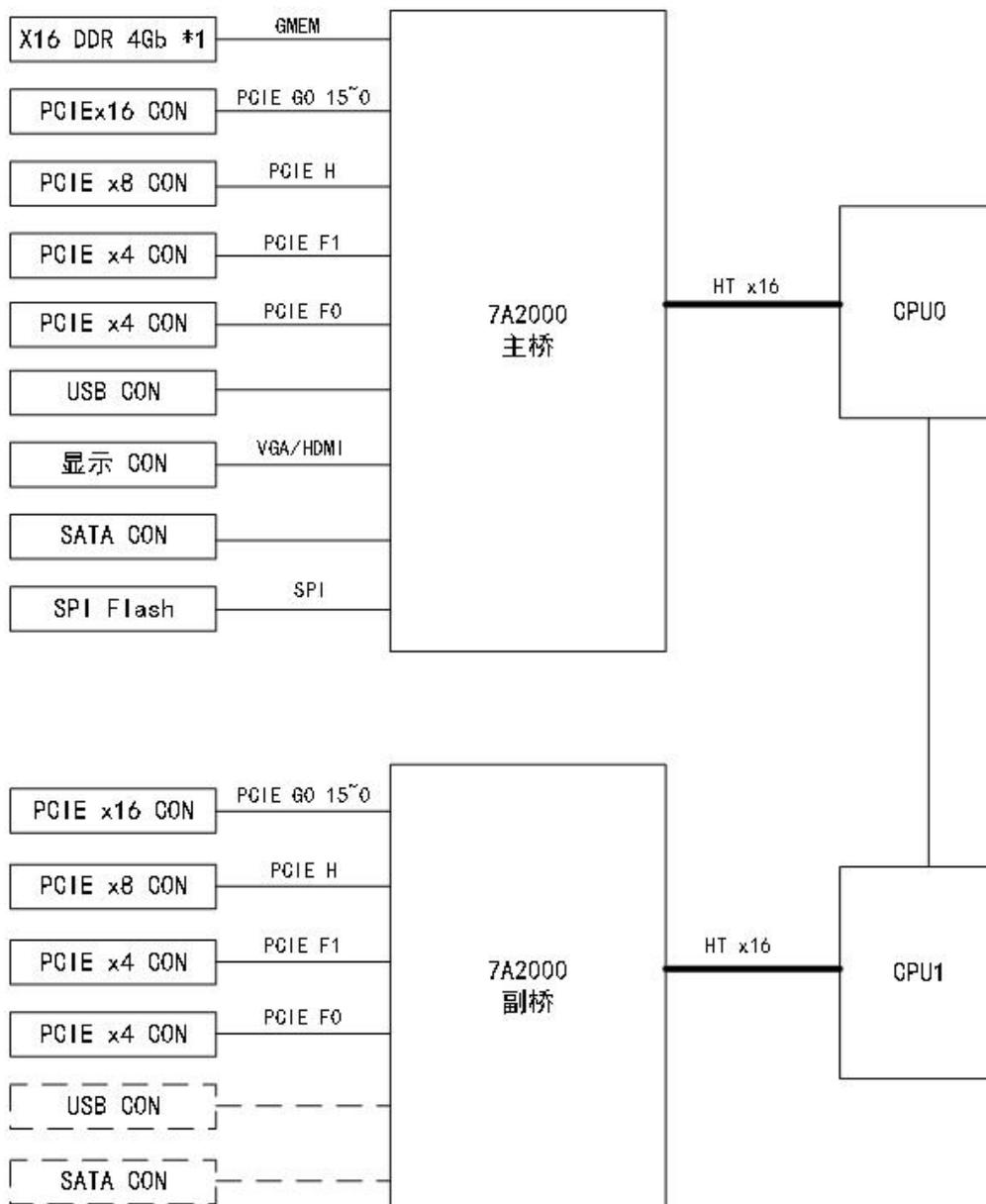
如遇内容错误，欢迎批评指正。

1 主板架构

1.1 7A2000 单路主板典型应用方案



1.2 7A2000 双路主板典型应用方案



副桥上允许接出 PCIE SATA USB 接口。

2 原理图设计检查

2.1 7A2000 checklist

2.1.1 HT

Signal Name	Balls	Signal Type	Checked	Recommendations
HT_REXT_I O_LO	G19	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	HT 参考电阻, 通过一个 1Kohm(1%)的电阻接地。
HT_8X2	G14	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	芯片内部默认 50K 电阻下拉 为低, HT 作为 16 位总线使用 为高, HT 作为 HT_Hi 和 HT_Lo 两个 8 位总线使用 该引脚建议接出观测点 VDDE_SOC 电压域
HT_LO_PO WEROK	H16	OD	Yes <input type="checkbox"/> No <input type="checkbox"/>	芯片内部默认 50K 电阻上拉 当 HT_8X2 无效时为 HT 总线 PowerOK 信号, 当 HT_8X2 有效时为 HT_Lo 总线 PowerOK 信号
HT_LO_RST n	H17	OD	Yes <input type="checkbox"/> No <input type="checkbox"/>	芯片内部默认 50K 电阻上拉 当 HT_8X2 无效时为 HT 总线 Resetn 信号, 当 HT_8X2 有效时为 HT_Lo 总线 Resetn 信号。
HT_LO_LDT _STOPn	H15	OD	Yes <input type="checkbox"/> No <input type="checkbox"/>	芯片内部 50K 电阻上拉 当 HT_8X2 无效时为 HT 总线 Ldt_Stopn 信号, 当 HT_8X2 有效时为 HT_Lo 总线 Ldt_Stopn 信号。

HT_LO_LDT_REQn	H18	OD	Yes <input type="checkbox"/> No <input type="checkbox"/>	芯片内部 50K 电阻上拉 当 HT_8X2 无效时为 HT 总线 Ldt_Reqn 信号, 当 HT_8X2 有效时为 HT_Lo 总线 Ldt_Reqn 信号。
HT_HI_POWEROK	G16	OD	Yes <input type="checkbox"/> No <input type="checkbox"/>	芯片内部 50K 电阻上拉 当 HT_8X2 无效时该信号无效, 当 HT_8X2 有效时为 HT_Hi 总线 PowerOK 信号。 不用时可悬空
HT_HI_RSTn	G17	OD	Yes <input type="checkbox"/> No <input type="checkbox"/>	芯片内部 50K 电阻上拉 当 HT_8X2 无效时该信号无效, 当 HT_8X2 有效时为 HT_Hi 总线 Resetn 信号。 不用时使用 4.7K 电阻下拉到地
HT_HI_LDT_STOPn	G15	OD	Yes <input type="checkbox"/> No <input type="checkbox"/>	芯片内部 50K 电阻上拉 当 HT_8X2 无效时该信号无效, 当 HT_8X2 有效时为 HT_Hi 总线 Ldt_Stopn 信号。 不用时使用 4.7K 电阻下拉到地
HT_HI_LDT_REQn	G18	OD	Yes <input type="checkbox"/> No <input type="checkbox"/>	芯片内部 50K 电阻上拉 当 HT_8X2 无效时该信号无效, 当 HT_8X2 有效时为 HT_Hi 总线 Ldt_Reqn 信号。 不用时可悬空
HT_TX_CAD P[00~15]	B12 C11 B10 C9 B8 C7 B6 C5 E12 F11 E10 F9 E8 F7	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时,该总线为 HT 总线发送数据命令总线, 当 HT_8X2 有效时, [7:0]位为 HT_Lo 总线发送数据命令总线, [15:8]位为 HT_Hi 总线发送数据命令总线。

	E6 F5			
HT_TX_CAD N[00~15]	A12 B11 A10 B9 A8 B7 A6 B5 D12 E11 D10 E9 D8 E7 D6 E5	0	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时,该总线为 HT 总线发送数据命令总线, 当 HT_8X2 有效时, [7:0]位为 HT_Lo 总线发送数据命令总线, [15:8]位为 HT_Hi 总线发送数据命令总线。
HT_TX_CTL P[0~1]	B14 E14	0	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时,该总线为 HT 总线发送控制总线, 当 HT_8X2 有效时, [0]位为 HT_Lo 总线发送控制信号, [1]位为 HT_Hi 总线发送控制信号。
HT_TX_CTL N[0~1]	A14 D14	0	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时,该总线为 HT 总线发送控制总线, 当 HT_8X2 有效时, [0]位为 HT_Lo 总线发送控制信号, [1]位为 HT_Hi 总线发送控制信号。
HT_TX_CLK P[0~1]	C13 F13	0	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时,该总线为 HT 总线发送时钟总线, 当 HT_8X2 有效时, [0]位为 HT_Lo 总线发送时钟信号, [1]位为 HT_Hi 总线发送时钟信号。
HT_TX_CLK N[0~1]	B13 E13	0	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时,该总线为 HT 总线发送时钟总线, 当 HT_8X2 有效时, [0]位为 HT_Lo 总线发送时钟信号, [1]位为 HT_Hi 总线发送时钟信号。

<p>HT_RX_CA DP[00~15]</p>	<p>B22 C21 B20 C19 B18 C17 B16 C15 E22 F21 E20 F19 E18 F17 E16 F15</p>	<p>I</p>	<p>Yes <input type="checkbox"/> No <input type="checkbox"/></p>	<p>当 HT_8X2 无效时,该总线为 HT 总线接收数据命令总线, 当 HT_8X2 有效时, [7:0]位为 HT_Lo 总线接收数据命令总线, [15:8]位为 HT_Hi 总线接收数据命令总线。</p>
<p>HT_RX_CA DN[00~15]</p>	<p>A22 B21 A20 B19 A18 B17 A16 B15 D22 E21 D20 E19 D18 E17 D16 E15</p>	<p>I</p>	<p>Yes <input type="checkbox"/> No <input type="checkbox"/></p>	<p>当 HT_8X2 无效时,该总线为 HT 总线接收数据命令总线, 当 HT_8X2 有效时, [7:0]位为 HT_Lo 总线接收数据命令总线, [15:8]位为 HT_Hi 总线接收数据命令总线。</p>
<p>HT_RX_CTL P[0~1]</p>	<p>B24 E24</p>	<p>I</p>	<p>Yes <input type="checkbox"/> No <input type="checkbox"/></p>	<p>当 HT_8X2 无效时,该总线为 HT 总线接收控制总线, 当 HT_8X2 有效时, [0]位为 HT_Lo 总线接收控制信号, [1]位为 HT_Hi 总线接收控制信号。</p>

HT_RX_CTL N[0~1]	A24 D24	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时,该总线为 HT 总线接收控制信号, 当 HT_8X2 有效时, [0]位为 HT_Lo 总线接收控制信号, [1]位为 HT_Hi 总线接收控制信号。
HT_RX_CLK N[0~1]	B23 E23	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时,该总线为 HT 总线接收时钟总线, 当 HT_8X2 有效时, [0]位为 HT_Lo 总线接收时钟信号, [1]位为 HT_Hi 总线接收时钟信号。
HT_RX_CLK P[0~1]	C23 F23	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时,该总线为 HT 总线接收时钟总线, 当 HT_8X2 有效时, [0]位为 HT_Lo 总线接收时钟信号, [1]位为 HT_Hi 总线接收时钟信号。
HT_CLKP/N	B4 A4	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	200MHz LVDS 差分输入时钟,可通过 CLKSEL 进行选择是否用此差分时钟作为 HT 部分时钟源。默认可不接,使用 SYSCLK 作为时钟源不接时,可悬空。

2.1.2 PCIE

Signal Name	Balls	Signal Type	Checked	Recommendations
PCIE_G0_T XP[15:0]	AF1 AG2 AH3 AG4 AH5 AG6 AH7 AG8 AH9 AG10 AH11 AG12 AH13 AG14	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	G0 通路 PCIeEx16 差分数据输出正。 可通过软件配置成 2 个 x8 通路使用。 靠近连接器或者发送端摆放 0.22uf 的隔直电容。 不用时可悬空。

	AH15 AG16			
PCIE_G0_T XN[15:0]	AG1 AH2 AJ3 AH4 AJ5 AH6 AJ7 AH8 AJ9 AH10 AJ11 AH12 AJ13 AH14 AJ15 AH16	0	Yes <input type="checkbox"/> No <input type="checkbox"/>	G0 通路 PCIe16 差分数据输出负。 可通过软件配置成 2 个 X8 通路使用。 靠近连接器或者发送端摆放 0.22uf 的隔直电容。 不用时可悬空。
PCIE_G0_R XP[15:0]	AJ1 AK2 AL3 AK4 AL5 AK6 AL7 AK8 AL9 AK10 AL11 AK12 AL13 AK14 AL15 AK16	1	Yes <input type="checkbox"/> No <input type="checkbox"/>	G0 通路 PCIe16 差分数据输入正。 可通过软件配置成 2 个 X8 通路使用。 靠近发送端摆放 0.22uf 的隔直电容（使用插槽时该电容在 PCIE 卡上）。 不用时可悬空。

PCIE_G0_R XN[15:0]	AK1 AL2 AM3 AL4 AM5 AL6 AM7 AL8 AM9 AL10 AM11 AL12 AM13 AL14 AM15 AL16	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	G0 通路 PCIe8 差分数据输入负。 可通过软件配置成 2 个 X8 通路使用。 靠近发送端摆放 0.22uf 的隔直电容（使用插槽时该电容在 PCIE 卡上）。 不用时可悬空。
PCIE_G0_R EFRES[3:0]	AE11 AE12 AE13 AF13	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	外部参考电阻，通过 487ohm (+/-1%) 连接至 VDDP_PCIE 电源，可不接
PCIE_G0_R STn	AF17	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	G0 通路 PCIE 复位信号，低电平有效。建议主板上接 1K 下拉
PCIE_H_TX P[7:0]	AH17 AG18 AH19 AG20 AH21 AG22 AH23 AG24	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	H 通路 PCIe8 差分数据输出正。 可用软件配置为 2 个 X4 通路使用。 靠近接插件或者发送端摆放 0.22uf 的隔直电容。 不用时可悬空。
PCIE_H_TX N[7:0]	AJ17 AH18 AJ19 AH20 AJ21 AH22 AJ23 AH24	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	H 通路 PCIe8 差分数据输出负。 可用软件配置为 2 个 X4 通路使用。 靠近接插件或者发送端摆放 0.22uf 的隔直电容。 不用时可悬空。

PCIE_H_RX P[7:0]	AL17 AK18 AL19 AK20 AL21 AK22 AL23 AK24	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	H 通路 PCIe8 差分数据输入正。 可用软件配置为 2 个 X4 通路使用。 靠近发送端摆放 0.22uf 的隔直电容（使用插槽时该电容在 PCIE 卡上）。 不用时可悬空。
PCIE_H_RX N0	AM17 AL18 AM19 AL20 AM21 AL22 AM23 AL24	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	H 通路 PCIe8 差分数据输入负。 可用软件配置为 2 个 X4 通路使用。靠近发送端摆放 0.22uf 的隔直电容（使用插槽时该电容在 PCIE 卡上）。 不用时可悬空。
PCIE_H_RE FRES[1:0]	AE5 AF6	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	外部参考电阻，过 487ohm (+/-1%)连接至 VDDP_PCIE 电源，可不接
PCIE_H_RS TN	AF11	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	H 路 PCIE 复位信号，低电平有效。
PCIE_F0_TX P[3:0]	AH25 AG26 AH27 AG28	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	F0 通路 PCIe4 差分数据输出正。 可用软件配置为 4 个 X1 通路使用。 靠近连接器或者发送端摆放 0.22uf 的隔直电容。 不用时可悬空。
PCIE_F0_TX N[3:0]	AJ25 AH26 AJ27 AH28	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	F0 通路 PCIe4 差分数据输出负。 可用软件配置为 4 个 X1 通路使用。 靠近连接器或者发送端摆放 0.22uf 的隔直电容。 不用时可悬空。
PCIE_F0_RX P[3:0]	AL25 AK26 AL27 AK28	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	F0 通路 PCIe4 差分数据输入正 可用软件配置为 4 个 X1 通路使用。 靠近发送端摆放 0.22uf 的隔直电容（使用插槽时该电容在 PCIE 卡上）。 不用时可悬空。

PCIE_FORX N[3:0]	AM25 AL26 AM27 AL28	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	F0 通路 PCIe4 差分数据输入。 可用软件配置为 4 个 X1 通路使用。 靠近发送端摆放 0.22uf 的隔直电容（使用插槽时该电容在 PCIE 卡上） 不用时可悬空。
PCIE_F0_RE FRES	AE16	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	外部参考电阻，通过 487ohm (+/-1%)连接至 VDDP_PCIE 电源，可不接
PCIE_F0_RS TN	AF15	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	F0 通路 PCIE 复位信号，低电平有效。
PCIE_F1_TX P[3:0]	AH29 AG30 AG31 AF32	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	F1 通路 PCIe4 差分数据输出正。 可用软件配置为 2 个 X1 通路使用。分别为数据组 0、1。 靠近连接器或者发送端摆放 0.22uf 的隔直电容。 不用时可悬空。
PCIE_F1_TX N[3:0]	AJ29 AH30 AH31 AG32	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	F1 通路 PCIe4 差分数据输出负。 可用软件配置为 2 个 X1 通路使用。分别为数据组 0、1。 靠近连接器或者发送端摆放 0.22uf 的隔直电容。 不用时可悬空。
PCIE_F1_RX P[3:0]	AL29 AK30 AK31 AJ32	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	F1 通路 PCIe4 差分数据输入正。 可用软件配置为 2 个 X1 通路使用。分别为数据组 0、1。 靠近设备端摆放 0.22uf 的隔直电容（使用插槽时该电容在 PCIE 卡上）。 不用时可悬空。
PCIE_F1_RX N[3:0]	AM29 AL30 AL31 AK32	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	F1 通路 PCIe4 差分数据输入负。 可用软件配置为 2 个 X1 通路使用。分别为数据组 0、1。 靠近设备端摆放 0.22uf 的隔直电容（使用插槽时该电容在 PCIE 卡上）。 不用时可悬空。
PCIE_F1_RE FRES	AE17	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	外部参考电阻，通过 487ohm (+/-1%)连接至 VDDP_PCIE 电源，可不接

PCIE_F1RS TN	AE19	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	F1 通路 PCIE 复位信号，低电平有效。
PCIE_PRG_ REFRES	AE10	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	PCIE 共享参考电阻，通过 487ohm(+/-1%)连接至 VDDP_PCIE 电源，必须连接
PCIE_REFC LK_OUTN/P [7:0]	AE1 AE2 AE3 AE4 AF7 AE7 AD5 AD6 AD2 AD3 AE14 AE15 AE31 AE30 AD32 AD31	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	PCIE 100MHz 差分时钟输出,可直接连接到 PCIE 插槽或者提供给 PCIE 设备
PCIE_REFC LKIN_N/P	AF3 AF4	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	PCIE 100MHz 差分时钟输入,当 PRG_CLKSEL (Y31)为高电平时,选择该时钟输入作为 PCIE 参考时钟,不用时可悬空

注:

1.PCIE 支持信号反转(软件可配,若 X16 通道拆分为两个 X8 使用时,低 8 位不支持 lane reversal,仅高 8 位支持,x8 通道也是一样),支持 N/P 互换, N/P 互换后的 port 可以支持到 gen3。

2.G0 通道如果只用到 1 组 x8,建议选用高 8 位。

3.F0 拆为 4 个 x1 和 F1 拆为 2 个 x1 时,拆分后的 x1 不支持 PCIE3.0,只能用作 PCIE2.0。

2.1.3 USB

Signal Name	Balls	Signal Type	Checked	Recommendations
-------------	-------	-------------	---------	-----------------

USB2_REFR ES[3:0]	J4 J5 V7 V8	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	参考电阻，通过 3Kohm+/-1%电阻下拉至地
USB2_DP[1 1:0]	R2 R5 P2 P5 N2 N5 M2 M5 L2 L5 K2 K5	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	USB2.0 接口 0~11 数据正，其中 0~3 为 USB3.0 接口上的数据信号 不用时可悬空
USB2_DM[1 1:0]	R1 R4 P1 P4 N1 N4 M1 M4 L1 L4 K1 K4	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	USB2.0 接口 0~11 数据负，其中 0~3 为 USB3.0 接口上的数据信号 不用时可悬空
USB_OC[3: 0]	T7 U7 T8 U8	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	USB 过流检测，高有效； 与数据信号对应关系可通过软件配置 不使用时下拉到地
USB3_REFR ES	W7	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	USB3 外部参考电阻输入，通过 487ohm(+/-1%)电阻连至 VDD_1V0_SB
USB3_TXP[3:0]	W5 V6 U5	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	USB3.0 接口 0~3 差分数据输出正。 靠近连接器或者发送端串联 0.1uF 电容。 不用时可悬空

	T6			
USB3_TXN[3:0]	W4 V5 U4 T5	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	USB3.0 接口 0~3 差分数据输出负。 靠近连接器或者发送端串联 0.1uF 电容。 不用时可悬空
USB3_RXP[3:0]	W2 V3 U2 T3	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	USB3.0 接口 0~3 差分数据输入正。 靠近发送端串联 0.1uF 电容（使用连接器时，该电容位于设备上）。 不用时可悬空
USB3_RXN[3:0]	W1 V2 U1 T2	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	USB3.0 接口 0~3 差分数据输入负。 靠近发送端串联 0.1uF 电容（使用连接器时，该电容位于设备上）。 不用时可悬空
USB3_REFCLKN/P	Y7 Y8	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	USB 参考差分时钟端输入 USB_CLKSEI 为高电平时，该引脚使用 25MHz 差分输入 USB_CLKSEI 为低电平时，该引脚使用 25MHz 晶体输入 该时钟还可通过配置引脚配置为 PCIE 参考时钟输入 该引脚不能悬空

注：USB2_DP/M[3:0]不支持唤醒功能，只有 USB2_DP/M[11:4]八组接口支持，USB3.0 的 0-3 port 与 USB2.0 的 0-3 port 是一一对应关系，如果需要支持唤醒功能，USB3.0 port 可以搭配其他 USB2.0 port 使用。

2.1.4 DDR4 显存

Signal Name	Balls	Signal Type	Checked	Recommendations
GMEM_DQ[31:0]	K27 G28 K26 H29 L26 H28 K29 J26	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR4 显存数据信号

	G31 E30 G30 E31 H31 D32 H32 D31 P27 L29 N28 M28 P26 M29 R28 N29 N30 K32 M32 L30 N31 K31 P31 J31			
GMEM_DQS P[3: 0]	J29 F32 P29 M31	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR4 显存数据选通差分信号，正沿
GMEM_DQS N[3:0]	J28 F31 P28 L31	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR4 显存数据选通差分信号，负沿
GMEM_DM N[3:0]	G29 J30 L28 P32	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR4 显存数据屏蔽信号
NC_GMEM_ DQSN[5:4]	M20 M19	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	板上必须悬空

GMEM_A[13:0]	B26 E26 C25 D27 F27 G26 B27 D26 A26 C26 A28 E25 C28 F26	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR4 显存地址总线信号
GMEM_BA[1:0]	C27 C30	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR4 显存 Bank 地址信号
GMEM_BG[1:0]	B28 A29	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR4 显存 BankGroup 地址信号
GMEM_ACT	E29	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR4 显存行激活信号，低有效
GMEM_ALERT	C29	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR4 显存出错警告信号，低有效
GMEM_WRITE	B29	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR4 显存写使能信号
GMEM_COLUMN	D30	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR4 显存列地址选择信号
GMEM_ROW	D28	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR4 显存行地址选择信号

GMEM_SCS N[1:0]	H27 K28	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR4 显存片选信号
GMEM_CKE [1:0]	F29 L25	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR4 显存时钟使能信号
GMEM_CKP /N	B30 A30	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR4 显存差分时钟输出信号
GMEM_PAR	B25	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR4 显存地址奇偶校验信号
GMEM_ODT [1:0]	E28 M27	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR4 显存 ODT 输出信号
GMEM_RES ETN	H26	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR4 显存复位信号
GMEM_CO MP_REXT	M26	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR4 显存外部参考电阻， 通过一个 240ohm(1%)的电阻连接至地

注：推荐使用 7A2000 集成 GPU，使用 7A2000 集成 GPU 时，要求使用两颗 x16 显存颗粒，单颗容量 512MByte 以上；为了满足 7A2000 集成 IOMMU 的功能需求，需要使用单颗 64M 以上显存。

2.1.5 SATA

Signal Name	Balls	Signal Type	Checked	Recommendations
SATA_RESR EF	AB7	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	SATA 外部参考电阻输入，通过 487ohm(+/-1%) 电阻连至 VDD_1V0_SB
SATA_TXP[3:0]	Y6 AA5 AB6 AC5	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	SATA 差分数据输出信号，正沿 靠近连接器串联 0.01uF 电容 不用时可悬空

SATA0_TXM [3:0]	Y5 AA4 AB5 AC4	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	SATA 差分数据输出信号，负沿 靠近连接器串联 0.01uF 电容 不用时可悬空
SATA0_RXP [3:0]	Y3 AA2 AB3 AC2	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	SATA 差分数据输入信号，正沿 靠近连接器串联 0.01uF 电容 不用时可悬空
SATA0_RXM [3:0]	Y2 AA1 AB2 AC1	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	SATA 差分数据输入信号，负沿 靠近连接器串联 0.01uF 电容 不用时可悬空
SATA0_LED N	AB8	OC	Yes <input type="checkbox"/> No <input type="checkbox"/>	SATA 工作状态指示输出信号，低表示有数据传输 该信号为 VDDE_SOC 电压域 不用时可悬空
SATA_REFC LKP/M	AA7 AA8	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	SATA 参考 25MHz 差分时钟端输入，SATA 参 考时钟可由软件配置为使用芯片内部时钟 不用时可悬空

2.1.6 SPI

Signal Name	Balls	Signal Type	Checked	Recommendations
SPI_SCK	AD26	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	SPI 时钟输出信号
SPI_SDO	AB29	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	SPI 数据输出信号
SPI_SDI	AE27	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	SPI 数据输入
SPI_CSN[3: 0]	AD29 AD28 AB28 AD27	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	SPI 片选输出 其中 CSN2 复用为 SPI 四线模式下的 data2, CSN3 复用为四线模式下的 data3 不用时可悬空

注：7A2000 SPI 接口必须使用 CSN0 片选外接一颗容量不小于 512KB 的 Flash 芯片，用于存储主板相关信息。

2.1.7 LPC

Signal Name	Balls	Signal Type	Checked	Recommendations
LPC_AD[3:0]	W30 Y30 W31 W29	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	LPC 地址/数据输入输出 不用时可悬空
LPC_FRAME N	AB30	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	LPC 帧同步信号，低电平有效 不用时可悬空
LPC_SERIRQ	AA29	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	LPC 总线中断输入 不用时可悬空
LPC_RESET N	V31	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	LPC 总线复位输出 VDDE_SOC。 不用时可悬空
LPC_CLKOUT T	AA30	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	LPC 33MHz 时钟输出 不用时可悬空

注：LPC 设备和控制器要求时钟同源，设备必须使用 LPC_CLKOUT 作为输入时钟

2.1.8 I2C

Signal Name	Balls	Signal Type	Checked	Recommendations
I2C_SCL[1:0]	N25 R30	OC	Yes <input type="checkbox"/> No <input type="checkbox"/>	I2C 串行时钟信号 外部需通过 4.7K 电阻上拉到 VDDE_SOC。
I2C_SDA[1:0]	N26 R31	OC	Yes <input type="checkbox"/> No <input type="checkbox"/>	I2C 串行数据信号 外部需通过 4.7K 电阻上拉到 VDDE_SOC。

注：I2C0 默认设置为 Slave 模式，用来读取 7A2000 内部温度寄存器

2.1.9 UART

Signal Name	Balls	Signal Type	Checked	Recommendations
UART_TXD	AC26	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	Uart0 数据发送 不用时可悬空
UART_RXD	AC25	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	Uart0 数据接收 不用时可悬空
UART_RTS	AA25	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	Uart0 请求发送 不用时可悬空
UART_CTS	AA26	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	Uart0 清除发送 不用时可悬空
UART_DTR	AA28	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	Uart0 数据终端准备好 不用时可悬空
UART_DSR	Y26	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	Uart0 数据装置准备好 不用时可悬空
UART_RI	AB25	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	Uart0 振铃指示 不用时可悬空
UART_DCD	AB26	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	Uart0 数据载波检查 不用时可悬空

注：通用类产品系统默认将 UART0 端口配置串口功能，不可用于 GPIO 或者 I2C 复用使用。如需其他复用功能需修改内核进行支持。

2.1.10 网络接口

Signal Name	Balls	Signal Type	Checked	Recommendations
-------------	-------	-------------	---------	-----------------

GMAC1_TX CK	G13	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 1 的 RGMII 发送时钟信号 不用时可悬空
GMAC1_TC TL	H13	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 1 的 RGMII 发送控制信号 不用时可悬空
GMAC1_TX D[3:0]	G11 G12 H11 H12	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 1 的 RGMII 发送数据总线 不用时可悬空
GMAC1_RX CK	G7	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 1 的 RGMII 接收时钟信号 不用时可悬空
GMAC1_RC TL	H4	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 1 的 RGMII 接收控制信号 不用时可悬空
GMAC1_RX D[3:0]	G9 G8 H5 H9	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 1 的 RGMII 接收数据总线 不用时可悬空
GMAC1_MD CK	H8	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 1 的管理接口串行时钟信号 不用时可悬空
GMAC1_MD IO	H7	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 1 的管理接口串行数据信号 外部需要 4.7K 电阻上拉到 VDD_3V3_RSM 不用时可悬空
TX_A_P/N	J1 J2	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	网络接口的 A 差分端口 不用时可悬空
TX_B_P/N	H1 H2	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	网络接口的 B 差分端口 不用时可悬空
TX_C_P/N	G1 G2	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	网络接口的 C 差分端口 不用时可悬空

TX_D_P/N	F1 F2	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	网络接口的 D 差分端口 不用时可悬空
REXT	D1	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	通过 4.99Kohm+/-1%电阻下拉到地 必须连接
GMACO_LE D_1KB	J7	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	网口千兆网工作状态指示灯，高有效 不用时可悬空
GMACO_LE D_100B	J8	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	网口十/百兆网工作状态指示灯，高有效，可根据 需要通过软件配置增加千兆网工作状态指示 不用时可悬空
GMACO_LE D_ACTIVE	G10	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	网口收发包状态指示，高有效 不用时可悬空

注:GMAC1 内部不支持在 RGMII 接口时钟上增加延时配置,需要使用带有延时配置的 PHY 芯片

2.1.11 PWM

Signal Name	Balls	Signal Type	Checked	Recommendations
PWM[3:0]	G21 H20 G22 H21	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	PWM 脉冲输入输出 不用时可悬空

2.1.12 HDA

Signal Name	Balls	Signal Type	Checked	Recommendations
HDA_BCLK	AF9	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	HDA_BITCLK 输出,复用为 I2S_BCLK 不用时可悬空
HDA_SDIO	AC8	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	HDA/I2S 数据输入, 连接第一个 codec; 不用时使用 4.7K 电阻下拉

HDA_SDI1	AC7	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	HDA 数据输入，连接第二个 codec； 不用时使用 4.7K 电阻下拉
HDA_SDI2	AD7	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	HDA 数据输入，连接第二个 codec； 不用时使用 4.7K 电阻下拉
HDA_SDO	AE8	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	HDA 数据输出，复用为 I2S_DO 不用时可悬空
HDA_SYNC	AE9	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	HDA 同步信号，复用为 I2S_MCLK 不用时可悬空
HDA_RESE TN	AD8	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	HDA/I2S 复位信号 不用时可悬空

2.1.13 GPIO

Signal Name	Balls	Signal Type	Checked	Recommendations
GPIO0	AC29	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	通用输入输出引脚，默认为输入 不用时可悬空
GPIO27	AC28	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	通用输入输出引脚，默认为输入 不用时可悬空

GPIO 复用功能详见手册

2.1.14 RTC

Signal Name	Balls	Signal Type	Checked	Recommendations
RTC_XI	E1	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	32.768KHz 晶体输入，或者外部 32.768KHz 时钟输入（使用晶体时，必须使用；使用晶振时， 必须使用）

RTC_XO	E2	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	32.768KHz 晶体输出（使用晶体时，必须使用； 使用晶振时，可不接）
--------	----	---	---	--

注：不论是否使用 7A2000 自带 RTC 计时功能，7A2000 的 RTC 供电和 RTC 时钟都是必须提供的；通用版本的操作系统不支持外置 RTC 芯片。

2.1.15 显示接口

Signal Name	Balls	Signal Type	Checked	Recommendations
VGA_ROUTP	N7	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	VGA R 通道正端口，主板上连接两个 150 欧对地的下拉电阻 不用时可悬空
VGA_ROUTN	N8	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	VGA R 通道负端口 不用时接地
VGA_GOUTP	K7	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	VGA G 通道正端口，主板上连接两个 150 欧对地的下拉电阻 不用时可悬空
VGA_GOUTN	K8	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	VGA G 通道负端口 不用时接地
VGA_BOUTP	M7	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	VGA B 通道正端口，主板上连接两个 150 欧对地的下拉电阻 不用时可悬空
VGA_BOUTN	M8	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	VGA B 通道负端口 不用时接地
VGA_HSYNC	P8	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	VGA 行同步信号 不用时悬空
VGA_VSYNC	P7	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	VGA 场同步信号 不用时悬空

VGA_REXTN/N	L7	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	VGA 接口参考电阻连接端，在该两引脚之间连接一个 2.27K ~ 4.54K 之间的电阻，用于调节 VGA 输出信号电流强度，推荐使用 4.02K 电阻
VGA_REXTN	L8	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	
VGA_VREF	R7	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	主板上该引脚可悬空
HDMI0_TX[2:0]P/N	K13 L13 K14 L14 K15 L15	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	HDMI0 通道差分数据输出 不用时可悬空
HDMI0_CKPN	K12 L12	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	HDMI0 通道差分时钟输出 不用时可悬空
HDMI0_BIAS	M14	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	HDMI0 通道偏执电压设置引脚，通过 240 欧姆电阻上拉到 VDD_HDMI_BIAS，最大电流 22mA
HDMI0_HOTPLUG	M13	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	HDMI0 通道热插拔检测信号，高电平表示有显示器插入 电压域 VDDE_SOC，跟 HDMI 插座之间需要做电压转换
HDMI0_I2C_SCL	M15	OC	Yes <input type="checkbox"/> No <input type="checkbox"/>	HDMI0 通道 I2C 串行时钟信号 需要外接 4.7K 上拉电阻到 VDDE_SOC 跟 HDMI 连接器之间需要做电压转换
HDMI0_I2C_SDA	M16	OC	Yes <input type="checkbox"/> No <input type="checkbox"/>	HDMI0 通道 I2C 串行数据信号 需要外接 4.7K 上拉电阻到 VDDE_SOC 跟 HDMI 连接器之间需要做电压转换
HDMI1_TX[2:0]P/N	D2 C2 C3 B3 D4 C4	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	HDMI1 通道差分数据输出 不用时可悬空

HDMI1_CKP/ N	E4 F4	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	HDMI1 通道差分时钟输出 不用时可悬空
HDMI1_BIAS	K10	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	HDMI1 通道偏执电压设置引脚，通过 240 电阻上拉到 VDD_HDMI_BIAS，最大电流 22mA
HDMI1_HOTP LUG	G5	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	HDMI1 通道热插拔检测信号，高电平表示有显示器插入 电压域 VDDE_SOC，跟 HDMI 插座之间需要做电压转换
HDMI1_I2C_S CL	E3	OC	Yes <input type="checkbox"/> No <input type="checkbox"/>	HDMI1 通道 I2C 串行时钟信号 需要外接 4.7K 上拉电阻到 VDDE_SOC 跟 HDMI 连接器之间需要做电压转换
HDMI1_I2C_S DA	G4	OC	Yes <input type="checkbox"/> No <input type="checkbox"/>	HDMI1 通道 I2C 串行数据信号 需要外接 4.7K 上拉电阻到 VDDE_SOC 跟 HDMI 连接器之间需要做电压转换

注：

- 1.HDMI0 和 VGA 接口显示内容相同，原则上两个接口只能连接一个，不建议同时接出，HDMI0_I2C 连接到接出的 VGA 或者 HDMI0 接口上。
- 2.如果特殊应用场景需要 HDMI0 和 VGA 同时接出，需要限制两个接口上连接的显示器型号完全相同，HDMI0_I2C 通过多路选择器切换是连接到 VGA 还是连接到 HDMI0，HDMI0 优先级高于 VGA。
- 3.VGA 接口可以实现自动的热插拔检测功能，该功能需要限定 RGB 信号线上的下拉电阻为 75 欧姆，如果该电阻值变化会影响热插拔检测。为保证 VGA 接口信号质量，建议 RGB 每根信号线上源端和末端各并联个 150 欧姆电阻下拉到 GND。

2.1.16 配置接口

Signal Name	Balls	Signal Type	Checked	Recommendations
PCIE_BRID GE	AE18	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	默认通过 4.7k 下拉至地
CLKSEL[8:0]]	AF23 AE21 AE23 AE22 AF21	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	建议默认设置为 clkssel[8:0]=010000100 各个引脚功能见手册里的描述

	AE24 AE25 AE26 AA32			
HTGEN3	H19	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	默认通过 4.7k 下拉至地
DUAL_BRIDGE	AB27	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	单 7A2000 模式下, 该引脚使用 4.7K 电阻下拉到 GND 双 7A2000 模式下, 主 7A2000 该引脚使用 4.7K 电阻下拉到 GND, 从 7A2000 如果使用 F0 桥模式, 该引脚需要上拉到 VDDE_SoC, 如果不使用 F0 桥模式, 该引脚下拉到 GND, 建议默认不使用 F0 桥模式
HTCLK_SEL0	U32	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	HT 外部参考时钟频率选择, 根据主板时钟连接情况进行上下拉配置, HTCLK_SEL1 为 1 时, 该引脚可悬空
HTCLK_SEL1	V32	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	HT 参考时钟选择, 建议使用 4.7K 电阻上拉到 VDDE_SoC
PRG_CLKSEL	Y31	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	PRG 参考时钟选择 (PCIE 参考时钟) 0: 选择 USB 的 25MHz 时钟 1: 选择 PCIE_REFCLKINP/N 时钟
USBCLKSEL	Y32	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	USB 参考时钟选择 0: USB 参考时钟为 25MHz 晶体 1: USB 参考时钟为 25MHz 差分 该引脚为 VDDE ACPI 电压域 建议默认使用 4.7K 电阻下拉到 GND

2.1.17 JTAG

Signal Name	Balls	Signal Type	Checked	Recommendations
TCK	H22	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	JTAG 时钟信号 不用时可悬空

TDI	G23	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	JTAG 数据输入信号 不用时可悬空
TMS	G24	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	JTAG 模式 不用时可悬空
TRST	H24	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	JTAG 复位信号 内部默认下拉 推荐板卡设计时外接 100k 下拉到地。
TDO	H23	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	JTAG 数据输出 不用时可悬空

注：JTAG 信号推荐主板引出测试点，供调试时使用

2.1.18 ACPI

Signal Name	Balls	Signal Type	Checked	Recommendations
ACPI_EN	R29	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	正常模式需要上拉到 VDDE_ACPI，使能 ACPI 信号；该信号为低时，除了 ACPI_SYSRSTn 外的其它 ACPI 管理信号无效。
ACPI_SYSRSTN	T29	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	桥片复位输入，低有效。 在 7A 所有电源稳定后拉高
ACPI_WAKEN	T31	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	输入信号，外部 PCIE 唤醒信号，低电平有效，需与软件配合使用。外部上拉到 VDDE_ACPI。
ACPI_SUSS TATn	V29	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	低功耗状态指示，低有效 不使用可悬空
ACPI_S3N	Y27	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	S3 状态输出信号，当系统在 S0 时为高，当在 G3、S5、S4 和 S3 状态下为低。可用作 S0 电源开启控制。 不使用时可悬空
ACPI_S4N	V30	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	S4 状态输出信号，当系统在 S0/3 时为高，当在 G3、S5 和 S4 状态下为低。 不使用时可悬空

ACPI_S5N	Y28	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	S5 状态输出信号，当系统在 S0/3/4 时为高，当在 G3 和 S5 状态下为低。 不使用时可悬空
ACPI_PLTRS Tn	W28	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	平台复位输出，可用于复位 IO 外设和 3A 处理器。低电平有效。
ACPI_PWRB TNN	U29	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	ACPI 使能时，作为开机唤醒信号，需要在 RSM_RST 拉高稳定后触发。桥片接收到该唤醒信号后，会拉起相应的 ACPI_S3/4/5 信号。4S 以上低脉冲为强制关机信号。该信号在系统启动后可作为中断触发输入功能，配合软件可实现待机等机功能。需上拉到 VDDE_ACPI。
ACPI_PWRO K	T30	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	ACPI 使能时，外部电源正常状态指示输入。当外部所有电源启动正常后，拉高该信号，桥片进行内部逻辑的复位；并可触发后续 PLTRST、PCIE_RST 等外设复位信号输出。
ACPI_VSBG ATE	U31	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	S3 功能时，控制 dual 电转换。此信号使能后，会早于 ACPI_S3N 被拉低，按下唤醒键后，晚于 ACPI_S3N 被拉高。
ACPI_GPIO[15:0]	U28 T26 T27 U26 U27 T28 V28 V26 AB21 AC21 AC19 AB20 AB22 AC20 AB19 AC22	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	ACPI 域 GPIO 端口，用作 GPE 功能，具有唤醒和中断功能，中断类型包括电平/边沿/双沿，极性可设置 不使用时可悬空
ACPI_RSMT STn	T32	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	ACPI 域复位信号，低有效 需要按照手册时序要求进行控制，建议使用 RC 复位；如果 ACPI 使能无效，该信号建议使用复

				位芯片产生
SYS_DOTES Tn	AA31	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	测试模式设置，低有效 功能模式下通过 4.7K 电阻上拉到 VDDE_ACPI

2.1.19 Interrupt

Signal Name	Balls	Signal Type	Checked	Recommendations
INT0	AF19	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	系统中断输出 0 板上悬空
INT1	AE20	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	系统中断输出 1 板上悬空

2.1.20 时钟信号

Signal Name	Balls	Signal Type	Checked	Recommendations
SYS_CLKIN	AB32	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	桥片 100MHz 参考时钟 VDDE_HT_SB 电压域
SYS_TESTC LK	AB31	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	测试时钟输入 功能模式下该引脚悬空
CLKOUT_10 0M	AF28	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	100MHz 单端时钟输出，电压域为 VDDE_HT_SB 该时钟可直接提供给 CPU 系统时钟
CLKOUT_33 M	AF29	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	33.3MHz 单端时钟输出 VDDE_SOC 电压域

CLKOUT_25 M	AF27	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	25MHz 单端时钟输出 VDDE_SOC 电压域
CLKOUT_FL EX	AF25	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	时钟输出，频率可通过软件配置 VDDE_SOC 电压域

2.1.21 POWER

电源域	电源名称	电压值 (V)	典型电流 (A)	备注
RTC	VDD_RTC (VDD_3V3RTC)	3.0	4uA	
ACPI	VDD_ACPI	1.0	0.008	
	VDDE_ACPI (VDD_3V3_ACPI)	3.3	0.007	
RSM	VDD_RSM	1.0	0.7	
	VDDP_U3S_RX (VDD_1V0_SB)	1.0		
	VDDE_RSM (VDD_3V3_RSM)	3.3	0.22	
	VDDP_GNET_AB (VDD_3V3_GNET0)	3.3		
	VDDP_GNET_CD (VDD_3V3_GNET1)	3.3		
	VDDP_U3S_TX (VDD_1V8_SB)	1.8	0.2	
	VDDP_RSM (VDD_1V8_RSM)	1.8		
	VDDP_USB2_L (VDD_0V9_RSM)	0.9	0.02	
SOC	VDD_SOC	1.0	7.2	电源纹波小于 27mV
	VDDP_PCIE (VDD_PCIE3)	1.0		
	VDD_MEM (VDD_MPHY)	1.0		
	VDDE_SOC	3.3	0.025	

	(VDD_3V3)			
	VDDE_HT_SB (VDD_3V31V8_HT)	3.3/1.8	0.15	
	VDD_MISC (VDD_1V8)	1.8		
	VDDP_HDMI_PLL	1.8	0.02	
	VDDP_HDMI_BIAS	1.8		
	VDDP_PRG (VDD_PRG)	1.8	0.05	
	VDDP_MEM (VDD_1V2_MC)	1.2	0.65	
	VDDP_HT_TX	1.2		
	VDDP_HT_RX	1.2		
	VDDP_HDMI_L (VDD_HDMI)	0.9	0.01	
	VDDA_SSCPLL (VDDZA1V8SSCGPLL)	1.8	0.01	
	VDDD_SSCPLL (VDDZD1V0SSCGPLL)	1.0	0.06	
	VDD_PLL0 (VDDZ_1V1PLL0)	1.0		
	VDD_PLL1 (VDDZ_1V1PLL1)	1.0		
	VDD_PLL2 (VDDZ_1V1PLL2)	1.0		
	VDD_PLL3 (VDDZ_1V1PLL3)	1.0		
	VDD_PLL4 (VDDZ_1V1PLL4)	1.0		
	VDDA_HTPLL	1.25	0.03	
	VDDD_HTPLL	1.25		
GND	VSS_RTC (VSS_Z1V7OSC)	0		
	VSS	0		
	VSS_PLL0 (VSS_1V1PLL0)	0		
	VSS_PLL1 (VSS_1V1PLL1)	0		

VSS_PLL2 (VSS_1V1PLL2)	0		
VSS_PLL3 (VSS_1V1PLL3)	0		
VSS_PLL4 (VSS_1V1PLL4)	0		
VSSA_SSCPLL (VSSZA1V8SSCGPLL)	0		
VSSD_SSCPLL (VSSZD1V0SSCGPLL)	0		
VSSA_HTPLL	0		
VSSD_HTPLL	0		

注：

- 1.除 PLL 外相同电压域下相同电压值可以在主板上合并。
- 2.上电时序参考 7A2000 数据手册。
- 3.除特殊说明外，所有电源大负载下纹波控制在 20mv 以内。

2.2 其他设计注意事项

2.2.1 时钟设计要求

7A2000 必须提供的时钟有 32.768KHz 的 RTC 时钟、25MHz 的 USB3 参考时钟和 100MHz 的系统输入时钟，其它模块参考时钟都可以由软件或者硬件配置由这几个时钟提供。其中 HTPHY 建议通过配置引脚配置为使用系统时钟，PCIE 参考时钟建议硬件配置为使用 USB3 的输入时钟，SATA 参考时钟由软件配置为使用内部时钟。板上 PCIE 插槽或者外接 PCIE 设备建议直接使用 7A2000 输出的 PCIE 时钟。

2.2.2 时序要求

此部分请详细参照 7A2000 数据手册相关部分。

2.2.3 显示单元的设计

参见《龙芯 7A2000 内置显卡软硬件设计规范》。

2.2.4 SPI 存储 rom

7A2000 平台主板硬件设计时，7A2000 桥片的 SPI 总线必须连接一个 SPI flash，片

选固定为 CS0，容量不低于 512KB。该 flash 用于存储桥片集成 GMAC 的 MAC 地址、7A2000 的 GPU 显示相关参数信息、主板串号等。

2.2.5 笔记本、一体机方案注意事项

平台规范笔记本、一体机方案几个特殊功能引脚定义。

独显方案中 EC 的 SCI 的引脚必须连接到 7A2000 对应管脚，三个背光控制端口由 EC 控制(预留显卡端控制端口做为备份)，一体机中 OSD 链接 EC，由 EC 上报系统。SMARTFAN 功能由 EC 控制。

7A2000 的显示单元方案中 EC 的 SCI 的引脚必须连接到 7A2000 对应管脚，三个背光控制端口由 7A2000 相应管脚控制，一体机中 OSD 链接 EC，由 EC 上报系统。SMARTFAN 功能由 EC 控制。

笔记本、一体机方案中 7A2000 现规定几个特殊管脚定义与之对应：

SCI(System Control Interrupt)	连接到 7A2000 桥片的 ACPI_GPIO0 管脚，要求低电平有效，持续时间大于 15ms
LCD_EN(LCD backlight enable)	CLKSEL0(GPIO46)默认下拉
LCD_VDD_EN(LCD power enable)	CLKSEL1(GPIO47)默认下拉
LCD_PWM(LCD backlight PWM)	PWM3(GPIO07)

2.2.6 接口外设支持列表

详见《龙芯平台外围功能芯片适配列表 V1.0》

龙芯 7A1000 内置显卡软硬件设计规范

V1.0

版本信息

文档信息		文档名	龙芯 7A1000 内置显卡软硬件设计规范
		版本号	V1.0
		创建人	系统研发部
版本历史			
序号	版本号	更新内容	
1	V0.1	发布文档初始版本 V0.1 版。	
2	V0.2	调整编码器连接方案； 增加关于热插拔方案的说明。	
3	V1.0	1.更改显示设备名称为“内置显卡”； 2.本规范适用于龙芯 7A1000 桥片，更改文档名称； 3.第 4 节改为“显示类型和模式”，并完善信号转换、多分辨率支持情况的描述； 4.完善热插拔的轮询和中断相关描述； 5.删除 4.1 节单显示器方案相关描述； 6.更正并完善 DDC 和 EDID 获取相关描述； 7.更新第 5 节 vbios 存储约定的说明； 8.删除第六节，编码器芯片的选型。	

目 录

1 范围	1
2 术语与定义	1
3 架构关系	1
4 显示类型和模式	2
4.1 多屏显示方案	3
4.2 DDC 通道硬件连接方案	4
4.3 获取 EDID	4
4.4 热插拔探测	5
4.5 背光控制	5
5 VBIOS 存储约定	5

前 言

本规范涉及到龙芯 7A1000 桥片内置显卡，主要介绍龙芯板卡内置显卡固件与硬件之间，固件和内核接口之间的功能划分及相关硬件布线约定。

1 范围

本规范规定龙芯 7A1000 内置显卡的硬件设计要求，VBIOS 固件的存放位置等。本规范适用于龙芯 7A1000 桥片主板。建议其它系统厂商遵循此规范开发相关产品。

2 术语与定义

本规范所用术语定义如下：

固件：Firmware，写入 ROM、EPROM 等非易失存储器中的程序，负责控制和协调集成电路。

BIOS：基本输入输出系统，Basic Input Output System，一组固化到主板上一个 ROM 芯片上的程序，它保存着计算机基本输入输出程序、系统设置信息、开机后自检程序和系统自启动程序。BIOS 与硬件系统集成在一起，也被称为固件，本规范中固件和 BIOS 不做区分。

UEFI：统一的可扩展固定接口，Unified Extensible Firmware Interface，是 Intel 为全新类型的 PC 固件的体系结构、接口和服务提出的建议标准。主要目的是提供在 OS 加载之前在所有平台上一致、正确指定的启动服务，被看做是有近 20 多年历史的 PC BIOS 的继任者。

PMON：一种兼有 BIOS 和 boot loader 部分功能的开放源码软件。

VBIOS(Video BIOS)：VBIOS 是显卡的 BIOS，VBIOS 提供一些和显示相关的功能，并存放显示芯片与驱动程序之间的控制程序，另外还存放有显示卡型号、规格、生产厂家、出厂时间等信息。

PCI (Peripheral Component Interconnect)：是连接电子计算机主板和外部设备的总线标准，用于定义局部总线的标准。此标准允许在计算机内安装多达 10 个遵从 PCI 标准的扩展卡。

Encoder：信号编码器，用于将 DVO 信号转换为其他的显示信号，如模拟信号、LVTM 或 TMDS 等显示信号。

Crtc：显示控制器，显示控制器把数据从显存中将要显示数据取出来，然后对这些数据做一定的处理送到显示屏。

Connector：显示接口连接器，指显示接口硬件，例如 VGA 连接器，HDMI 连接器等。

3 架构关系

龙芯 7A1000 桥片中集成显示控制器和 GPU，龙芯 7A1000 显示驱动包括内核驱动和 VBIOS 固件，由内核驱动和 VBIOS 固件共同控制龙芯显示控制器和 GPU，实现显示，背光调节，渲染等功能。VBIOS 固件需要使用 VBIOS 生成工具生成，并存放固定位置(详见第 5 章)，VBIOS 生成工具的使用详见《龙芯 VBIOS1.0 生成工具使用手册》，龙芯 7A1000 内置显卡驱动初始化设备时，从 VBIOS 固件中解析硬件信息，配置，代码等内容。内置显卡内核驱动与 VBIOS 固件层次关系如图 3-1 所示：

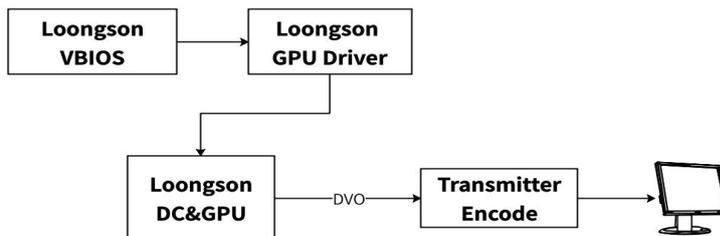


图 3-1 显示驱动，固件与显示硬件的关系

4 显示类型和模式

龙芯 7A1000 桥片中集成的显示控制器包含两路 DVO 端口，通过连接外置的编码芯片(Encoder)可实现模拟或者数字信号输出。当前操作系统内核中已集成 LT8618、IT66121、MS7210 三款 HDMI 转换芯片的驱动，正常使用时需由 VBIOS 配合，实现点亮显示器和待机唤醒等功能。

龙芯 7A1000 桥片内置显卡支持的显示模式，如表 4-1 所示。

表 4-1 显示模式支持情况

显示类型	描述
CRT	支持模拟信号显示器(VGA)，通过 DVO 端口连接额外的转换芯片来支持。
显示面板	支持 TMDS(DVI,HDMI)和 LVDS 兼容显示面板,通过 DVO 端口连接额外的转换芯片来支持。

龙芯 7A1000 显示控制器支持多种分辨率，每路显示最大支持 1920x1080@60Hz，支持 RGB565，ARGB8888 两种色深，龙芯显示控制器要求水平分辨满足 256 字节对齐，对齐计算方法：水平宽度 × 色深/8，计算后得到整数则表示对齐，否则表示不对齐，以 1152x864 分辨率 16 位色深为例， $1152 \times 16 / 8 / 256 = 9$ ，1152x864 分辨率是可以正常显示的，在 RGB565 色深模式下，由于多种分辨率无法满足对齐要求，多屏模式下可能出现显示异常，常用分辨率支持情况见表 4-2。

表 4-2 分辨率支持表

分辨率	RGB565	ARGB8888
800x600	不支持	不支持
1024x768	支持	支持
1152x864	支持	支持
1680x1050	不支持	不支持
1280x1024	支持	支持
1600x1200	不支持	支持
1920x1080	支持	支持

4.1 多屏显示方案

龙芯 7A1000 显示驱动支持单路和两路同时显示，其中两路显示支持几种不同的模式，支持的情况如表 4-3 所示。

表 4-3 多屏支持情况

显示配置模式	描述	支持情况
Single	支持单独一个显示器	支持
Twin	支持两个显示器，以相同分辨率和时序，显示相同画面，	支持
Clone	支持两个显示器，以不同分辨率和时序，显示相同的画面	不支持
Extended	支持两个显示器，以左右或上下扩展的形式显示完整画面	支持

龙芯 7A1000 显示驱动支持多种硬件链接方案。

方案 A：硬件上选用一款多通道输出视频编解码转换芯片（Encoder）来实现多屏镜像(Twin)显示，如图 4-1 所示。注意：该方案只能支持镜像模式的双屏显示。

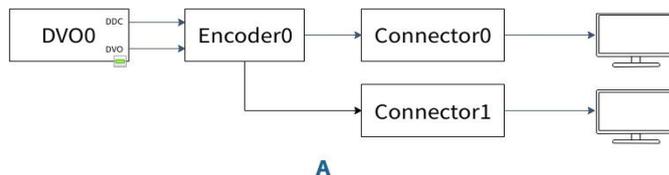


图 4-1 镜像双屏显示硬件链接方案

方案 B：实现两路独立的双屏显示，需要同时使用两路显示控制器分别连接相应的视频编解码转换芯片(Encoder)芯片。如图 4-2，实现多屏扩展(Extended)和多屏镜像(Twin)功能。支持单屏-多屏切换，多屏-单屏切换和多屏不同模式间的切换。

方案 C：两路独立的双屏显示，支持显示控制器(Crtc)和视频编解码转换芯片(Encoder)之间支持交叉连接，如图 4-2 中，采用这种方案时 7A1000 显示控制器在硬件设计时需要注意，同一个显示控制器的 DVO 显示通道和 DDC 通道必须同时连接到一个视频编解码转换芯片(Encoder)。

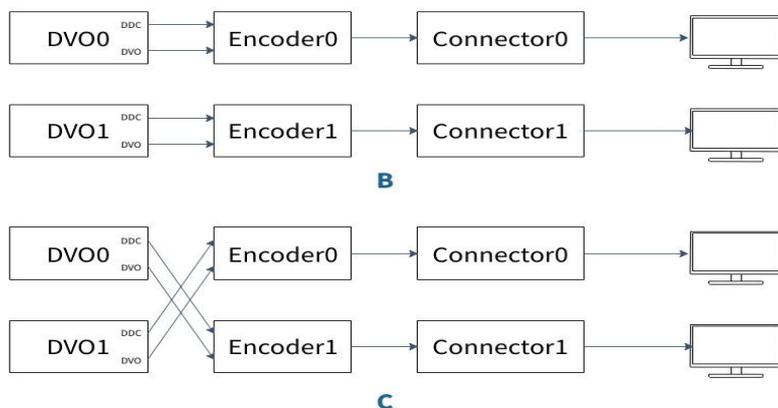


图 4-2 独立双屏显示硬件连接方案

针对方案 B 和方案 C，显示控制器(Crtc)和视频编解码转换芯片(Encoder)之间的连接关系，需要通

过 VBIOS 生成工具进行相应的配置，仅在硬件布线正确连接，并且在 VBIOS 中正确配置连接关系后才能正常显示，同时显示接口能获取正确的 EDID 信息，才能实现正常的显示器的拔插检测功能。

4.2 DDC 通道硬件连接方案

龙芯 7A1000 桥片对每个显示通路的 DDC 连接方案做了具体规定。龙芯 7A1000 内置显卡支持三种 DDC 通道的连接方案。

方案 A: 使用不需要配置的 Encoder 芯片，则 DVO0_SCL 和 DVO0_SDA 经过电平转换后直接连接显示接口，硬件连接方案如图 4-3 所示；

方案 B: 使用需要配置(非透明)的 Encoder 芯片，则 DVO0_SCL 和 DVO0_SDA 需要同时作为 Encoder 芯片的配置通道和 EDID 读取通道使用，硬件连接方案如图 4-4 所示；

方案 C: 使用需要配置(非透明)的视频编解码转换芯片(Encoder)，且视频编解码转换芯片(Encoder)支持 EDID 的读取功能,则只需要将 DVO0_SCL 和 DVO0_SDA 作为视频编解码转换芯片(Encoder)的配置通道，通过向视频编解码转换芯片(Encoder)发送命令来读取 EDID 信息，如图 4-5 所示。

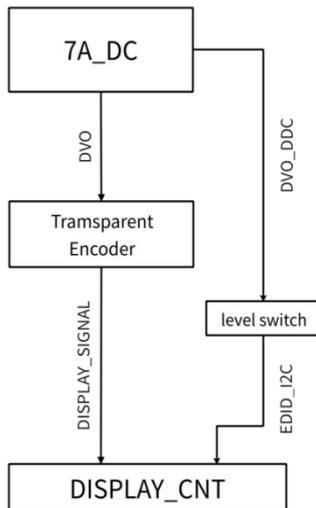


图 4-3 方案 A

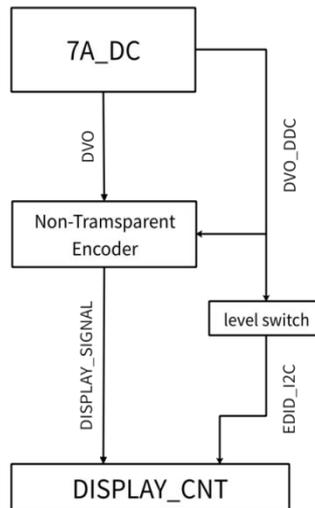


图 4-4 方案 B

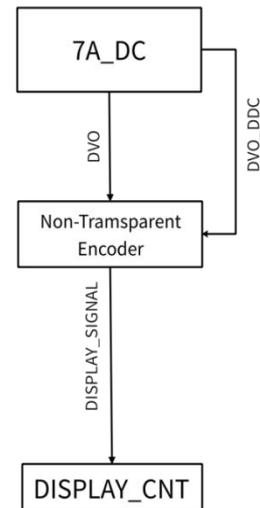


图 4-5 方案 C

4.3 获取 EDID

龙芯 7A1000 内置显卡提供两种 EDID 获取方案。

方案 A: 使用显示控制器的 DDC 通道读取外部 EDID 信息，驱动根据不同显示设备，读取不同的 EDID 信息；

方案 B: 在 VBIOS 中预存需要的 EDID 信息，适用于以下三种情况：

1. 外部显示设备无法提供 EDID 信息；
2. 外部显示设备仅能提供一个 EDID 信息，而实际需要多组分辨率。
3. 无法采用标准的获取方式获取 EDID。例如，无法通过 i2c 从设备 0x50 地址中读取到 EDID。

4.4 热插拔探测

龙芯 7A1000 内置显卡通过软件轮询是否能够获取 EDID 信息来判定是否正常连接显示器,实现热插拔探测,如果能正常读取 EDID 信息则表示显示器连接,否则表示显示器断开。

如需支持热插拔功能,需要按照 4.2 节所述设计硬件,保证驱动能够正确读取到 EDID。如需不支持热插拔功能,需要在 VBIOS 中关闭热插拔探测,关闭热插拔探测情况下,显示接口一直输出显示信号,在这种模式下,如获取不到外部显示设备的 EDID 信息,仅能支持预存储在 VBIOS 或者系统中分辨率。

4.5 背光控制

使用 7A1000 内置显卡方案时,硬件设计约束为:显示屏背光开关控制必须使用 7A 桥片上的 GPIO46 和 GPIO47,显示屏背光的亮度控制必须使用 7A 桥片上的 PWM3(GPIO07),如表 4-4 所示,否则背光功能可能无法正常工作。

表 4-4 背光控制硬件链接关系

LCD_EN(LCD backlight enable)	CLKSEL0(GPIO46)默认下拉
LCD_VDD_EN(LCD power enable)	CLKSEL1(GPIO47)默认下拉
LCD_PWM(LCD backlight PWM)	PWM3(GPIO07)

5 VBIOS 存储约定

使用制作工具生成的 VBIOS 固件二进制文件存储在 BIOS 同一个 ROM 中。

龙芯 7A2000 内置显卡软硬件设计规范

V1.1

版本信息

文档信息	文档名	龙芯 7A2000 内置显卡软硬件设计规范
	版本号	V1.1
	创建人	系统研发部
版本历史		
序号	版本号	更新内容
1	V1.0	V1.0 初始版本
2	V1.1	优化多屏方案的描述

目录

1 范围	1
2 术语与定义	1
3 架构关系	1
4 显示类型和模式	2
4.1 多屏显示方案	3
4.2 DDC 通道硬件连接方案	5
4.3 获取 EDID	6
4.4 热插拔探测	6
4.5 背光控制	6
5 VBIOS 使用说明	7

前 言

本规范涉及到龙芯 7A2000 桥片内置显卡，主要介绍龙芯板卡内置显卡固件与硬件之间，固件和内核接口之间的功能划分及相关硬件布线约定。

1 范围

本规范规定龙芯 7A2000 内置显卡的硬件设计要求，VBIOS 固件的存放位置等。本规范适用于使用龙芯 7A2000 桥片的主板。请其它系统厂商遵循此规范开发相关产品。

2 术语与定义

本规范所用术语定义如下：

固件：Firmware，写入 ROM、EPROM 等非易失存储器中的程序，负责控制和协调集成电路。

BIOS：基本输入输出系统，Basic Input Output System，一组固化到主板上一个 ROM 芯片上的程序，它保存着计算机基本输入输出程序、系统设置信息、开机后自检程序和系统自启动程序。BIOS 与硬件系统集成在一起，也被称为固件，本规范中固件和 BIOS 不做区分。

UEFI：统一的可扩展固定接口，Unified Extensible Firmware Interface，是 Intel 为全新类型的 PC 固件的体系结构、接口和服务提出的建议标准。主要目的是提供在 OS 加载之前在所有平台上一致、正确指定的启动服务，被看做是有近 20 多年历史的 PC BIOS 的继任者。

PMON：一种兼有 BIOS 和 boot loader 部分功能的开放源码软件。

VBIOS(Video BIOS)：VBIOS 是显卡的 BIOS，VBIOS 提供一些和显示相关的功能，并存放显示芯片与驱动程序之间的控制程序，另外还存放有显卡型号、规格、生产厂家、出厂时间等信息。

PCI (Peripheral Component Interconnect)：是连接电子计算机主板和外部设备的总线标准，用于定义局部总线的标准。此标准允许在计算机内安装多达 10 个遵从 PCI 标准的扩展卡。

Encoder：型号编码器，用于将 DVO 型号转换为其他的显示信号，如模拟型号、LVTM 或 TMDS 等显示信号。

Crtc：显示控制器(DC)在驱动中的抽象，显示控制器把数据从显存中将要显示数据取出来,然后对这些数据做一定的处理送到显示屏。

Connector：显示接口连接器，指显示接口硬件，例如 VGA 连接器，HDMI 连接器等。

EDID：显示器识别数据，存储在显示器中的 DDC 存储器中，当电脑主机与显示器连接后，电脑主机会通过 DDC 通道读取显示器中存储的 EDID。

3 架构关系

龙芯 7A2000 桥片中集成显示控制器(DC)和图形处理单元(GPU)，龙芯显示驱动包括内核驱动和 VBIOS 固件。由内核驱动和 VBIOS 固件共同控制龙芯显示控制器和 GPU，实现显示、背光调节、渲染等功能。VBIOS 固件需要使用 VBIOS 制作工具生成，并存放固定位置(详见第 5 章)，VBIOS 生成工具的使用详见《龙芯 VBIOS 生成工具使用手册》。龙芯 7A2000 内置显卡驱动初始化设备时，从 VBIOS 固件中解析硬件信息，配置，代码等内容。龙芯内置显卡驱动与 VBIOS 固件层次关系如图 1-1

所示：

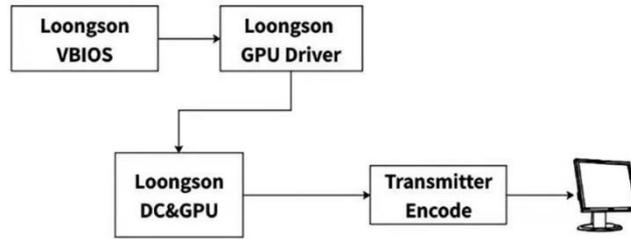


图 1-1 显示驱动，固件与显示硬件的关系

4 显示类型和模式

龙芯 7A2000 桥片中集成的显示控制器包含两路 HDMI 数字端口，以及一路 VGA 模拟端口；其中 VGA 端口的显示内容复用 HDMI0 端口。两路 HDMI 和 VGA 支持最大分辨率为 1920x1080@60Hz。两路 HDMI 端口均可使用显示控制器中集成的 I2C 读取显示器 EDID 信息；VGA 端口可复用 HDMI0 的 I2C。每路显示端口均支持热插拔探测与连接状态识别。

龙芯 7A2000 内置显卡支持的显示模式，如表 3-1 所示。

表 3-1 显示模式支持情况

显示类型	描述
CRT	模拟信号显示器(VGA)，数字信号显示器(HDMIx2)。
显示面板	支持 TMDS(DVI,HDMI)和 LVDS 兼容显示面板。

龙芯 7A2000 显示控制器驱动 ARGB8888 色深模式要求水平分辨满足 32 字节对齐,对齐计算方法：水平宽度×色深/8/32，计算后得到整数则表示对齐，否则表示不对齐，以 1152x864 分辨率 32 位色深为例， $1152 \times 32 / 8 / 32 = 144$ ，表示 1152x864 分辨率可正常支持，常用分辨率支持情况见表 3-2。

表 3-2 分辨率支持表

分辨率	ARGB8888
800x600	支持
1024x768	支持
1152x864	支持
1680x1050	支持
1280x1024	支持
1600x1200	支持
1920x1080	支持

4.1 多屏显示方案

龙芯 7A2000 显示驱动支持单路、两路和三路同时显示。三路同时显示时 VGA 复用 HDMI0 端口的显示输出。其中多路显示支持几种不同的模式，支持的情况如表 4-1 所示。

表 4-1 多屏支持情况

显示配置模式	描述	支持情况
Single	单独一个显示器	支持
Twin	两个显示器，以相同分辨率和时序，显示相同画面	支持
Clone	两个显示器，以不同分辨率和时序，显示相同的画面	不支持
Extended	两个显示器，以左右或上下扩展的形式显示完整画面 三个显示器，以相同分辨率和时序，显示相同画面；或两个 HDMI 显示器以左右或上下扩展的形式显示完整画面，VGA 显示器显示内容与 HDMI0 相同	支持

龙芯 7A2000 显示控制器硬件连接方案：

方案 A：两路 HDMI 端口的双屏方案，该方案需要同时使用两路 HDMI 显示控制器(CRTC)，分别连接相应的显示连接器(Connector)。如图 4-1，实现双屏扩展(Extended)和双屏镜像(Twin)功能。支持单屏-双屏相互切换和双屏不同排列模式间的切换。该方案在扩展与克隆显示模式下每屏可支持的最大分辨率为 1920x1080@60Hz。

注意：显示控制器集成的 I2C0 为 HDMI0 专用，I2C1 为 HDMI1 专用，禁止交叉连接。

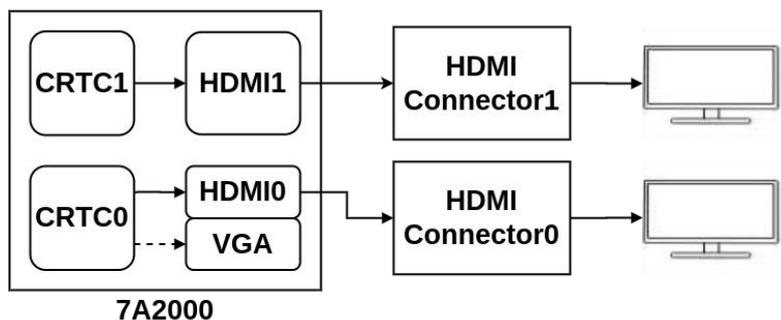


图 4-1 HDMI 双屏显示硬件连接方案

方案 B：HDMI+VGA 端口的双屏方案，该方案中显示控制器的 VGA 端口可复用 HDMI0 端口的显示输出；HDMI 连接器与 VGA 连接器各使用一个，实现双屏显示的功能。如图 4-2 所示，VGA 控制器复用 HDMI0 的显示，此时 HDMI0 悬空，可将 HDMI0 的 I2C 连接到 VGA 端口，用于获取显示器 EDID。该方案最大支持分辨率为 1920x1080@60Hz。

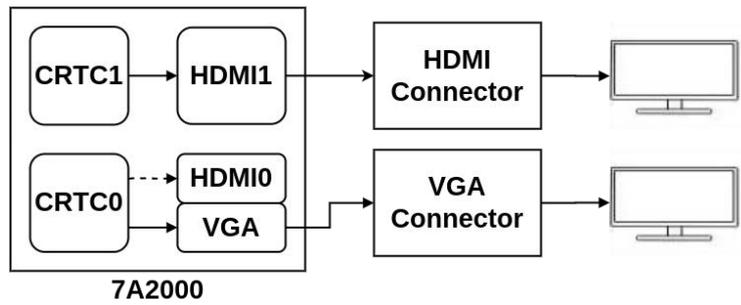


图 4-2 HDMI+VGA 双屏显示硬件连接方案

方案 C：三路显示方案，该方案在方案 A 的基础上加入 VGA 端口的显示输出，VGA 端口复用 HDMI0 端口的显示输出。同时使用两个 HDMI 连接器和一个 VGA 连接器，实现三屏显示功能。如图 4-3，该方案中 VGA 端口显示的内容始终与复用的 HDMI0 端口相同。可支持三屏克隆模式显示，和双 HDMI 屏扩展显示。使用此方案时三屏同时连接后可支持的最大分辨率为 1920x1080@60Hz。

- 注意：** 1.HDMI0 和 VGA 端口同时连接显示器时要求两个显示器为同一品牌和型号。
2.此方案 CRTC0 的 DDC 硬件设计与其他方案不同，请参考 4.2 节的描述设计 DDC 电路。

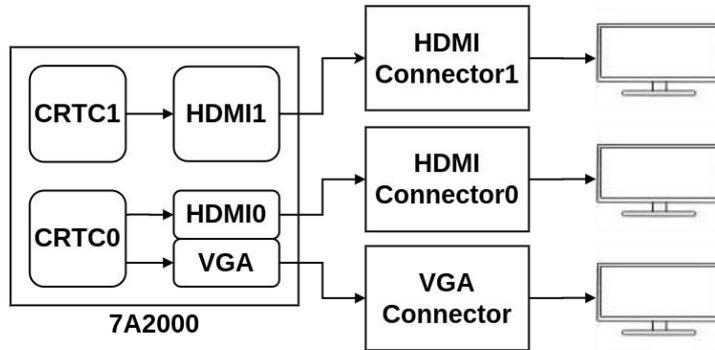


图 4-3 三屏显示硬件连接方案

方案 D：包含视频编解码转换芯片(Encoder)的显示方案，此方案主要针对笔记本及一体机中的 eDP/lvds 屏幕或其他需要做视频信号转换的情况。由于此类屏幕需要在 7A2000 HDMI 端口外连接视频编解码转换芯片(Encoder)，如图 4-4，可在 HDMI0 或 HDMI1 外部与连接器之间接入编码转换芯片。此方案中显示控制器和视频编解码转换芯片之间的连接关系，需要通过 VBIOS 生成工具进行相应的配置。仅在硬件布线正确连接，并且在 VBIOS 中正确配置连接关系后才能正确获取 EDID 信息，同时正常显示。

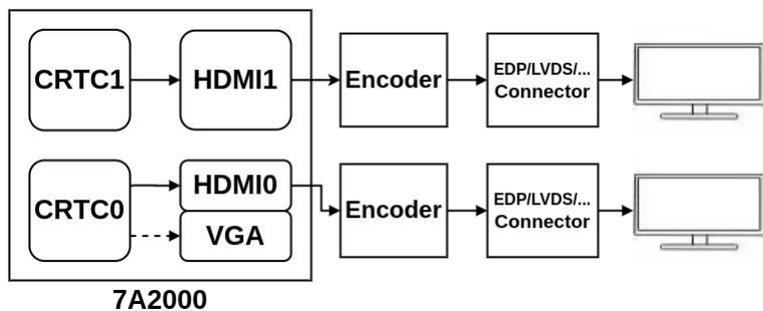


图 4-4 包含视频编解码转换芯片的方案

4.2 DDC 通道硬件连接方案

龙芯 7A2000 桥片使用单路或双路显示端口的 DDC 硬件方案有以下三种, 请根据每一路的不同情况选择设计方案。对于使用视频编解码转换芯片的方案 HPD(热插拔探测)通路可直接连接显示控制器, 由内置显卡驱动完成 HPD 操作。

方案 A: HDMI 或 VGA 直接连接连接器(Connector), 使用显示控制器集成的 I2C 直接连接显示接口, 硬件连接方案如图 4-5 所示。

方案 B: 使用视频编解码转换芯片(Encoder), 且视频编解码转换芯片支持 EDID 的读取功能, 则只需要将显示控制器的 I2C 作为视频编解码转换芯片的配置通道, 通过向视频编解码转换芯片发送命令来读取 EDID 信息。同时视频编解码转换芯片与连接器之间通过 I2C 连接 DDC 通道, 如图 4-6 所示。

注意: 不支持读取 EDID 信息的视频编解码转换芯片只能将 EDID 信息存储到 VBIOS 中; 且 EDID 信息需由显示器厂家提供。

方案 C: 使用无需配置(透明)的视频编解码转换芯片(Encoder), 此类转换芯片无需连接 I2C, 直接将显示控制器的 I2C 连接到连接器(Connector)即可通过连接器获取 EDID 信息, 如图 4-7 所示。

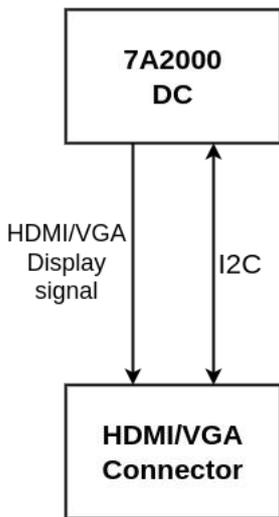


图 4-5 方案 A

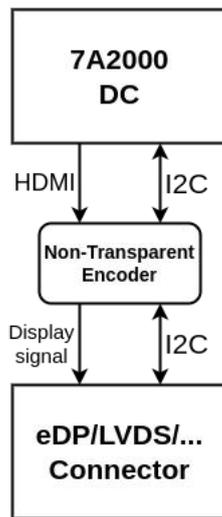


图 4-6 方案 B

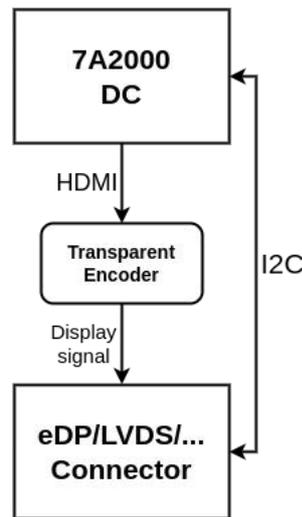


图 4-7 方案 C

视频编解码转换芯片的选型可参考表 4-2 所列出的型号

表 4-2 视频编解码转换芯片选型表

信号转换类型	厂商	型号	驱动类型
HDMI-to-eDP	新港海岸(New Co Semi)	NCS8803	Non-Transparent
HDMI-to-eDP	龙讯半导体(Lontium)	LT9721	Non-Transparent
HDMI-to-eDP	龙讯半导体(Lontium)	LT6711	Transparent
HDMI-to-LVDS	龙讯半导体(Lontium)	LT8619	Non-Transparent

龙芯 7A2000 桥片使用三路显示端口时 HDMI0 I2C 的设计要求如图 4-8。在该方案中使用 HDMI0 热插拔探测(HPD)对多路复用电路 (MUX) 开关进行切换。在不插 HDMI 显示器时, HDMI0 I2C 与 VGA I2C 相通与 HDMI I2C 断开; 当接入 HDMI 显示器, HDMI0 I2C 与 HDMI I2C 相通与 VGA I2C 断开。

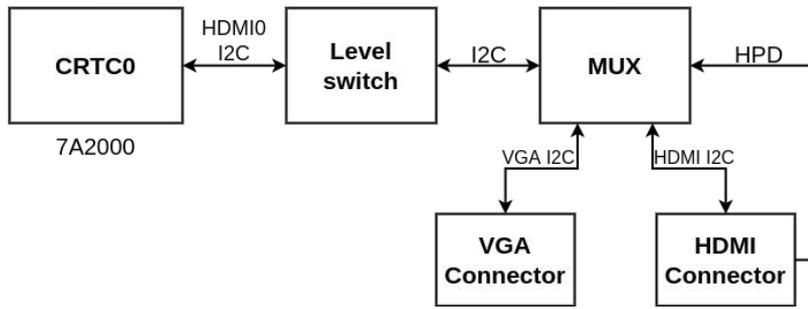


图 4-8 三屏显示 HDMI I2C 连接方案

4.3 获取 EDID

龙芯 7A2000 内置显卡提供两种 EDID 获取方案。

方案 A: 使用显示控制器集成的 I2C 读取外部 EDID 信息, 驱动在接入显示设备后开始读取 EDID 信息; 该方案适用于多数 HDMI、VGA 等显示器。

方案 B: 在 VBIOS 中预存 EDID 信息, 并由 VBIOS 告知驱动 EDID 信息已预存, 该方案适用于以下两种情况:

1. 已知外接显示设备无法提供 EDID 信息;

2. 外接显示设备保存的 EDID 信息中只包含一组分辨率信息, 如笔记本电脑中集成的 eDP 屏幕, 通常仅支持 1920x1080 一种分辨率, 而用户使用时需要切换多种分辨率; 此时可将其他分辨率信息放入 EDID 中并预存到 VBIOS 即可。

4.4 热插拔探测

龙芯 7A2000 内置显卡驱动支持中断和轮询两种方式的显示器热插拔探测功能, 驱动设计时优先使用中断的方式完成显示器的热插拔探测。请在设计硬件时优先使用中断实现热插拔探测, 仅在硬件设计不支持中断热插拔探测时开启轮询方式。

采用中断方式时, 驱动将收到显示控制器触发的热插拔中断, 随后获取硬件状态判定是否连接显示器。当接入或拔出显示器均会触发热插拔中断, 两路 HDMI 接口与 VGA 接口均可通过中断的方式实现显示器热插拔。采用轮询方式时, 通过驱动中设定的软件计时器, 以十秒为一个周期轮询探测显示器连接状态。

如需支持热插拔功能, 需在 VBIOS 中配置中断或轮询至少一种探测方式。如无需支持热插拔功能, 需要在 VBIOS 中关闭热插拔探测。关闭热插拔探测情况下, 显示驱动将显示器连接状态默认设置为已连接, 此状态下所有显示端口始终认为已连接显示器, 并在每个显示端口输出显示信号; 在这种模式下, 如无法获取显示设备的 EDID 信息, 仅能支持预存储在 VBIOS 或者驱动中预设的分辨率。

4.5 背光控制

使用 7A2000 内置显卡时, 硬件设计约束为: 显示屏背光开关控制必须使用 7A 桥片上的 GPIO46 和 GPIO47, 显示屏背光的亮度控制必须使用 7A 桥片上的 PWM3(GPIO07), 如表 4-3 所示, 否则

背光功能无法正常工作。

表 4-3 背光控制硬件链接关系

LCD_EN(LCD backlight enable)	CLKSEL0(GPIO46)默认下拉
LCD_VDD_EN(LCD power enable)	CLKSEL1(GPIO47)默认下拉
LCD_PWM(LCD backlight PWM)	PWM3(GPIO07)

5 VBIOS 使用说明

VBIOS 二进制文件由 VBIOS 制作工具生成，具体制作流程请参考《龙芯 VBIOS 生成工具使用手册》。制作完成的 VBIOS 二进制文件中应包含当前板卡上全部显示端口的信息；例如图 5-1 中，在板卡上使用了 HDMI 和 eDP 端口，VBIOS 制作过程中按照对应关系将其信息填入。制作完成的 VBIOS 二进制文件需保存到 BIOS 中；VBIOS 二进制文件写入 BIOS 的方法请参考《龙芯 VBIOS 生成工具使用手册》。

完成 VBIOS 二进制文件的写入后，在系统启动过程中驱动程序将读取并解析 VBIOS 中的内容。VBIOS 将连接器、编码器、显示控制器的连接对应关系传入驱动程序；驱动程序将按照此对应关系初始化相关设备。当使用外接编码转换芯片时，VBIOS 中将保存具体的芯片型号以及相关所需信息，驱动解析到这些信息后将对外接编码转换芯片进行初始化。当使用 eDP 屏幕时，VBIOS 中将存储背光控制相关信息，如 GPIO 或 PWM 相关配置等数据，驱动将严格按照 VBIOS 提供的信息控制背光。

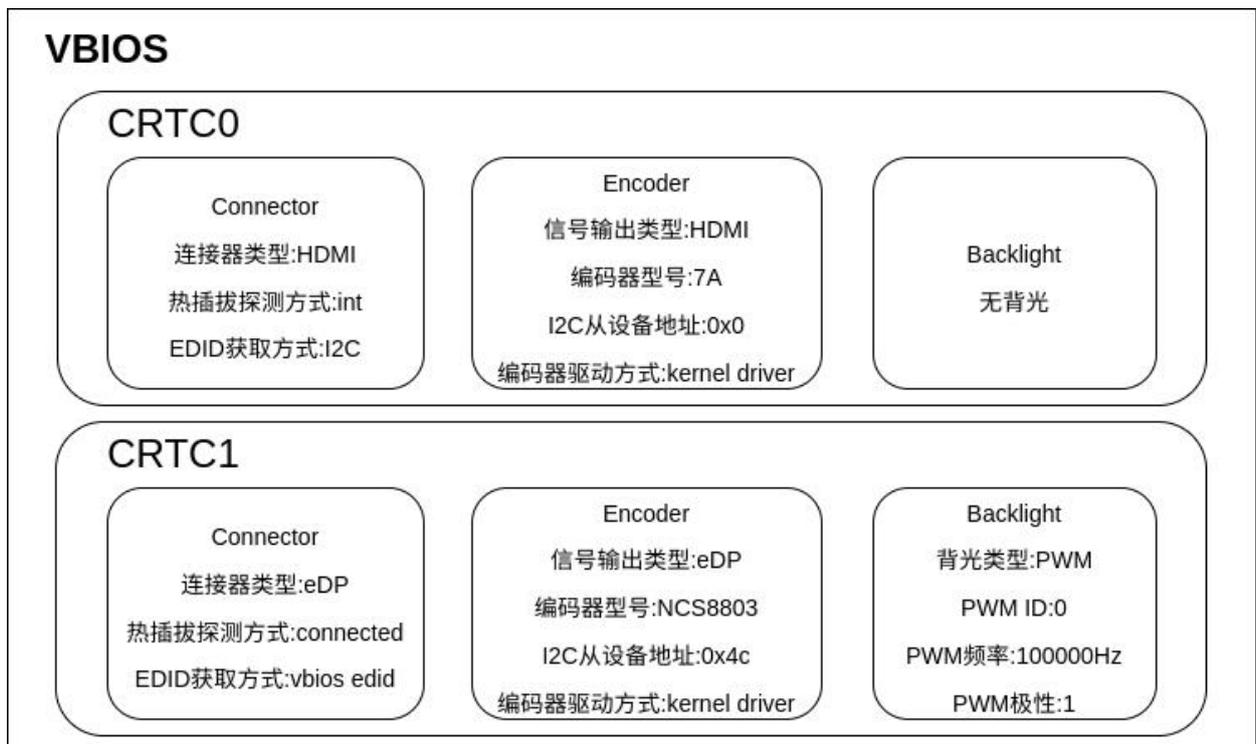


图 5-1 vbios 信息实例

龙芯外围功能芯片支持列表

V1.0

文档信息	文档名:	龙芯外围功能芯片支持列表
	版本号:	V1.0
	创建人:	通用事业部
更新历史		
版本号	更新内容	
V1.0	初版发行	

《龙芯外围功能芯片支持列表》

类型	厂商	型号	备注	已适配平台
千兆网卡	瑞昱 (Realtek)	RTL8111G/H		7A1000 全系列、 7A2000 全系列
	网迅	WX1860AL-W		7A1000 全系列、 7A2000 全系列
	Intel	82574	已停产	3A4000-7A1000 产品
		I210/I211		7A1000 全系列
		82580		7A1000 全系列
I350		7A1000 全系列、 7A2000 全系列		
万兆网卡	网迅	WX1820AL		7A1000 全系列、 7A2000 全系列
	Intel	82599		7A1000 全系列、 7A2000 全系列
		X710		7A1000 全系列、 7A2000 全系列
千兆网络 PHY	Marvell	88E1510/88E1512		7A1000 全系列、 7A2000 全系列
		88E1111-BAB1I000		7A1000 全系列
	瑞昱 (Realtek)	RTL8211E		7A1000 全系列
		RTL8211FD		7A2000 全系列
	裕太微	YT8521SC/H		7A1000 全系列、 7A2000 全系列
		YT8531		7A1000 全系列、 7A2000 全系列
		YT8511		7A1000 全系列、 7A2000 全系列
	普维特电子	RPC101	无法关闭 EEE 模式	7A1000 全系列
Microchip	KSZ9031		7A1000 全系列	
PCI-E 转 USB3.0	瑞萨	UDP720201	四口	7A1000 全系列、 7A2000 全系列
	钰创	EJ188H	四口	7A1000 全系列、 7A2000 全系列
	祥硕	ASM1042	双口	7A1000 全系列

PCIE 转 USB3.1	祥硕	ASM3142	双口	7A1000 全系列
PCIE 转 SATA3.0	Mavell	9215		7A1000 全系列
	祥硕	ASM1061		
	祥硕	ASM1064		
PCIE Switch	Broadcom	PEX8112		3A/B4000-7A1000 产品
		PEX8619		
		PEX8632		
	祥硕	ASM8024		
PCIE 转 PCI Switch	Broadcom	PEX8112		3A/B4000-7A1000 产品
PCIE ReDriver	万协通信	WSTR62		7A2000 全系列
SuperIO	Winbond	W83527	LPC 接口	7A1000 全系列
		W83795	I2C 接口	7A1000 全系列
	Fintek	F81866AD	LPC 接口	7A1000 全系列
	Nuvoton	NCT6106D	LPC 接口	7A1000 全系列、7A2000 全系列
GPU	景嘉微	JM7201	PCIE x8	7A1000 全系列
		JM9200	PCIE x8	7A1000 全系列
	AMD	R5 340		7A1000 全系列、7A2000 全系列
		Radeon 520		7A1000 全系列、7A2000 全系列
		RX550		7A2000 全系列
DVO 编码器	Chrontel	CH7055A	DVO 转 VGA	7A1000 全系列
	Analog device	ADV7125	DVO 转 VGA	
	深圳晶格微电子	SDA7123	DVO 转 VGA	
	Analog device	ADV7513	DVO 转 HDMI	
	合肥宏晶微电子	MS7210	DVO 转 HDMI	
	Silicon image	Sii9022ACNU	DVO 转 HDMI	
	龙讯半导体	LT8618SXB	DVO 转 HDMI	
	TI	TFP410PAP	DVO 转 DVI	
	振芯科技	GM7510	DVO 转 DVI	
	新港海岸	NCS8805	DVO 转 EDP	
	振芯科技	GM8285C	DVO 转 LVDS	
显示转换芯片	新港海岸	NCS8803	HDMI 转 EDP	7A2000 全系列
	龙讯半导体	LT6711		
		LT9721		

		LT8619	HDMI 转 LVDS	
HDA codec	前海深蕾	CX20632		7A1000 全系列、 7A2000 全系列
	瑞昱 (Realtek)	ALC897		7A1000 全系列、 7A2000 全系列
		ALC269		7A1000 全系列、 7A2000 全系列
		ALC662	已停产	7A1000 全系列
I2S codec	顺芯	ES8388	只能有 1 个输入	7A2000 全系列
Clock gen	IDT	6P41505		7A1000 全系列、 7A2000 全系列
	奥拉	Au5329		7A1000 全系列、 7A2000 全系列
	IDT	5P49V6965A		3A5000-7A2000 产品
	微寰半导体	MSC1421		7A1000 全系列
	IDT	9FG108EFILFT		7A1000 全系列
Clock buff	奥拉	Au5411		7A1000 全系列
	IDT	5PB1104PGGI		3B4000、3B5000、 3C5000L 系列
	ON	NB3V1104CDTR2G		3B4000 系列
UART	江苏沁恒	CH384L	PCIE 转 UART	7A1000 全系列
		CH382		
		CH340/CH341/CH342/C H343/CH344	Usb 转 UART	
		CH9101/CH9102/CH910 3		
		CH9344		
RapidIO	IDT	TSI721	PCIE 转 Rapid io	7A1000 全系列
DDR4 颗粒	龙芯中科	LS6D4323-I	512M x8	3A4000 全系列 3A5000 全系列
		LS6D4423-I	256M x16	3A4000 全系列 3A5000 全系列
	Hynix	H5ANAG6NCJ	2GB x16	7A2000 全系列
		H5AN4G6NBJR-VKC	512M x16	7A2000 全系列
	Samsung	K4AAG165WA BCTD	2GB x16	7A2000 全系列
		K4A4G165WF BCTD	512M x16	7A2000 全系列
	紫光国芯	SCB12Q4G160AF-07Q		3A4000 全系列
	合肥长鑫	CXDQ3BFAM-CG		3A4000 全系列

				7A2000 全系列
		CXDQ3A8AM-CQ		3A4000 全系列 3A5000 全系列
DDR3 颗粒	Samsung	K4B2G1646F-BYMA		7A1000 全系列
		K4B2G1646Q-BCK0		
		K4B1G1646G-BCK0		
		K4B1G1646I-BCNB		
	晶豪科技 (ESMT)	M15T1G1664A		
紫光国芯	HXI15H4G160AF-13K	已停产		
232 串口芯片	南京国博电子	WS3232ECN		7A1000 全系列、 7A2000 全系列
		WS3243FCA		7A1000 全系列、 7A2000 全系列
	英联	UM3232EEUE		3A4000 、 3A5000 、 3C5000L 系列
	芯景科技	AT3232EUE+		3A5000 系列
	Maxim	MAX3243EAI		3A4000 、 3A5000 、 3C5000L 系列
	Maxim	MAX3243CAI		3A4000 、 3A5000 、 3C5000L 系列
SPI Flash	兆易创新	GD25Q16ESIGR	16Mb 3.3V	7A1000 系列、7A2000 系列
		GD25Q64CSIG	64Mb 3.3V	3A4000 系列、3A5000 系列 (需要加电平转换)
		GD25Q127CSIG	128Mb 3.3V	3A4000 系列、3A5000 系列 (需要加电平转换)
	Winbond	W25Q64JVSIG		7A1000 系列、7A2000 系列
		W25Q32JVSIG	32Mb 3.3V	3A4000 系列、3A5000 系列 (需要加电平转换)
		W25Q64JVSIG	64Mb 3.3V	3A4000 系列、3A5000 系列 (需要加电平转换)
		W25Q64FVSIG	64Mb 3.3V	3A4000 系列、3A5000 系列 (需要加电平转换)
	博雅	BY25Q32BSSIG	32Mb 3.3V	3A4000 系列、3A5000 系列 (需要加电平转换)
		BY25Q64ASSIG	64Mb 3.3V	3A4000 系列、3A5000 系列 (需要加电平转换)
		BY25Q128ASSIG	128Mb 3.3V	3A4000 系列、3A5000 系列

				系列（需要加电平转换）
		BY25Q32ALSIG	32Mb 1.8V	3A4000 系列（IO 电需要使用 1.8V）
	武汉新芯	XM25QH32CHIG	32Mb 3.3V	3A4000 系列、3A5000 系列（需要加电平转换）
		XM25QH64CHIQ	64Mb 3.3V	3A4000 系列、3A5000 系列（需要加电平转换）
		XM25QH64AHIG	64Mb 3.3V	3A4000 系列、3A5000 系列（需要加电平转换）
		XM25QH128AHIG	128Mb 3.3V	3A4000 系列、3A5000 系列（需要加电平转换）
		XM25QH128CHIQ	128Mb 3.3V	3A4000 系列、3A5000 系列（需要加电平转换）
		XM25QU32CJIG	32Mb 1.8V	3A5000 系列
		XM25QU64AHIG	64Mb 1.8V	3A5000 系列
		XM25QU64CHIQ	64Mb 1.8V	3A5000 系列
		XM25QU128CHIQ	128Mb 1.8V	3A5000 系列
		上海复旦微	FM25Q64	64Mb 3.3V
	合肥恒烁	ZB25VQ32ASIG	32Mb 3.3V	3A4000 系列、3A5000 系列（需要加电平转换）
		ZB25VQ64ASIG	64Mb 3.3V	3A4000 系列、3A5000 系列（需要加电平转换）
		ZB25VQ128ASIG	128Mb 3.3V	3A4000 系列、3A5000 系列（需要加电平转换）
	芯天下	XT25Q64DSSIGT	64Mb 1.8V	3A5000 系列
		XT25Q128DSSIGT	128Mb 1.8V	3A5000 系列
板载 SSD	安信物联	AXH-US064MTW		7A1000 全系列
	三顿电子	SCUD128GMTWT		7A1000 全系列
	鸿秦科技	HTUSMU064G-WM	64GB	7A1000 全系列
测温芯片	申矽凌	CT75MR		7A1000 全系列
	圣邦微	SGM452		7A1000 全系列
	中科银河	GX21M15U		7A1000 全系列
HT 电平转换芯片	国微	SM0104E		3A/B5000/3C5000L/3C5000-7A1000 产品
	润石科技	RS0104YQ		
	圣邦微	SGM4578YTQG20G/TR		
	英联	UM3208UK		
WIFI	瑞昱（Realtek）	RTL8821ce	PCIE 设备	7A1000 全系列、7A2000 全系列
		RTL8822ce	PCIE 设备	7A1000 全系列、

				7A2000 全系列
		RTL8192cu	USB 设备	7A1000 全系列、 7A2000 全系列
		RTL8188gu	USB 设备	7A1000 全系列、 7A2000 全系列
		RTL8812au	USB 设备, 已适 配代码未合入	7A1000 全系列、 7A2000 全系列
		RTL8822bu	USB 设备, 已适 配代码未合入	7A1000 全系列、 7A2000 全系列