

Q/LS

Q/LS 0046B-2021

龙芯中科技术股份有限公司企业标准

龙芯 CPU 统一系统架构规范

(适用于 3A5000 系列)

V3.1

2022-02-16 发布

2022-02-20 实施

龙芯中科技术股份有限公司 批准

版权声明

本档版权归龙芯中科技术股份有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此档中的任何部分公开、转载或以其他方式散发给第三方。否则，必将追究其法律责任。

免责声明

本档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因文档使用不当造成的直接或间接损失，本公司不承担任何责任。

龙芯中科技术股份有限公司

Loongson Technology Corporation Limited

地址：北京市海淀区中关村环保科技示范园龙芯产业园 2 号楼

Building No.2, Loongson Industrial Park,

Zhongguancun Environmental Protection Park, Haidian District, Beijing

电话(Tel): 010-62546668

传真(Fax): 010-62600826

版本记录	文档名	龙芯 CPU 统一系统架构规范
	版本号	V3.1
	创建人	研发部
版本历史		
序号	版本号	更新内容
1	V1.0	发布文档初始版本 V1.0 版。
2	V1.2	1、更新《龙芯 3A4000_7A1000 硬件设计规范》为 V1.1 版。 2、新增《龙芯集显软硬件设计规范》V0.2 版。
3	V3.1	1、本规范版本更新为 V3.1 版； 2、更新《龙芯 3 号 CPU 固件与内核接口规范》为 3.1 版； 3、更新《龙芯 3A5000_7A1000 固件开发规范》为 0.3 版； 4、更新《龙芯 CPU 内核开发规范》为 1.2 版； 5、更新《龙芯 7A1000 内置显卡软硬件设计规范》为 V1.0 版； 6、发布《龙芯 3A5000_7A1000 通用类板卡硬件设计规范》V1.1 版； 7、发布《龙芯 3A5000_7A1000 外围功能芯片支持列表》V1.0 版。

一、序言

龙芯 CPU 统一系统架构规范是龙芯产品在通用 PC、服务器领域的开发指导规范，通过规范整机设计、固件开发、内核开发的技术要求，定义了整机、固件、系统的兼容性标准。

二、发布列表

序号	规范名称	版本号
1	龙芯 3 号 CPU 固件与内核接口规范	V3.1
2	龙芯 3A5000_7A1000 固件开发规范	V0.3
3	龙芯 CPU 内核开发规范	V1.2
4	龙芯 7A1000 内置显卡软硬件设计规范	V1.0
5	龙芯 3A5000_7A1000 通用类板卡硬件设计规范	V1.1
6	龙芯 3A5000_7A1000 外围功能芯片支持列表	V1.0

龙芯中科技术股份有限公司企业标准

龙芯 3 号 CPU 固件与内核接口规范

V3.1

龙芯中科技术股份有限公司

版本信息

版本信息	文档名	龙芯 3 号 CPU 固件与内核接口规范
	版本号	V3.1
	创建人	系统研发部
版本历史		
序号	版本号	更新内容
1	V1.0	发布文档初始版本 V1.0 版。
2	V1.1	1、重新修订了地址规范约束； 2、重新修订了 SMBIOS 规范中 CPU 型号的约定；
3	V1.2	1、添加传参新成员 cpuname 及其格式规范； 2、添加新传参功能：表示桥片个数、DMA cache/uncache； 3、添加新的结构体描述（efi_reset_system_t）； 4、添加成员 DoSuspend；
4	V2.0	1、重新修订附录 B bootparam.h 文件； 2、修正附录 A 中的几处错误；
5	V2.1	1、第 4 节修改，地址规范相关修改； 5、增加附录 E，添加 3A/3B+7A 描述（boardinfo、地址、中断），增加 7A GPU 使用地址段约束； 6、完善 4.2 节地址规范约束； 7、添加 4.3 节 DMA 规范描述以及 C、D、E 附录中 DMA 规范约束表； 5、修改一些编写错误；
6	V2.2	1、第 4.2 节，低端内存的高 16M 地址空间相对 UEFI 做了约束； 2、第 7 节，对 SMBIOS 产品信息（Type2）第六字段增加了命名约束，附录 A.6 board_devices.name 受同样约束； 3、附录 A.2，删除现在接口中已经废弃的 screen_info 和 sys_desc_table； 4、附录 A.3，删除现在接口中已经废弃的 systab 和 UEFI runtime 服务相关的接口； 5、附录 A.4，规范了使用龙芯集显情况 vbiOS 的处理； 6、附录 A.8，固件传参接口的内存映射表中对应地址空间范围增加了对应的 DMA 地址空间范围； 7、附录 A.9，固件传参接口添加 of_dtb_addr 成员； 8、附录 A.12，对固件传参接口 cpuname 的使用进行补充完善； 9、修改了一些语法错误和排版问题。
7	V2.3	1、4.2 节，低端内存搞 16M 地址空间 UEFI 参考分布更新； 2、4.3 节，DMA 地址规范删除，参考不同平台的固件设计规范； 3、5.1.2 节，修改中断处理方式，参考各平台固件开发规范；

		<p>4、5.2 节，约束 LPC 接口使用方式；</p> <p>5、第 7 节，修改 SMBIOS 约定必须传递的信息以及实现参考；</p> <p>6、附录 A.4，更名 <code>smbios_tables</code> 为 <code>sysinfo_tables</code>；</p> <p>7、附录 A.7，修改 <code>vers</code> 成员的定义、根据实际使用情况修改其他成员定义；</p> <p>8、附录 B，更新 <code>bootparam.h</code> 文件；</p> <p>9、删除附录 C、D、E 各平台中断及地址空间约定，请分别参考对应平台的固件开发规范；</p> <p>10、修改了一些语法错误和排版问题。</p>
8	V3.0	<p>1、文档名称及正文中删除“开发系统”</p> <p>2、2 节，增加了约定章节和部分术语</p> <p>3、4.2 节，修改了地址空间的解释</p> <p>4、5.1.1 节，修改了固件内中断的分工</p> <p>5、6 节，改变了固件与内核的传参接口</p> <p>6、7 节，具体化了 <code>type2</code> 中 <code>product</code> 的格式约束</p> <p>7、8 节，新增了固件对 ACPI 规范的实现约束</p> <p>8、附录 A，更新为最新固件内核传参接口的的数据结构</p> <p>9、附录 B，增加 LINUX 操作系统键值表</p> <p>10、修改了一些语句描述和排版问题。</p>
9	V3.1	<p>1、8.5 节，FADT 的 <code>flags</code> 中新增支持 <code>PCI_EXP_WAK</code> 及 <code>RESET_REG_SUP</code> 标志使用描述。</p> <p>2、8.3 节、中断模型更新</p> <p>3、增加 8.8 节 MCFG 支持</p> <p>4、8.6.1 节，新增 <code>_SEG</code> 对象支持双桥</p> <p>5、6.3.1 节，3.0 接口 <code>bpi</code> 结构增加 64 位 <code>flags</code></p> <p>6、8.6.9 节，热键驱动增加 <code>VCBL</code> 的约束</p> <p>7、8.6.12 节，GPIO 多中断支持</p> <p>8、8.6.18 节，增加 ACPI 对 SE 设备的支持</p> <p>9、8.6.19 节，增加 ACPI 对温度传感器的支持</p> <p>10、8.9 节，增加 <code>SLIT</code> 表的支持</p> <p>11、8.10 节，增加 <code>SPCR</code> 表的支持</p>

目 录

1	范围	1
2	术语与约定	1
2.1	术语	1
2.2	约定	1
3	架构关系	1
4	地址空间规范	2
4.1	地址空间	2
4.2	DMA 地址映射规范	2
5	中断配置规范	2
5.1	配置方法	2
6	固件与内核接口传参规范	2
6.1	参数构成	2
6.2	BootParamsInterface 数据结构的约定	2
6.3	传参的实现	3
6.3.1	BootParamsInterface 定义	3
6.3.2	扩展参数链表	3
6.3.3	扩展参数链表的实现约定	4
6.3.4	MEM_MAP	4
6.3.5	VBIOS	6
6.3.6	ScreenInfo	6
7	SMBIOS 规范的实现约定	8
8	ACPI 规范的实现约定	10
8.1	RSDP (Root System Description Pointer)	10
8.2	XSDT (Extended System Description Table)	11
8.3	MADT (Multiple APIC Description Table)	11
8.4	SRAT (System Resource Affinity Table)	14
8.5	FADT (Fixed ACPI Description Table)	16
8.6	DSDT (Differentiated System Description Table)	18
8.6.1	PCI 总线枚举	18
8.6.2	PCI 中断路由	20
8.6.3	设备电源管理	20
8.6.4	USB 设备配置	21
8.6.5	电池配置	21
8.6.6	电源适配器配置	21
8.6.7	处理器配置和控制	21
8.6.8	系统休眠唤醒	21
8.6.9	热键配置	21
8.6.10	热区管理	23

8.6.11 串口配置.....	23
8.6.12 GPIO 配置.....	24
8.6.13 I2C 配置.....	25
8.6.14 GPIO 模拟 I2C 配置.....	25
8.6.15 RTC 配置.....	25
8.6.16 PWM 配置.....	26
8.6.17 S3 休眠地址.....	26
8.6.18 SE 设备	26
8.6.19 温度传感器配置.....	26
8.7 FACS (Firmware ACPI Control Structure)	27
8.8 MCFG(PCI Express Memory-mapped Configuration Space base address description table)	27
8.9 SLIT (System Locality Distance Information Table)	28
8.10 SPCR (Serial Port Console Redirection Table)	28
9 总结	28
附录 A 龙芯 CPU 传参数据结构	29
附录 B LINUX 操作系统键值表	30

1 范围

本规范规定了龙芯 CPU 的地址空间、固件与内核接口传参实现、ACPI 及 SMBIOS 实现约定的要求。本规范适用于龙芯 LoongArch 架构的 3 号系列 CPU。建议其它系统厂商遵循此规范开发相关产品。

本规范正文及附录 A、B 为通用规范，通用规范描述一般性的约定。针对不同的处理器、芯片组，请参阅对应处理器、芯片组的固件开发规范。

2 术语与约定

2.1 术语

本规范所用术语定义如下：

固件：Firmware，写入 ROM、EPROM 等非易失存储器中的程序，负责控制和协调集成电路。

BIOS：基本输入输出系统，Basic Input Output System，一组固化到主板上一个 ROM 芯片上的程序，它保存着计算机基本输入输出程序、系统设置信息、开机后自检程序和系统自启动程序。BIOS 与硬件系统集成在一起，也被称为固件，本规范中固件和 BIOS 不做区分。

UEFI：统一的可扩展固定接口，Unified Extensible Firmware Interface，是 Intel 为全新类型的 PC 固件的体系结构、接口和服务提出的建议标准。主要目的是提供在 OS 加载之前在所有平台上一致、正确指定的启动服务，被看做是有近 20 多年历史的 PC BIOS 的继任者。

PMON：龙芯平台使用的一种兼有 BIOS 和 boot loader 部分功能的开放源码软件。

SMBIOS (System Management BIOS)：是主板或系统制造者以标准格式显示产品管理信息所需遵循的统一规范。DMI (Desktop Management Interface) 是帮助收集电脑系统信息的管理系统，DMI 信息的收集必须在严格遵照 SMBIOS 规范的前提下进行。SMBIOS 和 DMI 是由行业指导机构 Desktop Management Task Force (DMTF) 起草的开放性的技术标准。

HT (HyperTransport)：是一种为主板上的集成电路互连而设计的端到端总线技术，目的是加快芯片间的数据传输速度。HT 通常指 CPU 到主板芯片（或北桥）之间的连接总线，即 HT 总线。类似于 Intel 平台中的前端总线（FSB），HT 按技术规格分有 HT1.0、HT2.0、HT3.0、HT3.1。

PCI (Peripheral Component Interconnect)：是连接电子计算机主板和外部设备的总线标准，用于定义局部总线的标准。此标准允许在计算机内安装多达 10 个遵从 PCI 标准的扩展卡。

CPU (central processing unit)：中央处理器，简称处理器。

Core：处理器核，特指一个物理 cpu，是一个独立的硬件执行单元，有独立的寄存器和计算单元。

Node：NUMA 体系结构中的一个概念，一个 NUMA node 有一组 core 和内存，core 访问自身 node 内存（本地内存）的速度要快于访问其他 node 内存（远端内存）的速度，访问速度与 node 的距离有关。

2.2 约定

(1) 本规范中的地址，未明确说明为虚拟地址时，均表示物理地址。

3 架构关系

龙芯 PC 产品的固件与内核接口在系统各软件之间所处的层次关系如图 3-1 所示：

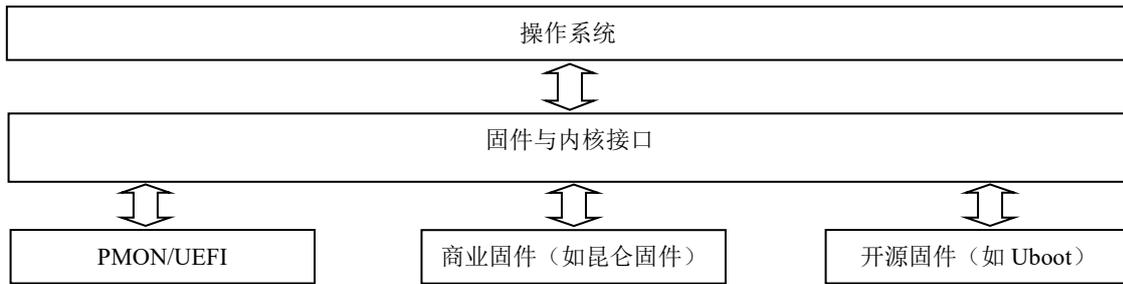


图 3-1 接口与内核和固件之间的关系

4 地址空间规范

4.1 地址空间

龙芯 3 号 CPU+芯片组的地址空间规定了内存空间、处理器及芯片组寄存器空间、PCI I/O 空间、PCI MEM 空间、PCI 配置空间，每种地址空间的范围，请参阅对应处理器、芯片组的固件开发规范。

4.2 DMA 地址映射规范

DMA 地址映射描述了系统中 DMA 地址与物理内存地址的转换关系，请参阅对应处理器、芯片组的固件开发规范。

5 中断配置规范

5.1 配置方法

根据 ACPI 规范，系统使用 GSI (global system interrupts, 全局系统中断) 为系统中断源分配中断号，并通过 ACPI 表实现中断配置，系统 GSI 分配详见对应处理器、芯片组的固件开发规范。

6 固件与内核接口传参规范

6.1 参数构成

龙芯固件传递给内核的参数包括内核命令行参数个数、内核命令行参数地址以及 BootParamsInterface 数据结构地址，分别通过 a0、a1 以及 a2 三个寄存器传递给内核。其中，BootParamsInterface 数据结构包括 SMBIOS 表、ACPI 表、扩展参数链表三部分，其地址为 64 位虚拟地址；内核命令行参数个数为 32 位有符号数据；内核命令行参数地址在 LoongArch 架构的龙芯平台上为 64 位虚拟地址。

6.2 BootParamsInterface 数据结构的约定

1. 采用 1 字节对齐方式。
2. 用于存储该数据结构的内存类型为 RuntimeServicesData (详情可参考 UEFI 规范)。

6.3 传参的实现

6.3.1 BootParamsInterface 定义

```
struct BootParamsInterface {
    UINT64 Signature;
    EFI_SYSTEM_TABLE *SystemTable;
    EXT_LIST *ExtList;
    UINT64 Flags;
};
```

BootParamsInterface 由 4 部分组成：标签（Signature）、系统表（SystemTable）、扩展参数链表（ExtList）和标志（Flags）。

表 6-1 BootParamsInterface 结构

域	大小	描述
Signature	u64	签名标识及版本号。形式为‘BPIXYYY’的 ASCII 码字符串。前 3 字节固定为字符‘BPI’，‘XX’为大版本号，‘YYY’为小版本号。‘X’，‘Y’的取值范围为 ASCII 码的‘0’-‘9’。当前版本为“BPI01001”。
SystemTable	u64	指向 UEFI 构建的系统表
ExtList	u64	指向扩展参数链表。扩展参数链表作为标准工业规范（ACPI、SMBIOS）之外的一个补充，包含了平台必须的一些参数。详情参考章节 6.3.2
Flags	u64	标志。 bit 0: 0 表示固件支持 UEFI 规范； 1 表示固件不支持 UEFI 规范。 bit 1: 0 表示基于非龙芯 SOC 处理器设计，主板集成了芯片组； 1 表示基于龙芯 SOC 处理器设计，主板无芯片组。 [63:2]位：为 0。

注：SystemTable 的成员 ConfigurationTable 包含了 SMBIOS 表、ACPI 表的入口地址，详细描述参考章节 7 SMBIOS 的实现约定和章节 8 ACPI 的实现约定。

6.3.2 扩展参数链表

扩展参数链表为一个单向链表，每个链表结点描述了一个平台相关配置，链表整体示意图 6-3 如下：

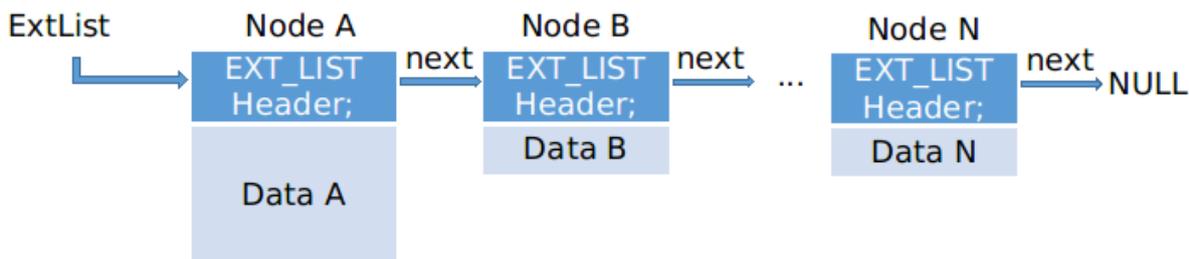


图 6-3 扩展参数链表示意图

每个结点都由 Header 段和 Data 段构成，其中 Header 用于组成扩展链表，Data 是结点的私有数据。用户可根据实际需求创建结点，添加到链表然后传递给内核。

EXT_LIST 定义如下：

```
typedef struct _extension_list_hdr{
    UINT64  Signature;
    UINT32  Length;
    UINT8   Revision;
    UINT8   CheckSum;
    struct _extension_list_hdr *next;
}EXT_LIST;
```

表 6-2 EXT_LIST 结构

域	大小	描述
Signature	u64	结点的唯一标识符，由 ASCII 码字符串表示，不满 8 字节部分用 0 补充
Length	u32	结点的长度，单位字节 (Byte)，从结点偏移 0 开始到结点结束，用于记录整个结点大小
Revision	u8	结点结构的修订版本号。版本号的升级要保证向前兼容
CheckSum	u8	校验和，整个结点包括 CheckSum 字段加起来的和为 0
next	u64	下一结点的 64 位虚拟地址

6.3.3 扩展参数链表的实现约定

结点可根据实际需求进行创建，本规范定义了必须实现的扩展结点，结点签名及描述见表 6-3。

表 6-3 扩展参数链表结点签名

签名 (Signature)	描述	参考
'MEM'	系统的内存映射表	章节 6.3.4
'VBIOS'	VBIOS 的地址	章节 6.3.5

6.3.4 MEM_MAP

MEM_MAP 描述了系统的内存布局和内存属性，结构定义如下，说明见表 6-4

```
typedef struct {
```

```

EXT_LIST Header;
UINT8  MapCount;
struct  MemMap {
    UINT32 MemType;
    UINT64 MemStart;
    UINT64 MemSize;
} Map[MAX_MEM_MAP];
} MEM_MAP;
    
```

表 6-4 MEM_MAP 结构

域	大小	描述
Header		
Signature	u64	‘MEM’
Revision	u8	0
MapCount	u8	Map 数组中有效成员个数
MemMap		
MemType	u32	内存类型，参考表 6-5
MemStart	u64	内存的 64 位起始地址，其中 [47:44] 位表示内存所在的 CPU 节点号
MemSize	u64	内存的大小，单位字节 (Byte)

注意：

1 龙芯地址空间是统一编址的，传递的内存映射表应该满足：

a. usable 区域和 reserved 的区域不能够重合；

b. 假设所有可用内存 (SYSTEM_RAM) 区域的最小起始地址是 USABLE_START, 最大结束地址是 USABLE_END, 要求：任何一项保留内存 (MEM_RESERVED) 区域的起始地址大于 USABLE_START, 结束地址小于 USABLE_END。示意如图 6-4：

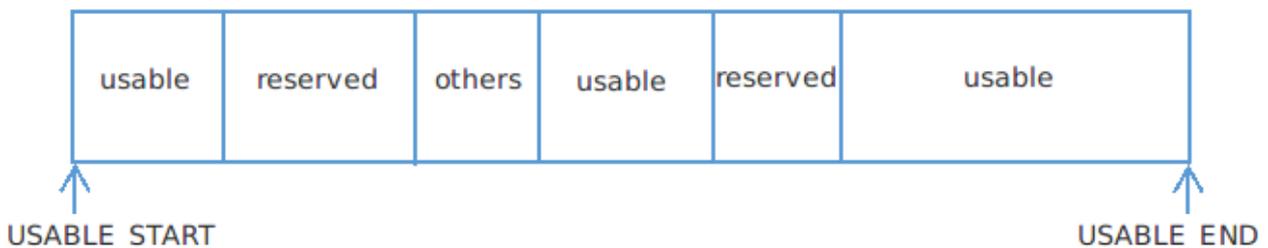


图 6-4 内存区域示意图

2 内存大小的单位是字节，与接口规范 V2.3 定义不同。

表 6-5 内存类型

内存类型	值	描述
SYSTEM_RAM	1	系统内存

MEM_RESERVED	2	系统保留内存
ACPI_TABLE	3	ACPI 表存储内存
ACPI_NVS	4	ACPI 预留内存

6.3.5 VBIOS

该表描述了 VBIOS 的存储地址，见表 6-6 解释。

```
typedef struct {
    EXT_LIST Header;
    UINT64 VbiosAddr;
}VBIOS;
```

表 6-6 VBIOS 结构

域	大小	描述
Header		
Signature	u64	‘VBIOS’
Revision	u8	0
VbiosAddr	u64	Vbios 的入口地址，64 位虚拟地址

6.3.6 ScreenInfo

该表仅适用于 UEFI BIOS，描述了显卡的 framebuffer 信息，包括显存基地址和显存分辨率等，主要应用于虚拟化场景。对于多个显卡，仅描述主显卡的 framebuffer 信息。

该表描述了 SINFO 的存储地址，见表 6-7 解释。

```
typedef struct {
    EXT_LIST Header;
    UINT64 SinfoAddr;
}SINFO;
```

表 6-7 SINFO 结构

域	大小	描述
Header		
Signature	u64	‘SINFO’
Revision	u8	0
SinfoAddr	u64	指向 screen_info 结构体类型的指针，和 Linux 内核 struct screen_info 保持一致

screen_info 定义了显存基地址、分辨率、颜色位宽等，和 Linux 内核 struct screen_info 保持一致，其数据结构定义如下表 6-8：

```
struct screen_info {
    UINT8 orig_x; /* 0x00 */
```

```
    UINT8  orig_y;           /* 0x01 */
    UINT16 ext_mem_k;        /* 0x02 */
    UINT16 orig_video_page; /* 0x04 */
    UINT8  orig_video_mode; /* 0x06 */
    UINT8  orig_video_cols; /* 0x07 */
    UINT8  flags;           /* 0x08 */
    UINT8  unused2;         /* 0x09 */
    UINT16 orig_video_ega_bx; /* 0x0a */
    UINT16 unused3;         /* 0x0c */
    UINT8  orig_video_lines; /* 0x0e */
    UINT8  orig_video_isVGA; /* 0x0f */
    UINT16 orig_video_points; /* 0x10 */

    /* VESA graphic mode -- linear frame buffer */
    UINT16 lfb_width;        /* 0x12 */
    UINT16 lfb_height;       /* 0x14 */
    UINT16 lfb_depth;        /* 0x16 */
    UINT32 lfb_base;         /* 0x18 */
    UINT32 lfb_size;         /* 0x1c */
    UINT16 cl_magic, cl_offset; /* 0x20 */
    UINT16 lfb_linelength;   /* 0x24 */
    UINT8  red_size;         /* 0x26 */
    UINT8  red_pos;          /* 0x27 */
    UINT8  green_size;       /* 0x28 */
    UINT8  green_pos;        /* 0x29 */
    UINT8  blue_size;        /* 0x2a */
    UINT8  blue_pos;         /* 0x2b */
    UINT8  rsvd_size;        /* 0x2c */
    UINT8  rsvd_pos;         /* 0x2d */
    UINT16 vesapm_seg;       /* 0x2e */
    UINT16 vesapm_off;       /* 0x30 */
    UINT16 pages;           /* 0x32 */
    UINT16 vesa_attributes; /* 0x34 */
    UINT32 capabilities;     /* 0x36 */
    UINT8  _reserved[6];     /* 0x3a */
};
```

7 SMBIOS 规范的实现约定

SMBIOS 是主板或系统制造者以标准格式显示产品管理信息所需遵循的统一规范。DMI (Desktop Management Interface, DMI) 就是帮助收集电脑系统信息的管理系统, DMI 信息的收集必须在严格遵照 SMBIOS 规范的前提下进行。SMBIOS 和 DMI 是由行业指导机构 Desktop Management Task Force (DMTF) 起草的开放性的技术标准, 其中, DMI 设计适用于任何的平台和操作系统。DMI 充当了管理工具和系统层之间接口的角色。它建立了标准的可管理系统更加方便了电脑厂商和用户对系统的了解。DMI 的主要组成部分是 Management Information Format (MIF) 数据库。这个数据库包括了所有有关电脑系统和配件的信息。通过 DMI, 用户可以获取序列号、电脑厂商、串口信息以及其它系统配件信息。

SMBIOS 表的地址存储在 UEFI 系统表的配置表中, 内核在配置表中查找 SMBIOS GUID ({EB9D2D31-2D88-11D3-9A16-0090273FC14D}) 获取 SMBIOS 地址。

龙芯固件平台必须实现的 SMBIOS 类别如下:

- 1) BIOS 信息 (Type 0)
- 2) 系统信息 (Type 1)
- 3) 产品信息 (Type 2)
- 4) 系统外围或底架 (Type 3)
- 5) 处理器信息 (Type 4)
- 6) 高速缓存信息 (Type 7)
- 7) 系统插槽 (Type 9)
- 8) 物理存储阵列 (Type 16)
- 9) 存储设备 (Type 17)
- 10) 存储阵列映射信息 (Type 19)
- 11) 表格结束指示 (Type 127)

其中:

Type0, 描述固件信息。包括 BIOS 制造厂商、版本、ROM 大小等, 参考 SMBIOS3 系列协议实现。

Type1, 描述系统信息。通常指的是品牌整机的信息, 包括该机器的型号、版本、UUID 等信息, 参考 SMBIOS3 系列协议实现。

Type2, 描述主板信息。指主板制造商和主板本身信息, 包括主板生产厂家, 主板生产名称、版本、串号等, 参考 SMBIOS3 系列协议实现。

Type3, 系统外围或底架。《System Management BIOS (SMBIOS) Reference Specification》7.4 章节中规定了第六个字节的信息含义, 里面包含了主机的类型。见表 7-9。

表 7-9 SMBIOS Type3 第六字节信息含义

值	意义
01h	Other
02h	Unknown
03h	Desktop
04h	Low Profile Desktop
05h	Pizza Box
06h	Mini Tower
07h	Tower
08h	Portable
09h	Laptop

0Ah	Notebook
0Bh	Hand Held
0Ch	Docking Station
0Dh	All in One
0Eh	Sub Notebook
0Fh	Space-saving
10h	Lunch Box
11h	Main Server Chassis
12h	Expansion Chassis
13h	SubChassis
14h	Bus Expansion Chassis
15h	Peripheral Chassis
16h	RAID Chassis
17h	Rack Mount Chassis
18h	Sealed-case PC
19h	Multi-system chassis
1Ah	Compact PCI
1Bh	Advanced TCA
1Ch	Blade
1Dh	Blade Enclosure
1Eh	Tablet
1Fh	Convertible
20h	Detachable
21h	IoT Gateway
22h	Embedded PC
23h	Mini PC
24h	Stick PC

Type4, CPU 信息；描述 CPU 表项信息，由龙芯实现，无需固件和主板厂商填写，龙芯固件针对不同节点数量实现相应的参考代码。

注：ProcessorVersion 字段表示处理器名称；CurrentSpeed 字段表示处理器运行频率，对应接口规范 V2.3efi_cpuinfo_loongson.cpu_clock_freq；CoreCount 字段表示一个封装内处理器核的数量。

Type7, Cache 信息；描述 Cache 组织结构信息。由龙芯实现，无需固件和主板厂商填写。

Type9, 系统插槽；描述主板的 PCI、PCIE 插槽的信息，该表项需要主板厂商根据各自设计自行完成；可参考龙芯固件代码实现。

Type16, 物理存储阵列；描述内存的信息，如大小、DIMM 槽数量、错误信息 Handle 等。该表项需要主板厂商根据各自设计自行完成，可参考龙芯固件代码实现。

Type17, 存储设备；描述每个内存槽的信息，比如类型、大小、是否有 ECC 等。该表项需要主板厂商根据各自设计自行完成，可参考龙芯固件代码实现。

Type19, 存储阵列映射信息；描述内存映射到物理地址的范围。需要根据二级交叉开关的映射关系以及主存实际大小填写相应的地址范围；该表项需要固件和主板厂商根据自己 BIOS 地址映射关系进行填写，

可参考龙芯固件代码实现。

Type127, 表格结束标识; 标识 SMBIOS 表的结尾, 无需固件和主板厂商填写, 龙芯代码已经实现。

8 ACPI 规范的实现约定

高级配置与电源接口 (Advanced Configuration and Power Interface), 简称 ACPI, 是独立于体系结构的电源管理和配置框架, 此框架建立了一个硬件寄存器集来定义电源状态 (睡眠、休眠、唤醒等), 并在软件上通过 ACPI 表的方式描述硬件信息、特性和控制特性的方法。ACPI 表列出了硬件板上无法使用硬件标准检测到或进行电源管理的设备, 以及这些设备的功能。ACPI 表还列出了休眠电源状态、可用电源平面描述等系统功能。

本接口规范支持表项如 8-10:

表 8-10 支持表项

表	描述	是否强制
RSDP	Root System Description Pointer	是
XSDT	Extended System Description Table	是
MADT	Multiple APIC Description Table	是
SRAT	System Resource Affinity Table	是
FADT	Fixed ACPI Description Table	是
DSDT	Differentiated System Description Table	是
FACS	Firmware ACPI Control Structure	是
MCFG	PCI Express Memory-mapped Configuration Space base address description table	是
SLIT	System Locality Distance Information Table	否
SPCR	Serial Port Console Redirection Table	是

8.1 RSDP (Root System Description Pointer)

RSDP 是整个 ACPI 表的第一个表, 与其他表的关系可以用下图表示。

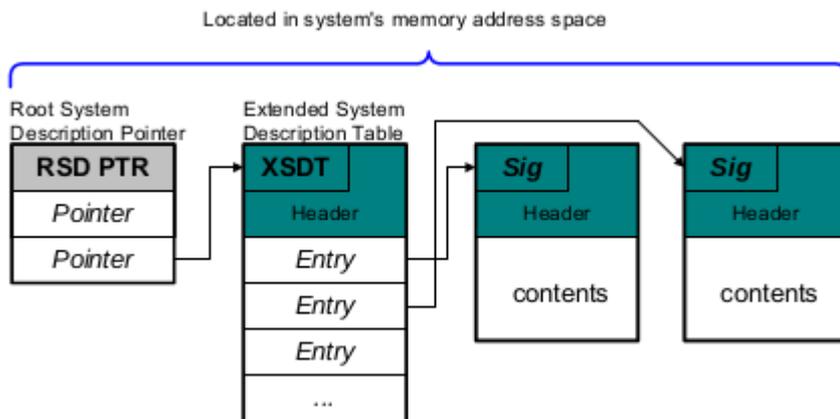


图 8-5 RSDP 示意图

RSDP 结构包含 XSDT (指向其他系统描述表的 64 位指针数组, 见章节 8.2) 的地址。RSDP 的地址存储在 UEFI 系统表 (SystemTables) 的配置表 (ConfigurationTables) 中, 内核通过在配置表中查找 ACPI2.0

GUID ({8868e871-e4f1-11d3-bc22-0080c73c8881})来获取 RSDP 的地址。

RSDP 填写规范见表 8-11:

表 8-11 RSDP 结构

域	长度 (字节)	偏移 (字节)	描述
Signature	8	0	“RSD PTR”
Checksum	1	8	ACPI 1.0 规范中定义的字段的校验和。只包括该表的前 20 个字节，字节 0 到 19，包括校验和字段。这些字节的和必须为零。(代码实际实现)
OEMID	6	9	OEM 标识字符串
Revision	1	15	2.
RsdAddress	4	16	RSDT 的 32 位地址
Length	4	20	表的长度，包括表头，从偏移量 0 开始。用于记录整个表的大小。
XsdtAddress	8	24	XSDT 的 64 位地址
Extended Checksum	1	32	整个表的校验和，从偏移 0 开始到表结束，字节和为 0
Reserved	3	33	保留

8.2 XSDT (Extended System Description Table)

包含其他系统描述表的 64 位指针数组，这些系统描述表向 OS 提供系统基本实现和配置的信息。部分定义如表 8-12:

表 8-12 XSDT 表约束

域	大小 (字节)	偏移 (字节)	描述
Header			
Signature	4	0	‘XSDT’
Revision	1	8	1

8.3 MADT (Multiple APIC Description Table)

本规范使用 MADT 表描述系统多核信息。

表 8-13, 表列出了 MADT 表部分约束条件，未列出的部分参考 ACPI 规范。

LoongArch 架构支持的中断控制器模型包括 CORE PIC、LIO PIC、HT PIC、EIO PIC、MSI PIC、BIO PIC、LPC PIC 七种，具体结构定义参考对应表项。

表 8-13 MADT 表约束

域	大小 (字节)	偏移 (字节)	描述
Header			
Signature	4	0	‘APIC’

Revision	1	8	1
Local Interrupt Controller Address	4	36	处理器中断控制器寄存器基地址
Flags	4	40	0
Interrupt Controller Structure[n]		44	中断控制器结构列表

MADT 表的 CORE PIC 结构参考如下配置：

表 8-14 CORE PIC 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	CORE PIC 结构
Length	1	1	CORE PIC 结构字节长度
Version	1	2	版本号
ACPI Processor ID	4	3	处理器核 UID，与 DSDT 处理器对象中的 _UID 值相同
Physical Processor ID	4	7	CPU 核物理 ID
Flags	4	11	CORE PIC 的标志，参考表 8-15

表 8-15 CORE PIC 标志

CORE PIC Flags	大小 (比特)	偏移 (比特)	描述
Enabled	1	0	0: CPU 不可用 1: CPU 可用
Reserved	31	1	必须为 0

MADT 表的 LIO PIC 结构参考如下配置：

表 8-16 LIO PIC 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	LIO PIC 结构类型
Length	1	1	LIO PIC 结构字节长度
Version	1	2	版本号
Base Address	8	3	LIO PIC 寄存器的基地址
Size	2	11	LIO PIC 寄存器空间大小

Cascade vector	2	13	描述了 LIO PIC 路由到 CORE PIC 的向量信息, 每个字节代表一个 CORE PIC 向量号。
Cascade vector mapping	8	15	描述了路由到 CORE PIC 的 LIO PIC 向量信息, CORE PIC 向量由 Cascade vector 域指定, 高 4 字节的 LIO PIC 向量对应于 Cascade vector 域高字节描述的 CORE PIC 向量, 低 4 字节的 LIO PIC 向量对应于 Cascade vector 域低字节描述的 CORE PIC 向量。

MADT 表的 HT PIC 结构参考如下配置:

字段	大小(字节)	偏移(字节)	描述
Type	1	0	HT PIC 结构类型
Length	1	1	HT PIC 结构字节长度
Version	1	2	版本号
Base Address	8	3	HT PIC 寄存器的基地址
Size	2	11	HT PIC 寄存器空间大小
Cascade Vector	8	13	第 n 字节表示 $32*n \sim 31*(n+1)$ 的 HT PIC 中断向量路由到 LIO PIC 的中断向量

MADT 表的 EIO PIC 结构参考如下配置:

表 8-17 EIO PIC 结构

域	大小(字节)	偏移(字节)	描述
Type	1	0	EIO PIC 结构类型
Length	1	1	EIO PIC 结构字节长度
Version	1	2	版本号
Cascade vector	1	3	描述了 EIO PIC 路由到 CORE PIC 的 CORE PIC 向量号
Node	1	4	连接芯片组的处理器节点 ID
Node map	8	5	EIO 中断路由的处理器节点组, bit0-63 分别表示 0-63 节点

MADT 表的 MSI PIC 结构参考如下配置:

表 8-18 MSI PIC 结构

域	大小(字节)	偏移(字节)	描述
Type	1	0	MSI PIC 结构类型
Length	1	1	MSI PIC 结构字节长度
Version	1	2	版本号

Message Address	8	3	MSI 消息的目标地址
Start	4	11	MSI 在 HT PIC 或 EIO PIC 中的起始向量
Count	4	15	MSI 向量的个数

MADT 表的 BIO PIC 结构参考如下配置：

表 8-19 BIO PIC 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	BIO PIC 结构类型
Length	1	1	BIO PIC 结构字节长度
Version	1	2	版本号
Base Address	8	3	BIO PIC 寄存器的基地址
Size	2	11	BIO PIC 寄存器空间的大小
Hardware ID	2	13	BIO PIC 的硬件 ID，即 BIO PIC 所在芯片组连接的处理器节点的节点号
GSI base	2	15	BIO PIC 中断开始的 GSI 号，对于每个中断的 GSI， $GSI = GSI\ base + BIO\ PIC\ 的\ 中断\ 向量$

MADT 表的 LPC PIC 结构参考如下配置：

表 8-20 LPC PIC 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	LPC PIC 结构类型
Length	1	1	LPC PIC 结构字节长度
Version	1	2	版本号
Base Address	8	3	LPC PIC 寄存器的基地址
Size	2	11	LPC PIC 寄存器空间的大小
Cascade vector	2	13	描述了 LPC PIC 路由到 BIO PIC 的 BIO PIC 向量号

8.4SRAT (System Resource Affinity Table)

此表为操作系统提供了处理器和内存范围的亲和性关系，在 NUMA 平台上，操作系统启动期间依据此表进行配置。表头的约束见表 8-21。

龙芯平台需要实现两种设备的亲和表：

- 1 “Processor Local APIC/SAPIC Affinity Structure”，每个处理器核对应一个结构，见表 8-22；
- 2 “Memory Affinity Structure”，每个具有内存的处理器节点的低端内存和高端内存分别对应一个结构，见表 8-23。

表 8-21 SRAT 表约束

域	大小 (字节)	偏移 (字节)	描述
Header			
Signature	4	0	‘SRAT’
Revision	1	8	2

表 8-22 Processor Local APIC/SAPIC Affinity 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	0，代表结构为 Processor Local APIC/SAPIC Affinity Structure。
Length	1	1	16
Proximity Domain [7:0]	1	2	处理器亲和域[7:0]
APIC ID	1	3	处理器 Local APIC ID，见 MADT 表
Flags	4	4	标志。 0 位： 0 表示该 Processor Local APIC/SAPIC Affinity Structure 不可用； 1 表示该 Processor Local APIC/SAPIC Affinity Structure 可用。 [31:1]位：必须为 0
Local SAPIC EID	1	8	用于 x86 架构的 SAPIC
Proximity Domain [31:8]	3	9	处理器亲和域[31:8]
Clock Domain	4	12	处理器时钟域

表 8-23 Memory Affinity 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	1，代表结构为 Memory Affinity Structure
Length	1	1	40
Proximity Domain	4	2	内存亲和域
Reserved	2	6	保留
Base Address Low	4	8	内存范围地址的低 32 位
Base Address High	4	12	内存范围地址的高 32 位
Length Low	4	16	内存范围大小的低 32 位
Length High	4	20	内存范围大小的高 32 位

Reserved	4	24	保留
Flags	4	28	标志，指示内存区域是否已启用并可以热插拔，见表 8-24
Reserved	8	32	保留

表 8-24 内存热插拔标志

域	大小 (比特)	偏移 (比特)	描述
Enabled	1	0	0: 该 Memory Affinity Structure 不可用 1: 该 Memory Affinity Structure 可用
Hot Pluggable	1	1	是否支持内存热插拔
NonVolatile	1	2	是否为非易失内存
Reserved	29	3	0

8.5 FADT (Fixed ACPI Description Table)

此表为操作系统提供了 Fixed 硬件 ACPI 描述信息。

表 8-25 列出了 FADT 表部分约束条件，未列出的部分请参考 ACPI 规范。

表 8-25 FADT 表约束

域	大小 (字节)	偏移 (字节)	描述
Header			
Signature	4	0	‘FACP’
Length	4	4	表的长度，包括表头，从偏移量 0 开始。用于记录整个表的大小
FADT Major Version	1	8	FADT 版本号
FIRMWARE_CTRL	4	36	32 位 FACS 表地址
DSDT	4	40	32 位 DSDT 表地址
Reserved	1	44	0
SCI_INT	2	46	SCI 中断号
SMI_CMD	4	48	SMI 命令端口地址，龙芯平台无效
ACPI_ENABLE	1	52	写入 SMI_CMD 端口的数值，用于使能 SMI 对 ACPI 硬件寄存器的控制权
ACPI_DISABLE	1	53	写入 SMI_CMD 端口的数值，用于释放 SMI 对 ACPI 硬件寄存器的控制权
S4BIOS_REQ	1	54	写入 SMI_CMD 端口的数值，用于进入 S4BIOS 模式
PSTATE_CNT	1	55	非 0，则表示 OSPM 可向 SMI_CMD 写入该值，负责处理器性能控制
PM1a_EVT_BLK	4	56	PM1a Event Register Block 的地址

PM1b_EVT_BLK	4	60	PM1b Event Register Block 的地址
PM1a_CNT_BLK	4	64	PM1a Control Register Block 的地址
PM1b_CNT_BLK	4	68	PM1b Control Register Block 的地址
PM2_CNT_BLK	4	72	PM2 Control Register Block 的地址
PM_TMR_BLK	4	76	Power Management Timer Control Register Block 的地址
GPE0_BLK	4	80	General-Purpose Event 0 Register Block 的地址
GPE1_BLK	4	84	General-Purpose Event 1 Register Block 的地址
PM1_EVT_LEN	1	88	PM1a_EVT_BLK 长度, 单位为字节
PM1_CNT_LEN	1	89	PM1a_CNT_BLK 长度, 单位为字节
PM2_CNT_LEN	1	90	PM2_CNT_BLK 长度, 单位为字节
PM_TMR_LEN	1	91	PM_TMR_BLK 长度, 单位为字节
GPE0_BLK_LEN	1	92	GPE0_BLK 长度, 单位为字节
GPE1_BLK_LEN	1	93	PM2_CNT_BLK 的长度
GPE1_BASE	1	94	ACPI GPE 模型中 GPE1 的_偏移量
CST_CNT	1	95	非 0, 则 OSPM 可向 SMI_CMD 写入该值, 表示支持_CST 对象及相应的通知
P_LVL2_LAT	2	96	大于 0x64 表示不支持 C2 状态
P_LVL3_LAT	2	98	大于 0x3e8 表示不支持 C3 状态
FLUSH_SIZE	2	100	一次刷 cache 的大小, 单位字节, 仅当 WBINVD 为 0 时有效
FLUSH_STRIDE	2	102	cache line 大小, 单位字节, 仅当 WBINVD 为 0 时有效
DUTY_OFFSET	1	104	P_CNT 中处理器的空闲周期起始值
DUTY_WIDTH	1	105	P_CNT 中处理器的空闲周期宽度
DAY_ALRM	1	106	RTC 日期的偏移地址
MON_ALRM	1	107	RTC 月份的偏移地址
CENTURY	1	108	RTC 世纪的偏移地址
IAPC_BOOT_ARCH	2	109	IA-PC 启动标志
Reserved	1	111	0
Flags	4	112	Fixed 特征标志, 支持下列标志: WBINVD、PROC_C1、SLP_BUTTON、RESET_REG_SUP、PCI_EXP_WAK 其中当 RESET_REG_SUP 为 1, 表示通过内核操作 RESET_REG 复位, 为 0 表示通过固件操作 RESET_REG 复位
RESET_REG	12	116	见表 8-26
RESET_VALUE	1	128	写入 RESET_REG 的值
ARM_BOOT_ARCH	2	129	ARM 平台启动标志
FADT Minor Version	1	131	0
X_FIRMWARE_CTRL	8	132	FACS 64bit 地址, 固件动态生成
X_DSDT	8	140	DSDT 64bit 地址, 固件动态生成
X_PM1a_EVT_BLK	12	148	PM1a Event Register Block 的 64 地址, 见表 8-26

X_PM1b_EVT_BLK	12	160	PM1b Event Register Block 的 64 地址
X_PM1a_CNT_BLK	12	172	PM1a Control Register Block 的 64 位地址，见表 8-26
X_PM1b_CNT_BLK	12	184	PM1b Control Register Block 的 64 位地址
X_PM2_CNT_BLK	12	196	PM2 Control Register Block 的 64 位地址
X_PM_TMR_BLK	12	208	Power Management Timer Control Register Block 的 64 位地址，见表 8-26
X_GPE0_BLK	12	220	GPE0 block 的 64 位地址，见表 8-26
X_GPE1_BLK	12	232	GPE1 block 的 64 位地址

注：UEFI 固件动态生成 X_FIRMWARE_CTRL 与 X_DSDT 之前，需将其初始化为 0。

表 8-26 寄存器结构

域	大小 (字节)	偏移 (字节)	描述
Address Space Id	1	0	代表为 System Memory
Reg Bit Width	1	1	寄存器位宽
Reg Bit Offset	1	2	寄存器偏移
Reserved	1	3	0
Address	8	4	寄存器地址

8. 6DSDT (Differentiated System Description Table)

本表用来描述主板设计差异化信息。

本章节规定了龙芯平台对 DSDT 配置的支持范围，此范围之外的配置未验证，不保证其正确性。以下各小节列出了龙芯平台支持的对象及方法，并对其中部分对象及方法进行了约束，未做约束的请参考 ACPI 规范。

8.6.1 PCI 总线枚举

支持的对象及方法：_BBN、_ADR、_SEG、_HID、_CID、_CRS。

- _CRS (Current Resource Settings)

(1) _CRS 方法支持总线范围、IO 地址范围以及内存地址范围声明。

使用 WordBusNumber() 宏声明 PCI 总线范围，各个参数规定如表 8-27：

表 8-27 WordBusNumber() 宏参数表

参数名	值
ResourceUsage	描述总线范围的使用者是设备本身，或是下级总线设备
IsMinFixed	描述总线范围的最小值是否固定
IsMaxFixed	描述总线范围的最大值是否固定
Decode	描述设备解码总线范围的方向

AddressGranularity	总线范围起始号对齐
AddressMinimum	总线范围的最小值
AddressMaximum	总线范围的最大值
AddressTranslation	相对于主总线范围的偏移
RangeLength	总线范围大小
ResourceSourceIndex	资源描述符索引
ResourceSource	资源描述符
DescriptorName	资源描述符名称

使用 QWordIO() 宏声明 PCI IO 地址范围，各个参数规定如表 8-28:

表 8-28 QWordIO() 宏参数表

参数名	值
ResourceUsage	描述 I/O 范围的访问者
IsMinFixed	最小地址是否固定
IsMaxFixed	最大地址是否固定
Decode	描述 I/O 范围的访问方向
ISARanges	是否为 ISA 范围
AddressGranularity	地址对齐
AddressMinimum	起始地址
AddressMaximum	结束地址
AddressTranslation	相对于主总线的地址偏移
RangeLength	地址范围大小
ResourceSourceIndex	资源描述符索引
ResourceSource	资源描述符
DescriptorName	资源描述符名称
TranslationType	I/O 转换类型，下级总线是否与本总线资源相同，则不需要转换，否则需要指定 AddressTranslation
TranslationDensity	稀疏转换还是连续转换

使用 QWordMemory() 宏声明 PCI MEMORY 地址范围，各个参数规定如表 8-29:

表 8-29 QWordMemory 参数表

参数名	值
ResourceUsage	描述内存范围的访问者
Decode	描述内存范围的访问方向
IsMinFixed	最小地址是否固定
IsMaxFixed	最大地址是否固定
Cacheable	是否支持 cache

ReadAndWrite	是否可读写
AddressGranularity	地址对齐
AddressMinimum	起始地址
AddressMaximum	结束地址
AddressTranslation	相对于主总线的地址偏移
RangeLength	地址范围大小
ResourceSourceIndex	资源描述符索引
ResourceSource	资源描述符
DescriptorName	资源描述符名称
MemoryRangeType	内存访问类型
TranslationType	转换类型，下级总线是否与本总线资源相同，则不需要转换，否则需要指定 AddressTranslation

8.6.2 PCI 中断路由

支持的对象及方法：_PRT，描述芯片组 PCI 主桥上 PCI 中断分配信息。固件必须提供此对象，规定如下：

- (1) _PRT 中描述的 PCI 路由信息仅限于芯片组集成 PCI/PCIE 设备，对于外扩 PCI/PCIE 设备，无需中断配置。
- (2) 表项中的中断号均使用 GSI 中断号，芯片组 GSI 分配详见芯片组固件开发规范。
- (3) 对于芯片组的 PCIE PORT，_PRT 中需要实现 4 个表项，分别对应 PCI 规范中规定的 A/B/C/D pin，4 个表项使用相同的 GSI 中断号。
- (4) 对于芯片组的多功能设备，表项中的 pin 值为功能号。

8.6.3 设备电源管理

龙芯平台支持 USB2.0 和 GMAC 唤醒系统。

8.6.3.1 USB

支持的对象及方法：_PRO、_PRW。

- _PRO (Power State 0)
 - (1) 必须提供这个控制方法。
- _PRW (Power Resources for Wake)
 - (1) 仅支持 EventInfo 和 DeepestSleepState 参数。

8.6.3.2 GMAC

支持的对象及方法：_PRO、_PRW。

- _PRO (Power State 0)
 - (1) 必须提供这个控制方法。
- _PRW (Power Resources for Wake)
 - (1) 仅支持 EventInfo 和 DeepestSleepState 参数。

8.6.4 USB 设备配置

支持的对象及方法：_UPC 及_PLD。

8.6.5 电池配置

支持的对象及方法：_BIF _BST _STA，龙芯平台仅支持 Control Method Battery 电池模型。

8.6.6 电源适配器配置

支持的对象及方法：_PSR 。

8.6.7 处理器配置和控制

支持的对象及方法：_HID、_UID、_PXM、_STA、_PPC、_PCT、_PSS。

- _PCT(Performance Control)

(1) 定义 ControlRegister 和 StatusRegister 时，AddressSpaceKeyword 必须为 FFixedHW，其他域为任意值。

- _PSS (Performance Supported States)

(1) PSS 中的 Power 、Bus master latency、Status 为任意值。

(2) Latency: 大于 20000

(3) Control:

bits[31:9]: 保留;

bit[8]: 表示睿频标记, 1 表示睿频频率, 0 表示普频频率;

bits[7:0]: 表示频率等级, 范围 3-10。

8.6.8 系统休眠唤醒

支持的对象及方法：_S0、_S3、_S4、_S5 以及自定义的 S3 休眠地址。

S3 休眠地址是系统 S3 休眠时进入固件执行休眠的入口地址，使用自定义对象声明，规定如下：

(1) 使用 Name 操作符定义的整数对象，对象名称：SADR。

(2) 该对象需要声明在_SB 下。

8.6.9 热键配置

龙芯平台提供了统一的热键驱动，主板厂商可通过热键映射实现热键差异化设计，规定如下：

(1) 在 DSDT 中定义热键设备，HID 为 LOON0000。

(2) 在热键设备中定义热键映射表，名称为“KMAP”，每个表项代表一个热键，表项格式约定如下：

表项类型为 package，一个 package 由 3 个元素组成：按键类型、按键索引、按键键值，具体说明见表 8-30：

表 8-30 package 元素表

域	说明
---	----

按键类型	1 表示普通按键，操作系统键值表中前缀 KEY_ 的按键为普通按键 2 表示开关按键，操作系统键值表中前缀 SW_ 的按键为开关按键
按键索引	按键标识，大于 0 的任意整数，用于唯一标识一个按键，不同按键不能重复
按键键值	操作系统支持的键值码，参照附录 B

(3) 热键事件产生时，需要通过 Notify 通知热键驱动，通知对象为定义的热键设备对象，通知数据为一个无符号 16 位数据，格式约定如表 8-31：

表 8-31 通知数据格式

域	说明
bits[15:12]	按键类型： 1 表示普通按键 2 表示开关按键
bits[11:0]	按键索引

(4) 对于开关类型的热键，需要声明名称为 GSWS 的方法，返回开关的状态。状态数据为 32 位数据，每一位表示一个 SW 类型开关对应的开关状态，SW 类型开关的定义参考附录 B。

其中，GSWS 定义：

Method (GSWS, 0, NotSerialized)

作用：获取开盖状态

参数：无

返回值：32 位正整数，开盖状态

(5) 背光控制

热键驱动支持三种背光控制方式：

当热键设备定义 ECBS、ECBG、ECSL、ECLL、BLSW 方法时，表示通过热键驱动定义背光设备控制背光：

当热键驱动检测到 ACPI 背光设备，则调用热键设备中的 VCBL 方法并传参，参数为 false，表示由 ACPI 背光设备控制背光：

当热键驱动没有检测到 ACPI 背光设备，则由集显背光设备控制背光。

其中，VCBL、ECBS、ECBG、ECSL、ECLL、BLSW 定义如下：

VCBL：

Method (VCBL, 1, Serialized)

作用：设置背光事件通知对象

参数：8 位正整数，0 表示背光事件应有 ACPI 背光设备接收

返回值：无

ECBS：

Method (ECBS, 1, Serialized)

作用：设置背光亮度

参数：16 位正整数，亮度值

返回值：无

ECBG:

Method (ECBG, 0, NotSerialized)

作用：获取背光亮度

参数：无

返回值：16 位正整数，亮度值

ECSL:

Method (ECSL, 0, NotSerialized)

作用：获取支持的背光亮度最小值

参数：无

返回值：16 位正整数，背光亮度最小值

ECLL:

Method (ECLL, 0, NotSerialized)

作用：获取支持的背光亮度最大值

参数：无

返回值：16 位正整数，背光亮度最大值

BLSW:

Method (_BLSW, 1, Serialized)

作用：控制系统背光开启/关闭

参数：16 位正整数，0 表示关，1 表示开

返回值：无

8.6.10 热区管理

支持的对象及方法：_CRT、_PSL、_PSV、_TC1、_TC2、_TMP、_TSP、_TZP。

8.6.11 串口配置

支持的对象及方法：_HID, _UID, _DSD, _CRS。

- _HID

(1) 龙芯平台为 PNP0501。

- _UID

(1) 当使用处理器串口 0 时，_UID 的值必须为 0，且此设备必须是 DSDT 中声明的第一个串口设备。

- _CRS

(1) `_CRS` 方法仅支持寄存器和中断资源声明。

寄存器资源使用 `QWordMemory()` 宏声明，传递寄存器地址信息，各个参数规定参考表 8-29。中断号资源使用 `Interrupt()` 宏声明，各个参数的规定如表 8-32：

表 8-32 `Interrupt()` 宏参数表

参数名	值
<code>ResourceUsage</code>	描述中断的使用者，该设备本身使用，或是子设备使用，为空，默认表示该设备本身使用
<code>EdgeLevel</code>	中断触发类型
<code>ActiveLevel</code>	中断触发极性
<code>Shared</code>	共享标志
<code>ResourceSourceIndex</code>	资源描述符索引
<code>ResourceSource</code>	资源描述符
<code>DescriptorName</code>	资源描述符名称
<code>InterruptList</code>	中断号

● `_DSD`

(1) `_DSD` 对象仅支持串口时钟频率声明：

UUID：值为“daffd814-6eba-4d8c-8a91-bc9bbf4aa301”。

支持属性如表 8-33：

表 8-33 支持属性表

属性名	值	说明
<code>clock-frequency</code>	串口时钟频率	表示实际外接的串口时钟频率，单位为 Hz

8.6.12 GPIO 配置

支持的对象及方法：`_HID`，`_UID`，`_DSD`，`_CRS`，只支持芯片组集成的 GPIO。

● `_HID`

(1) 芯片组集成的普通 GPIO 为 LOON0002，处理器集成的 GPIO 为 LOON0007。

● `_CRS`

(1) `_CRS` 方法仅支持寄存器和中断资源声明。寄存器资源使用 `QWordMemory()` 宏声明，传递寄存器地址信息，各个参数规定如表 8-29，中断号资源使用 `Interrupt()` 宏声明，各个参数的规定如表 8-32。

● `_DSD`

(1) `_DSD` 对象仅支持 GPIO 如下属性：

UUID：值为“daffd814-6eba-4d8c-8a91-bc9bbf4aa301”。

支持属性如表 8-34：

表 8-34 支持属性如表

属性名	说明

conf_offset	寄存器起始地址相对基地址偏移
out_offset	输出寄存器相对基地址偏移
in_offset	输入寄存器相对基地址偏移
int_ctrl_offset	中断控制寄存器相对基地址偏移
gpio_base	GPIO 在内核中的起始编号
ngpios	当前注册的 gpio 设备包含的 gpio pin 总数
gsi_idx_map	各 GPIO 与 InterruptList 对象中的中断号对应关系

8.6.13 I2C 配置

支持的对象及方法：_HID, _UID, _CRS。

- _HID

(1) 龙芯平台为 LOON0004。

- _UID

(1) 必须为表示 I2C 总线号的任意正整数。

- _CRS

(1) _CRS 方法仅支持寄存器资源声明。寄存器资源使用 QWordMemory() 宏声明，传递寄存器地址信息，各个参数规定如表 8-29。

8.6.14 GPIO 模拟 I2C 配置

支持的对象及方法：_HID, _UID, _DSD, _CSR。

- _HID

(1) 龙芯平台为 LOON0005。

- _UID

必须为表示 I2C 总线号的任意正整数。

- _DSD

(1) _DSD 对象仅支持如下属性：

UUID：值为“daffd814-6eba-4d8c-8a91-bc9bbf4aa301”。

支持属性如表 8-35：

表 8-35 支持属性表

属性名	说明
sda-gpio	指定 SDA 信号线使用的 GPIO 管脚
scl-gpio	指定 SCL 信号线使用的 GPIO 管脚
delay-us	总线传输时钟周期，单位为 us
timeout-ms	一次总线数据传输允许最大超时时间，单位为 ms，此为可选参数

8.6.15 RTC 配置

支持的对象及方法：_HID, _CRS。

- _HID

(1) 龙芯平台为 LOON0001。

- _CRS

(1) _CRS 方法仅支持寄存器和中断资源声明。寄存器资源使用 QWordMemory() 宏声明，传递寄存器地址信息，各个参数规定如表 8-29，中断号资源使用 Interrupt() 宏声明，各个参数的规定如表 8-32。

8.6.16 PWM 配置

支持的对象及方法：_HID, _UID, _CRS。

- _HID

(1) 龙芯平台为 LOON0006。

- _CRS

(1) _CRS 方法仅支持寄存器和中断资源声明。寄存器资源使用 QWordMemory() 宏声明，传递寄存器地址信息，各个参数规定如表 8-29，中断号资源使用 Interrupt() 宏声明，各个参数的规定如表 8-32。

8.6.17 S3 休眠地址

S3 休眠地址是系统 S3 休眠时进入固件执行休眠的入口地址，使用自定义对象声明，规定如下：

(3) 使用 Name 操作符定义的整数对象，对象名称：SADR。

(4) 该对象需要声明在 _SB 下。

8.6.18 SE 设备

支持的对象及方法：_HID、_CRS。

- _HID

(1) 龙芯平台为 LOON0003。

- _CRS

(1) _CRS 方法仅支持中断资源声明。中断号资源使用 Interrupt() 宏声明，各个参数的规定如表 8-32。

8.6.19 温度传感器配置

支持的对象及方法：_HID, _DSD, _CRS。

- _HID

(1) 龙芯平台为 LOON0008。

- _DSD

(1) _DSD 对象仅支持 GPIO 如下属性：

UUID: 值为"daffd814-6eba-4d8c-8a91-bc9bbf4aa301"。

支持属性如表 8-36:

表 8-36 支持属性如表

属性名	说明
adjust-frequency	温度传感器检测的温度变化是否可以影响处理器频率的调节

0: 温度不影响处理器频率
1: 温度影响处理器频率

● `_CRS`

(1) `_CRS` 方法仅支持寄存器和中断资源声明。寄存器资源使用 `QWordMemory()` 宏声明，传递寄存器地址信息，各个参数规定如表 8-29，中断号资源使用 `Interrupt()` 宏声明，各个参数的规定如表 8-32。

8.7 FACS (Firmware ACPI Control Structure)

主要包含了唤醒向量地址，此表必须实现，其中部分约定如表 8-37，其他字段保留为 0。

表 8-37 FACS 表约束

域	大小 (字节)	偏移 (字节)	描述
Signature	4	0	'FACS'
Firmware Waking Vector	4	12	32 位唤醒向量
Global Lock	4	16	全局锁
Flags	4	20	固件控制标志
X Firmware Waking Vector	8	24	64 位唤醒向量
Version	1	32	FACS 的版本

8.8 MCFG (PCI Express Memory-mapped Configuration Space base address description table)

主要包含了可访问到 PCIE 设备扩展配置空间基地址、PCI domain 域 ID 及总线范围。此表在双 7A 环境必须实现，表头部分约定如表 8-38。PCIE 配置信息部分约定如表 8-39。

表 8-38 MCFG 约束

域	大小 (字节)	偏移 (字节)	描述
Signature	4	0	'MCFG'
Revision	1	8	0x1

表 8-39 Memory Mapped Enhanced Configuration Space Base Address Allocation Structure 约束

域	大小 (字节)	偏移 (字节)	描述
Base Address	8	0	PCI 域扩展配置空间基地址
PCI Segment Group Number	2	8	PCI 域 ID，注：此值需与 DSDT 中 <code>_SEG</code> 对象的值一致
Start Bus Number	1	10	主桥下总线号最小值

End Bus Number	1	11	主桥下总线号最大值
----------------	---	----	-----------

8.9 SLIT (System Locality Distance Information Table)

主要描述了系统不同节点间相对距离的信息，此表为可选表项。表部分约束如表 3-40。

表 8-40 SLIT 约束

域	大小 (字节)	偏移 (字节)	描述
Signature	4	0	‘SLIT’
Number of System Localities	8	36	节点数
Entry[x][y]	1		当 $x = y$ ，相同结点相对距离 当 $x \neq y$ ，不同节结点相对距离 xy 取值范围： \leq Number of System Localities-1

8.10 SPCR (Serial Port Console Redirection Table)

主要包含了串口配置，此表选择实现，其中部分约定如表 8-41。

表 8-41 SPCR 表部分约束

域	大小 (字节)	偏移 (字节)	描述
Signature	4	0	‘SPCR’
Interface Type	1	36	接口类型
Space ID	1	40	地址空间类型
Encoded Access Width	1	43	访问带宽编码
Address	8	44	基地址
Baud Rate	1	58	波特率

9 总结

本传参规范的提出和制定旨在规范龙芯的固件和内核接口，重点规定了龙芯平台的地址空间划分、中断分配、传参数据结构、ACPI、SMBIOS 约定等方面，使得内核具有更广泛的适应性及兼容性，能有效解决内核对具体板卡设备的依赖性，有利于龙芯系列产品基础软件的规范和统一。

附录 A 龙芯 CPU 传参数据结构

```
#define SYSTEM_RAM          1
#define MEM_RESERVE        2
#define ACPI_TABLE         3
#define ACPI_NV            4
#define MAX_MEMORY_TYPE    5

#define MAX_MEM_MAP        128

#pragma pack(1)
typedef struct _extension_list_hdr{
    UINT64  Signature;
    UINT32  Length;
    UINT8   Revision;
    UINT8   CheckSum;
    struct _extension_list_hdr *next;
}EXT_LIST;

struct BootParamsInterface {
    UINT64      Signature;
    EFI_SYSTEM_TABLE *SystemTable;
    EXT_LIST    *ExtList;
};

typedef struct {
    EXT_LIST Header;
    UINT8    MapCount;
    struct MemMap {
        UINT32 MemType;
        UINT64 MemStart;
        UINT64 MemSize;
    } Map[MAX_MEM_MAP];
} MEM_MAP;

typedef struct {
    EXT_LIST Header;
    UINT64  VbiosAddr;
}VBIOS;

typedef struct {
    EXT_LIST Header;
    UINT64  SinfoAddr;
```

```
}SINFO;  
#pragma pack()
```

附录 B LINUX 操作系统键值表

按键名称	键值
KEY_RESERVED	0
KEY_ESC	1
KEY_1	2
KEY_2	3
KEY_3	4
KEY_4	5
KEY_5	6
KEY_6	7
KEY_7	8
KEY_8	9
KEY_9	10
KEY_0	11
KEY_MINUS	12
KEY_EQUAL	13
KEY_BACKSPACE	14
KEY_TAB	15
KEY_Q	16
KEY_W	17
KEY_E	18
KEY_R	19
KEY_T	20
KEY_Y	21
KEY_U	22
KEY_I	23
KEY_O	24
KEY_P	25
KEY_LEFTBRACE	26
KEY_RIGHTBRACE	27
KEY_ENTER	28
KEY_LEFTCTRL	29
KEY_A	30

KEY_S	31
KEY_D	32
KEY_F	33
KEY_G	34
KEY_H	35
KEY_J	36
KEY_K	37
KEY_L	38
KEY_SEMICOLON	39
KEY_APOSTROPHE	40
KEY_GRAVE	41
KEY_LEFTSHIFT	42
KEY_BACKSLASH	43
KEY_Z	44
KEY_X	45
KEY_C	46
KEY_V	47
KEY_B	48
KEY_N	49
KEY_M	50
KEY_COMMA	51
KEY_DOT	52
KEY_SLASH	53
KEY_RIGHTSHIFT	54
KEY_KPASTERISK	55
KEY_LEFTALT	56
KEY_SPACE	57
KEY_CAPSLOCK	58
KEY_F1	59
KEY_F2	60
KEY_F3	61
KEY_F4	62
KEY_F5	63
KEY_F6	64
KEY_F7	65
KEY_F8	66
KEY_F9	67
KEY_F10	68
KEY_NUMLOCK	69

KEY_SCROLLLOCK	70
KEY_KP7	71
KEY_KP8	72
KEY_KP9	73
KEY_KPMINUS	74
KEY_KP4	75
KEY_KP5	76
KEY_KP6	77
KEY_KPPLUS	78
KEY_KP1	79
KEY_KP2	80
KEY_KP3	81
KEY_KP0	82
KEY_KPDOT	83
KEY_ZENKAKUHANKAKU	85
KEY_102ND	86
KEY_F11	87
KEY_F12	88
KEY_RO	89
KEY_KATAKANA	90
KEY_HIRAGANA	91
KEY_HENKAN	92
KEY_KATAKANAHIRAGANA	93
KEY_MUHENKAN	94
KEY_KPJPCOMMA	95
KEY_KPENTER	96
KEY_RIGHTCTRL	97
KEY_KPSLASH	98
KEY_SYSRQ	99
KEY_RIGHTALT	100
KEY_LINEFEED	101
KEY_HOME	102
KEY_UP	103
KEY_PAGEUP	104
KEY_LEFT	105
KEY_RIGHT	106
KEY_END	107
KEY_DOWN	108
KEY_PAGEDOWN	109

KEY_INSERT	110
KEY_DELETE	111
KEY_MACRO	112
KEY_MUTE	113
KEY_VOLUMEDOWN	114
KEY_VOLUMEUP	115
KEY_POWER	116
KEY_KPEQUAL	117
KEY_KPPLUSMINUS	118
KEY_PAUSE	119
KEY_SCALE	120
KEY_KPCOMMA	121
KEY_HANGEUL	122
KEY_HANGUEL	KEY_HANGEUL
KEY_HANJA	123
KEY_YEN	124
KEY_LEFTMETA	125
KEY_RIGHTMETA	126
KEY_COMPOSE	127
KEY_STOP	128
KEY_AGAIN	129
KEY_PROPS	130
KEY_UNDO	131
KEY_FRONT	132
KEY_COPY	133
KEY_OPEN	134
KEY_PASTE	135
KEY_FIND	136
KEY_CUT	137
KEY_HELP	138
KEY_MENU	139
KEY_CALC	140
KEY_SETUP	141
KEY_SLEEP	142
KEY_WAKEUP	143
KEY_FILE	144
KEY_SENDFILE	145
KEY_DELETEFILE	146
KEY_XFER	147

KEY_PROG1	148
KEY_PROG2	149
KEY_WWW	150
KEY_MSDOS	151
KEY_COFFEE	152
KEY_SCREENLOCK	KEY_COFFEE
KEY_ROTATE_DISPLAY	153
KEY_DIRECTION	KEY_ROTATE_DISPLAY
KEY_CYCLEWINDOWS	154
KEY_MAIL	155
KEY_BOOKMARKS	156
KEY_COMPUTER	157
KEY_BACK	158
KEY_FORWARD	159
KEY_CLOSECD	160
KEY_EJECTCD	161
KEY_EJECTCLOSECD	162
KEY_NEXTSONG	163
KEY_PLAYPAUSE	164
KEY_PREVIOUSSONG	165
KEY_STOPCD	166
KEY_RECORD	167
KEY_REWIND	168
KEY_PHONE	169
KEY_ISO	170
KEY_CONFIG	171
KEY_HOMEPAGE	172
KEY_REFRESH	173
KEY_EXIT	174
KEY_MOVE	175
KEY_EDIT	176
KEY_SCROLLUP	177
KEY_SCROLLDOWN	178
KEY_KPLEFTPAREN	179
KEY_KPRIGHTPAREN	180
KEY_NEW	181
KEY_REDO	182
KEY_F13	183
KEY_F14	184

KEY_F15	185
KEY_F16	186
KEY_F17	187
KEY_F18	188
KEY_F19	189
KEY_F20	190
KEY_F21	191
KEY_F22	192
KEY_F23	193
KEY_F24	194
KEY_PLAYCD	200
KEY_PAUSECD	201
KEY_PROG3	202
KEY_PROG4	203
KEY_DASHBOARD	204
KEY_SUSPEND	205
KEY_CLOSE	206
KEY_PLAY	207
KEY_FASTFORWARD	208
KEY_BASSBOOST	209
KEY_PRINT	210
KEY_HP	211
KEY_CAMERA	212
KEY_SOUND	213
KEY_QUESTION	214
KEY_EMAIL	215
KEY_CHAT	216
KEY_SEARCH	217
KEY_CONNECT	218
KEY_FINANCE	219
KEY_SPORT	220
KEY_SHOP	221
KEY_ALTERASE	222
KEY_CANCEL	223
KEY_BRIGHTNESSDOWN	224
KEY_BRIGHTNESSUP	225
KEY_MEDIA	226
KEY_SWITCHVIDEOMODE	227
KEY_KBDILLUMTOGGLE	228

KEY_KBDILLUMDOWN	229
KEY_KBDILLUMUP	230
KEY_SEND	231
KEY_REPLY	232
KEY_FORWARDMAIL	233
KEY_SAVE	234
KEY_DOCUMENTS	235
KEY_BATTERY	236
KEY_BLUETOOTH	237
KEY_WLAN	238
KEY_UWB	239
KEY_UNKNOWN	240
KEY_VIDEO_NEXT	241
KEY_VIDEO_PREV	242
KEY_BRIGHTNESS_CYCLE	243
KEY_BRIGHTNESS_AUTO	244
KEY_BRIGHTNESS_ZERO	KEY_BRIGHTNESS_AUTO
KEY_DISPLAY_OFF	245
KEY_WWAN	246
KEY_WIMAX	KEY_WWAN
KEY_RFKILL	247
KEY_MICMUTE	248
KEY_OK	0x160
KEY_SELECT	0x161
KEY_GOTO	0x162
KEY_CLEAR	0x163
KEY_POWER2	0x164
KEY_OPTION	0x165
KEY_INFO	0x166
KEY_TIME	0x167
KEY_VENDOR	0x168
KEY_ARCHIVE	0x169
KEY_PROGRAM	0x16a
KEY_CHANNEL	0x16b
KEY_FAVORITES	0x16c
KEY_EPG	0x16d
KEY_PVR	0x16e
KEY_MHP	0x16f
KEY_LANGUAGE	0x170

KEY_TITLE	0x171
KEY_SUBTITLE	0x172
KEY_ANGLE	0x173
KEY_ZOOM	0x174
KEY_MODE	0x175
KEY_KEYBOARD	0x176
KEY_SCREEN	0x177
KEY_PC	0x178
KEY_TV	0x179
KEY_TV2	0x17a
KEY_VCR	0x17b
KEY_VCR2	0x17c
KEY_SAT	0x17d
KEY_SAT2	0x17e
KEY_CD	0x17f
KEY_TAPE	0x180
KEY_RADIO	0x181
KEY_TUNER	0x182
KEY_PLAYER	0x183
KEY_TEXT	0x184
KEY_DVD	0x185
KEY_AUX	0x186
KEY_MP3	0x187
KEY_AUDIO	0x188
KEY_VIDEO	0x189
KEY_DIRECTORY	0x18a
KEY_LIST	0x18b
KEY_MEMO	0x18c
KEY_CALENDAR	0x18d
KEY_RED	0x18e
KEY_GREEN	0x18f
KEY_YELLOW	0x190
KEY_BLUE	0x191
KEY_CHANNELUP	0x192
KEY_CHANNELDOWN	0x193
KEY_FIRST	0x194
KEY_LAST	0x195
KEY_AB	0x196
KEY_NEXT	0x197

KEY_RESTART	0x198
KEY_SLOW	0x199
KEY_SHUFFLE	0x19a
KEY_BREAK	0x19b
KEY_PREVIOUS	0x19c
KEY_DIGITS	0x19d
KEY_TEEN	0x19e
KEY_TWEN	0x19f
KEY_VIDEOPHONE	0x1a0
KEY_GAMES	0x1a1
KEY_ZOOMIN	0x1a2
KEY_ZOOMOUT	0x1a3
KEY_ZOOMRESET	0x1a4
KEY_WORDPROCESSOR	0x1a5
KEY_EDITOR	0x1a6
KEY_SPREADSHEET	0x1a7
KEY_GRAPHICSEDITOR	0x1a8
KEY_PRESENTATION	0x1a9
KEY_DATABASE	0x1aa
KEY_NEWS	0x1ab
KEY_VOICEMAIL	0x1ac
KEY_ADDRESSBOOK	0x1ad
KEY_MESSENGER	0x1ae
KEY_DISPLAYTOGGLE	0x1af
KEY_BRIGHTNESS_TOGGLE	KEY_DISPLAYTOGGLE
KEY_SPELLCHECK	0x1b0
KEY_LOGOFF	0x1b1
KEY_DOLLAR	0x1b2
KEY_EURO	0x1b3
KEY_FRAMEBACK	0x1b4
KEY_FRAMEFORWARD	0x1b5
KEY_CONTEXT_MENU	0x1b6
KEY_MEDIA_REPEAT	0x1b7
KEY_10CHANNELSUP	0x1b8
KEY_10CHANNELSDOWN	0x1b9
KEY_IMAGES	0x1ba
KEY_DEL_EOL	0x1c0
KEY_DEL_EOS	0x1c1
KEY_INS_LINE	0x1c2

KEY_DEL_LINE	0x1c3
KEY_FN	0x1d0
KEY_FN_ESC	0x1d1
KEY_FN_F1	0x1d2
KEY_FN_F2	0x1d3
KEY_FN_F3	0x1d4
KEY_FN_F4	0x1d5
KEY_FN_F5	0x1d6
KEY_FN_F6	0x1d7
KEY_FN_F7	0x1d8
KEY_FN_F8	0x1d9
KEY_FN_F9	0x1da
KEY_FN_F10	0x1db
KEY_FN_F11	0x1dc
KEY_FN_F12	0x1dd
KEY_FN_1	0x1de
KEY_FN_2	0x1df
KEY_FN_D	0x1e0
KEY_FN_E	0x1e1
KEY_FN_F	0x1e2
KEY_FN_S	0x1e3
KEY_FN_B	0x1e4
KEY_BRL_DOT1	0x1f1
KEY_BRL_DOT2	0x1f2
KEY_BRL_DOT3	0x1f3
KEY_BRL_DOT4	0x1f4
KEY_BRL_DOT5	0x1f5
KEY_BRL_DOT6	0x1f6
KEY_BRL_DOT7	0x1f7
KEY_BRL_DOT8	0x1f8
KEY_BRL_DOT9	0x1f9
KEY_BRL_DOT10	0x1fa
KEY_NUMERIC_0	0x200
KEY_NUMERIC_1	0x201
KEY_NUMERIC_2	0x202
KEY_NUMERIC_3	0x203
KEY_NUMERIC_4	0x204
KEY_NUMERIC_5	0x205
KEY_NUMERIC_6	0x206

KEY_NUMERIC_7	0x207
KEY_NUMERIC_8	0x208
KEY_NUMERIC_9	0x209
KEY_NUMERIC_STAR	0x20a
KEY_NUMERIC_POUND	0x20b
KEY_NUMERIC_A	0x20c
KEY_NUMERIC_B	0x20d
KEY_NUMERIC_C	0x20e
KEY_NUMERIC_D	0x20f
KEY_CAMERA_FOCUS	0x210
KEY_WPS_BUTTON	0x211
KEY_TOUCHPAD_TOGGLE	0x212
KEY_TOUCHPAD_ON	0x213
KEY_TOUCHPAD_OFF	0x214
KEY_CAMERA_ZOOMIN	0x215
KEY_CAMERA_ZOOMOUT	0x216
KEY_CAMERA_UP	0x217
KEY_CAMERA_DOWN	0x218
KEY_CAMERA_LEFT	0x219
KEY_CAMERA_RIGHT	0x21a
KEY_ATTENDANT_ON	0x21b
KEY_ATTENDANT_OFF	0x21c
KEY_ATTENDANT_TOGGLE	0x21d
KEY_LIGHTS_TOGGLE	0x21e
KEY_ALS_TOGGLE	0x230
KEY_ROTATE_LOCK_TOGGLE	0x231
KEY_BUTTONCONFIG	0x240
KEY_TASKMANAGER	0x241
KEY_JOURNAL	0x242
KEY_CONTROLPANEL	0x243
KEY_APPSELECT	0x244
KEY_SCREENSAVER	0x245
KEY_VOICECOMMAND	0x246
KEY_ASSISTANT	0x247
KEY_BRIGHTNESS_MIN	0x250
KEY_BRIGHTNESS_MAX	0x251
KEY_KBDINPUTASSIST_PREV	0x260
KEY_KBDINPUTASSIST_NEXT	0x261
KEY_KBDINPUTASSIST_PREVGROUP	0x262

KEY_KBDINPUTASSIST_NEXTGROUP	0x263
KEY_KBDINPUTASSIST_ACCEPT	0x264
KEY_KBDINPUTASSIST_CANCEL	0x265
KEY_RIGHT_UP	0x266
KEY_RIGHT_DOWN	0x267
KEY_LEFT_UP	0x268
KEY_LEFT_DOWN	0x269
KEY_ROOT_MENU	0x26a
KEY_MEDIA_TOP_MENU	0x26b
KEY_NUMERIC_11	0x26c
KEY_NUMERIC_12	0x26d
KEY_AUDIO_DESC	0x26e
KEY_3D_MODE	0x26f
KEY_NEXT_FAVORITE	0x270
KEY_STOP_RECORD	0x271
KEY_PAUSE_RECORD	0x272
KEY_VOD	0x273
KEY_UNMUTE	0x274
KEY_FASTREVERSE	0x275
KEY_SLOWREVERSE	0x276
KEY_DATA	0x277
KEY_ONSCREEN_KEYBOARD	0x278
SW_LID	0x00
SW_TABLET_MODE	0x01
SW_HEADPHONE_INSERT	0x02
SW_RFKILL_ALL	0x03
SW_RADIO	SW_RFKILL_ALL
SW_MICROPHONE_INSERT	0x04
SW_DOCK	0x05
SW_LINEOUT_INSERT	0x06
SW_JACK_PHYSICAL_INSERT	0x07
SW_VIDEOOUT_INSERT	0x08
SW_CAMERA_LENS_COVER	0x09
SW_KEYPAD_SLIDE	0x0a
SW_FRONT_PROXIMITY	0x0b
SW_ROTATE_LOCK	0x0c
SW_LINEIN_INSERT	0x0d
SW_MUTE_DEVICE	0x0e
SW_PEN_INSERTED	0x0f

SW_MAX	0x0f
--------	------

龙芯中科技术股份有限公司企业标准

龙芯 3A5000_7A1000 固件开发规范

V0.3

龙芯中科技术股份有限公司

版本信息

版本信息	文档名	龙芯 3A5000_7A1000 固件开发规范
	版本号	V0.3
	创建人	系统研发部
版本历史		
序号	版本号	更新内容
1	V0.1	发布文档初始版本 V0.1 版。
2	V0.2	1 增加对 ACPI GSI 的支持。 2 增加对 irqdomain 的支持。 3 增加对 ACPI 配置参考信息。
3	V0.3	1 FADT 的 flags 更新 2 中断模型更新 3 MCFG 支持 4 多桥支持 5 SLIT 支持 6 GPIO 多中断支持 7 SE 设备 ACPI 支持 8 温度传感器配置支持 9 SPCR 支持 10 背光调节支持

目 录

1 设计约束	1
1.1 AUDIO CODEC	1
1.2 LPC 控制器	1
1.3 VBIOS	2
1.4 GMAC	2
1.5 DMA 地址映射	2
1.6 3A5000+7A1000 中断	3
1.7 3A5000+7A1000 地址空间	5
2 参考配置	7
2.1 MADT 配置	7
2.2 FADT 配置	10
2.3 DSDT 配置	13
2.3.1 PCI 总线枚举	13
2.3.2 设备电源管理	20
2.3.3 系统休眠唤醒	20
2.3.4 串口配置	20
2.3.5 GPIO 配置	22
2.3.6 I2C 配置	23
2.3.7 RTC 配置	25
2.3.8 PWM 配置	26
2.3.9 温度传感器配置	27
2.3.10 SE 设备	28
2.4 FACS 配置	29
2.5 S3 休眠地址	29

2.6 SRAT 配置.....	29
2.7 MCFG 配置.....	31
2.8 SLIT 配置.....	32
2.9 SPCR 配置	32

前 言

本规范是龙芯中科技术股份有限公司制定的企业规范，暂无国家相关行业通用规范可参考。

本规范面向固件软件开发人员，在《龙芯 3 号 CPU 固件与内核接口规范》基础上针对 3A5000+7A1000 的固件开发约束进行补充说明。

1 设计约束

1.1 Audio Codec

固件通过 Verb Table 机制实现不同板卡中对声卡的差异化设计。固件开发人员需要根据具体主板的声卡设计正确填写 Verb Table。具体参考龙芯代码中关于 Realtek 的 Verb Table 配置实现。

注意：须确认芯片组 HDA 引脚工作在 HDA 模式（配置寄存器偏移 0x0440 寄存器的 12:11 为 x1b。芯片组配置寄存器基址需要固件下进行配置，参考代码配置寄存器基址为：0x80000e0010010000）。

1.2 LPC 控制器

中断触发极性以及中断使能需要在固件内配置。配置极性的寄存器位于 LPC 控制器的控制寄存器偏移 0x10 处。

具体寄存器定义见表 1-1：

表 1-1 LPC SIRQ 中断极性寄存器[16:0]位

位域	名称	访问	描述
16:0	SIRQ_INT_POLARITY	RW	LPC SIRQ 中断极性寄存器，每个比特位对应一个中断源，对于每个中断源， 0：低电平触发； 1：高电平触发。

SIRQ 中断使能控制寄存器位于偏移 0x0 的 31 位。

具体定义见表 1-2：

表 1-2 SIRQ 中断使能控制寄存器 31 位

位域	名称	访问	描述
31	SIRQ_EN	RW	SIRQ 中断使能控制

LPC 中断使能寄存器位于偏移 0x4 的 [17:0] 位。

具体定义见表 1-3：

表 1-3 LPC 中断使能寄存器 [17:0] 位

位域	名称	访问	描述
17:0	LPC_INT_EN	RW	LPC 中断使能,每个比特位对应一个中断源。对于每个中断源， 0:关闭中断； 1:使能中断。

LPC 中断清除寄存器位于偏移 0xC。

具体定义见表 1-4：

表 1-4 LPC 中断清除寄存器

位域	名称	访问	描述
17:0	LPC_TIMEOUT_INT_CLE AR	WO	LPC 访问超时中断清除(写 1 清除)。比特 17 对应 LPC 访问超 时中断,写 1 清除,写 0 无效。

LPC 控制器控制寄存器基地址定义位于 7A1000 用户手册第二十四章第二节，物理地址为 0x10002000。使用 64bit 访问地址为 0x80000e0010002000。

1.3 VBIOS

7A1000 内部包含图形处理器（以下简称 GPU），位于 D6:F0；内核下 GPU 需要 Video BIOS（以下简称 VBIOS）的支撑才可以工作正常。

固件对 VBIOS 处理逻辑如下：

1. 固件从 7A1000 SPI flash 偏移 0x1000 处读取 VBIOS，并判断是否合法；
2. 如果合法，将 VBIOS 全部读取到内存保留区域，并将首地址通过固件传参接口传递给内核；
3. 如果非法，将固件内默认 VBIOS 传递给内核。

1.4 GMAC

7A1000 包含两个 GMAC 控制器，固件分别从 7A1000 SPI flash 偏移 0x0 和 0x10 处读取 MAC0 和 MAC1 地址信息，并写入相应 GMAC 的 MAC 地址寄存器中。

具体寄存器定义见表 1-5 和 1-6：

表 1-5 GMAC0/GMAC1 Address High Register (Offset 0x40)

位域	名称	默认值	描述
31	MO: Always 1	0x0	保留
30:16	Reserved	0x0	保留
15:0	MAC Address0[47:32] MAC 地址高 16 位	0x0	存放用于接收地址过滤和传输流控帧的 MAC 地址。

表 1-6 GMAC0/GMAC1 Address Low Register (Offset 0x44)

位域	名称	默认值	描述
31:0	MAC Address0[31:0] MAC 地址低 32 位	0x0	存放用于接收地址过滤和传输流控帧的 MAC 地址。

1.5 DMA 地址映射

对于不支持超过 44 位 DMA 地址的设备，固件需要调整 7A1000 的 DMA 路由配置以支持此类设备。参考 7A1000 用户手册第四章第一节，DMA 路由配置寄存器（0x041C）的[12:8]位，具体实现参考龙芯代码。寄存器定

义见表 1-7:

表 1-7 DMA 路由配置寄存器[12:8]位

位域	名称	访问	描述
12:8	dma_node_id_offset	RW	DMA 访问中节点号所在的地址偏移（相对于 bit36）

1.6 3A5000+7A1000 中断

3A5000+7A1000 方案，芯片组中断控制器管理的中断可通过中断线或 HT 路由至处理器，MSI 中断通过 HT 路由至处理器，以上中断最终路由至处理器核的 IP3。见图 1 所示。

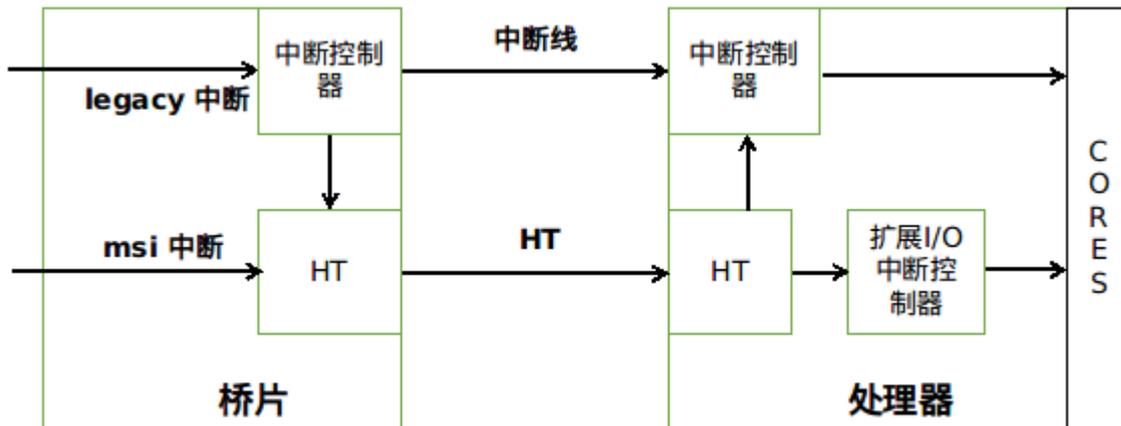


图 1-1 3A5000+7A1000 中断路由示意图

7A1000 系统依据 ACPI 规范使用 GSI (global system interrupts, 全局系统中断) 为中断源分配虚拟化的中断号，一个 GSI 类型的虚拟中断号唯一标识了其所属的中断域，内核按照不同的中断域实现中断管理。各个中断域对应的 GSI 中断号范围约定如下：

0-15: LPC/ISA 中断域，用于系统外扩 LPC 设备中断源，如表 1-8 所示，具体分配情况参考 LPC 设备说明。

表 1-8 LPC/ISA 中断域 GSI 分配

GSI 中断号	中断源	说明
0	HPET	HPET 高精度定时器
1	I8042	键盘
2	级联	
3		
4		
5		
6		
7		
8	RTC	实时时钟

9		
10		
11		
12	I8042	鼠标
13		
14	ide0	硬盘
15	Ide1	硬盘

16-47: 处理器 I/O 中断控制器中断域, 其 GSI 中断号与中断源向量号的映射关系:

GSI 中断号 = 中断源向量号+16

中断源向量号为处理器手册中某个中断源在中断控制寄存器中的索引, 具体参考龙芯 3A/B 处理器手册。

48-49: 保留。

50-63: 处理器核中断域, 保留给 CPU 内部中断源, 如表 1-9:

表 1-9 处理器核中断域 GSI 分配

中断号	中断源	说明
50		
51		
52	处理器 I/O 中断控制器	处理器集成设备的 I/O 中断
53	处理器 I/O 中断控制器/扩展 I/O 中断控制器	经芯片组路由至处理器的其他 I/O 中断
54		
55		
56		
57		
58		
59		
60		
61	处理器核 timer 中断	
62		
63		

64-127: 芯片组 I/O 中断控制器中断域。7A1000 集成或外接的 PCI 兼容设备分配的中断号如表 1-10:

表 1-10 芯片组 I/O 中断控制器中断域 GSI 分配

中断号	中断源	中断号	中断源
64		96	pcie_f0_0
65		97	pcie_f0_1
66		98	pcie_f0_2
67		99	pcie_f0_3
68		100	pcie_f1_0

69		101	pcie_fl_1
70		102	pcie_h_lo
71		103	pcie_h_hi
72	uart[3:0]	104	pcie_g0_hi
73	i2c[5:0]	105	pcie_g0_lo
74		106	pcie_g1_lo
75		107	pcie_g1_hi
76	gmac0_sbd	108	toy[0]
77	gmac0_pmt	109	toy[1]
78	gmac1_sbd	110	toy[2]
79	gmac1_pmt	111	acpi
80	sata[0]	112	usb_0_ehci
81	sata[1]	113	usb_0_ohci
82	sata[2]	114	usb_1_ehci
83	lpc	115	usb_1_ohci
84		116	rtc[0]
85		117	rtc[1]
86		118	rtc[2]
87		119	hpet_int
88	pwm[0]	120	ac97_dma[0]
89	pwm[1]	121	ac97_dma[1]
90	pwm[2]	122	ac97/hda
91	pwm[3]	123	gpio_hi
92	dc	124	gpio[0]
93	gpu	125	gpio[1]
94	gmem	126	gpio[2]
95	thsens	127	gpio[3]

128-319: MSI 中断域, 用于为系统具有 MSI/MSIX 能力的设备分配 MSI 中断号。

注意: 根据 7A1000 硬件规范, 若使用 EC 时需要使用 SCI 中断, 此中断需要硬件连接到 7A1000 电源管理模块的 LID 管脚, 信号约束参照硬件设计规范, 对应 GSI 中断源为 111 号。

1.7 3A5000+7A1000 地址空间

3A5000+7A1000 地址空间如图 1-2 所示:

0xYF FF FFFF FFFF	Reserved
0xYF 00 0000 0000	PCI EXT CFG
0xYE FE 0000 0000	Reserved
0xYE FD 0000 0000	PCI EXT MEM
0xYE 00 8000 0000	7A HT1 lo
0xYE 00 0000 0000	Reserved
MEM_MAX_ADDR	System RAM
0xY0 00 9000 0000	System RAM/Reserved
0xY0 00 8000 0000	PCI MEM
0xY0 00 2000 0000	CPU Registers
0xY0 00 1C00 0000	PCI CFG
0xY0 00 1A00 0000	PCI I/O
0xY0 00 1800 0000	Chipset Registers
0xY0 00 1000 0000	System RAM/Reserved
0xY0 00 0000 0000	

图 1-2 3A5000+7A1000 地址空间划分

地址中的 Y 代表节点号 (0-15)，各个地址空间说明如下：

- 0xY0 00 0000 0000 - 0xY0 00 0FFF FFFF: 对于 0 号节点，表示内存，对于非 0 号节点，表示保留空间
- 0xY0 00 1000 0000 - 0xY0 00 17FF FFFF: 连接到处理器节点 Y 的芯片组寄存器
- 0xY0 00 1800 0000 - 0xY0 00 19FF FFFF: 连接到处理器节点 Y 的 PCI I/O 空间
- 0xY0 00 1A00 0000 - 0xY0 00 1BFF FFFF: 连接到处理器节点 Y 的 PCI 配置空间
- 0xY0 00 1C00 0000 - 0xY0 00 1FFF FFFF: 处理器节点 Y 的低速设备寄存器
- 0xY0 00 2000 0000 - 0xY0 00 7FFF FFFF: 连接到处理器节点 Y 的 32 位 PCI MEM 空间
- 0xY0 00 8000 0000 - 0xY0 00 8FFF FFFF: 对于非 0 号节点，表示内存，对于 0 号节点，表示保留空间
- 0xY0 00 9000 0000 - MEM_MAX_ADDR: 内存，MEM_MAX_ADDR 的取值见表 1-11:

表 1-11 MEM_MAX_ADDR 的取值

系统中的节点数	MEM_MAX_ADDR
1	0xY1 00 0000 0000
2	0xY0 80 0000 0000
4	0xY0 40 0000 0000
8	0xY0 20 0000 0000
16	0xY0 10 0000 0000

- 0xY1 00 0000 0000 - 0xYD FF FFFF FFFF: 保留
- 0xYE 00 0000 0000 - 0xYE 00 7FFF FFFF: 7A HT1 lo 地址空间
- 0xYE 00 8000 0000 - 0xYE FC FFFF FFFF: 连接到处理器节点 Y 的扩展 PCI MEM 空间

0xYE FD 0000 0000 - 0xYE FD FFFF FFFF: 保留

0xYE FE 0000 0000 - 0xYE FF FFFF FFFF: 连接到处理器节点 Y 的扩展 PCI 配置空间

0xYF 00 0000 0000 - 0xYF FF FFFF FFFF: 保留

注:

0 号节点: 两端内存, 非 0 号节点, 直接从 0xY00080000000 开始一段内存。

以节点 0 地址为例, 龙芯 3A/B+7A1000 地址空间的详细分布如表 1-12:

表 1-12 龙芯 3A/B+7A1000 地址空间分布

	起始地址	结束地址	说明
地址 0	0x0000_0000_0000_0000	0x0000_0000_0FFF_FFFF	内存
地址 1	0x0000_0000_1000_0000	0x0000_0000_17FF_FFFF	32 位模式下 7A 设备寄存器空间
地址 2	0x0000_0000_1800_0000	0x0000_0000_1801_FFFF	32 位模式下 7A LPC 的 IO 空间
地址 3	0x0000_0000_1802_0000	0x0000_0000_19FF_FFFF	32 位模式下 7A PCI 的 IO 空间
地址 4	0x0000_0000_1A00_0000	0x0000_0000_1BFF_FFFF	32 位模式下 7A PCI 的配置空间
地址 5	0x0000_0000_1D00_0000	0x0000_0000_1DFF_FFFF	SPI Memory
地址 6	0x0000_0000_1FC0_0000	0x0000_0000_1FCF_FFFF	SPI Boot
地址 7	0x0000_0000_1FE0_01E0	0x0000_0000_1FE0_01E7	UART 0
地址 8	0x0000_0000_1FE0_01E8	0x0000_0000_1FE0_01EF	UART 1
地址 9	0x0000_0000_1FE0_01F0	0x0000_0000_1FE0_01FF	SPI Register
地址 10	0x0000_0000_2000_0000	0x0000_0000_7FFF_FFFF	7A 中 PCI MEM 空间
地址 11	0x0000_0000_8000_0000	0x0000_0000_8FFF_FFFF	保留
地址 12	0x0000_0000_9000_0000	MEM_MAX_ADDR	内存
地址 13	0x0000_0E00_1000_0000	0x0000_0E00_1000_0FFF	7A 中断控制器空间
地址 14	0x0000_0E00_1000_1000	0x0000_0E00_1000_1FFF	7A 中 HPET 寄存器空间
地址 15	0x0000_0E00_1000_2000	0x0000_0E00_1000_2FFF	7A 中 LPC 控制寄存器空间
地址 16	0x0000_0E00_1001_0000	0x0000_0E00_1001_FFFF	7A 中 confbus 空间
地址 17	0x0000_0E00_1008_0000	0x0000_0E00_100F_FFFF	7A 中 misc 设备寄存器空间
地址 18	0x0000_0E00_1200_0000	0x0000_0E00_13FF_FFFF	7A 中 LPC MEM 空间
地址 19	0x0000_0E00_2000_0000	0x0000_0EFC_FFFF_FFFF	7A 中 PCI MEM 空间
地址 20	0x0000_0EFD_FC00_0000	0x0000_0EFD_FDFF_FFFF	HT1 的 I/O 空间
地址 21	0x0000_0EFD_FE00_0000	0x0000_0EFD_FFFF_FFFF	HT1 的总线配置空间

2 参考配置

2.1 MADT 配置

表 2-1 MADT 表约束

域	大小 (字节)	偏移 (字节)	描述
Header			

Signature	4	0	‘APIC’
Revision	1	8	1
Local Interrupt Controller Address	4	36	0x1fe01400

表 2-2 CORE PIC 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	0x11
Length	1	1	15
Version	1	2	1
ACPI Processor ID	4	3	处理器核 UID, 与 DSDT 处理器对象中的 _UID 值相同
Physical Processor ID	4	7	CPU 核物理 ID
Flags	4	11	CORE PIC 的标志, 参考表 2-3

表 2-3 CORE PIC 标志

CORE PIC Flags	大小 (比特)	偏移 (比特)	描述
Enabled	1	0	0: CPU 不可用 1: CPU 可用
Reserved	31	1	必须为 0

MADT 表的 LIO PIC 结构参考如下表 2-4:

表 2-4 LIO PIC 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	0x12, LIO PIC 结构
Length	1	1	23
Version	1	2	1
Base Address	8	3	0x1FE01400
Size	2	11	0x80
Cascade vector	2	13	0x0302
Cascade vector	8	15	0xFF0000000FFFFFFF

mapping			
---------	--	--	--

MADT 表的 EIO PIC 结构参考如下表 2-5，每个芯片组连接的处理器节点对应一个 EIO PIC 结构：

表 2-5 EIO PIC 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	0x14, EIO PIC 结构
Length	1	1	4
Version	1	2	1
Cascade vector	1	3	3
Node	1	4	连接芯片组的处理器节点 ID
Node map	8	5	EIO 中断路由的处理器节点组，bit0-63 分别表示 0-63 节点

MADT 表的 MSI PIC 结构参考如下表 2-6，每个芯片组对应一个 MSI PIC 结构：

表 2-6 MSI PIC 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	0x15, MSI PIC 结构
Length	1	1	19
Version	1	2	1
Message Address	8	3	0x2FF00000
Start	4	11	0x40
Count	4	15	0xc0

MADT 表的 BIO PIC 结构参考如下表 2-7：

表 2-7 BIO PIC 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	0x16, BIO PIC 结构
Length	1	1	17
Version	1	2	1
Base Address	8	3	0x10000000
Size	2	11	0x1000
Hardware ID	2	13	0
GSI base	2	15	0x40

对于双桥片的主板（以桥 0 连接到 0 节点，桥 1 连接到 5 节点为例），需要再添加一组 BIO PIC 结构

的描述，参考如下表 2-8：

表 2-8 BIO PIC 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	0x16, BIO PIC 结构
Length	1	1	17
Version	1	2	1
Base Address	8	3	0x500010000000
Size	2	11	0x1000
Hardware ID	2	13	5
GSI base	2	15	0x80

MADT 表的 LPC PIC 结构参考如下表 2-9：

表 2-9 LPC PIC 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	0x17, LPC PIC 结构
Length	1	1	15
Version	1	2	1
Base Address	8	3	0x10002000
Size	2	11	0x1000
Cascade vector	2	13	0x13

2.2 FADT 配置

此表为操作系统提供了 Fixed 硬件 ACPI 描述信息，相关约束见表 2-10。

表 2-10 FADT 表约束

域	大小 (字节)	偏移 (字节)	描述
Header			
Signature	4	0	‘FACP’
Length	4	4	表的长度，包括表头，从偏移量 0 开始。用于记录整个表的大小
FADT Major Version	1	8	3
FIRMWARE_CTRL	4	36	0
DSDT	4	40	0
Reserved	1	44	0

SCI_INT	2	46	0x6f
SMI_CMD	4	48	0
ACPI_ENABLE	1	52	0
ACPI_DISABLE	1	53	0
S4BIOS_REQ	1	54	0
PSTATE_CNT	1	55	0
PM1a_EVT_BLK	4	56	0
PM1b_EVT_BLK	4	60	0
PM1a_CNT_BLK	4	64	0
PM1b_CNT_BLK	4	68	0
PM2_CNT_BLK	4	72	0
PM_TMR_BLK	4	76	0
GPE0_BLK	4	80	0
GPE1_BLK	4	84	0
PM1_EVT_LEN	1	88	8
PM1_CNT_LEN	1	89	4
PM2_CNT_LEN	1	90	0
PM_TMR_LEN	1	91	4
GPE0_BLK_LEN	1	92	8
GPE1_BLK_LEN	1	93	0
GPE1_BASE	1	94	0
CST_CNT	1	95	0
P_LVL2_LAT	2	96	0x65
P_LVL3_LAT	2	98	0x3e9
FLUSH_SIZE	2	100	0
FLUSH_STRIDE	2	102	0
DUTY_OFFSET	1	104	0
DUTY_WIDTH	1	105	0
DAY_ALRM	1	106	0
MON_ALRM	1	107	0
CENTURY	1	108	0
IAPC_BOOT_ARCH	2	109	0
Reserved	1	111	0
Flags	4	112	默认值为 0x425，包含如下标志： WBINVD、PROC_C1、SLP_BUTTON、RESET_REG_SUP
RESET_REG	12	116	见表 2-11
RESET_VALUE	1	128	0x01
ARM_BOOT_ARCH	2	129	0

FADT Minor Version	1	131	0
X_FIRMWARE_CTRL	8	132	FACS 64bit 地址, 固件动态生成
X_DSDT	8	140	DSDT 64bit 地址, 固件动态生成
X_PM1a_EVT_BLK	12	148	见表 2-12
X_PM1b_EVT_BLK	12	160	此结构中成员全为 0
X_PM1a_CNT_BLK	12	172	见表 2-13
X_PM1b_CNT_BLK	12	184	此结构中成员全为 0
X_PM2_CNT_BLK	12	196	此结构中成员全为 0
X_PM_TMR_BLK	12	208	见表 2-14
X_GPE0_BLK	12	220	见表 2-15
X_GPE1_BLK	12	232	此结构中成员全为 0

注: UEFI 固件动态生成 X_FIRMWARE_CTRL 与 X_DSDT 之前, 需将其初始化为 0。

表 2-11 reset 寄存器结构

域	大小 (字节)	偏移 (字节)	描述
Address Space Id	1	0	0
Reg Bit Width	1	1	0x20
Reg Bit Offset	1	2	0
Reserved	1	3	0
Address	8	4	0x00000000100d0030

表 2-12 PM1a EVT 寄存器结构

域	大小 (字节)	偏移 (字节)	描述
Address Space Id	1	0	0,
Reg Bit Width	1	1	0x40
Reg Bit Offset	1	2	0
Reserved	1	3	0
Address	8	4	0x00000000100d000c

表 2-13 PM1a_CNT 寄存器结构

域	大小 (字节)	偏移 (字节)	描述
Address Space Id	1	0	0,
Reg Bit Width	1	1	0x20
Reg Bit Offset	1	2	0
Reserved	1	3	0
Address	8	4	0x00000000100d0014

表 2-14 PM_TMR 寄存器结构

域	大小 (字节)	偏移 (字节)	描述
Address Space Id	1	0	0,
Reg Bit Width	1	1	0x20
Reg Bit Offset	1	2	0
Reserved	1	3	0
Address	8	4	0x00000000100d0018

表 2-15 GPE0 寄存器结构

域	大小 (字节)	偏移 (字节)	描述
Address Space Id	1	0	0,
Reg Bit Width	1	1	0x40
Reg Bit Offset	1	2	0
Reserved	1	3	0
Address	8	4	0x00000000100d0028

2.3 DSDT 配置

2.3.1 PCI 总线枚举

_SEG (Segment) 方法描述了 PCI 段号。

_CRS (Current Resource Settings) 方法支持总线范围、IO 地址范围以及内存地址范围声明。

(1) PCIE 单主桥配置参考如下：

- _SEG 为 0
- _CRS

使用 WordBusNumber () 宏声明 PCI 总线号范围，如表 2-16：

表 2-16 PCI 总线号范围

参数名	值
ResourceUsage	ResourceProducer
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Decode	PosDecode

AddressGranularity	0x0
AddressMinimum	0x0
AddressMaximum	0x00FF
AddressTranslation	0x0000
RangeLength	0x0100
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空

使用 QWordIO() 宏声明 PCI I/O 地址范围，如表 2-17：

表 2-17 PCI I/O 地址范围

参数名	值
ResourceUsage	ResourceProducer
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Decode	PosDecode
ISARanges	EntireRange
AddressGranularity	0x0000000000000000
AddressMinimum	0x0000000000000000
AddressMaximum	0x000000000000FFFF
AddressTranslation	0x0000000018000000
RangeLength	0x0000000000010000
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
TranslationType	值为空
TranslationDensity	值为空

使用 QWordMemory() 宏声明 32 位 PCI MEM 地址范围如表 2-18：

表 2-18 32 位 PCI MEM 地址范围

参数名	值
ResourceUsage	ResourceProducer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	Cacheable

ReadAndWrite	ReadWrite
AddressGranularity	0x0000000000000000
AddressMinimum	0x0000000020000000
AddressMaximum	0x000000007FFFFFFF
AddressTranslation	0x00000E0000000000
RangeLength	0x0000000060000000
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	值为空
TranslationType	值为空

使用 QWordMemory() 宏声明 64 位 PCI MEM 地址范围如表 2-19:

表 2-19 64 位 PCI MEM 地址范围

参数名	值
ResourceUsage	ResourceProducer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	Cacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x0000000000000000
AddressMinimum	0x0000000080000000
AddressMaximum	0x000000EFCFFFFFFF
AddressTranslation	0x00000E0000000000
RangeLength	0x000000EF50000000
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	值为空
TranslationType	值为空

(2) PCIE 双主桥配置参考如下:

主桥一的配置:

- _SEG 为 0
- _CRS

使用 WordBusNumber() 宏声明 PCI 总线号范围，如表 2-20:

表 2-20 PCI 总线号范围

参数名	值
ResourceUsage	ResourceProducer
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Decode	PosDecode
AddressGranularity	0x0
AddressMinimum	0x0
AddressMaximum	0x00FF
AddressTranslation	0x0000
RangeLength	0x0100
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空

使用 QWordIO() 宏声明 PCI I/O 地址范围，如表 2-21:

表 2-21 PCI I/O 地址范围

参数名	值
ResourceUsage	ResourceProducer
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Decode	PosDecode
ISARanges	EntireRange
AddressGranularity	0x0000000000000000
AddressMinimum	0x0000000000000000
AddressMaximum	0x000000000000FFFF
AddressTranslation	0x0000000018000000
RangeLength	0x0000000000010000
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
TranslationType	值为空
TranslationDensity	值为空

使用 QWordMemory() 宏声明 32 位 PCI MEM 地址范围，如表 2-22:

表 2-22 32 位 PCI MEM 地址范围

参数名	值
-----	---

ResourceUsage	ResourceProducer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	Cacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x0000000000000000
AddressMinimum	0x0000000020000000
AddressMaximum	0x000000007FFFFFFF
AddressTranslation	0x00000E0000000000
RangeLength	0x0000000060000000
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	值为空
TranslationType	值为空

使用 QWordMemory() 宏声明 64 位 PCI MEM 地址范围，如表 2-23：

表 2-23 64 位 PCI MEM 地址范围

参数名	值
ResourceUsage	ResourceProducer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	Cacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x00000000
AddressMinimum	0x0000000080000000
AddressMaximum	0x000000EFCFFFFFFF
AddressTranslation	0x00000E0000000000
RangeLength	0x000000EF50000000
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	值为空
TranslationType	值为空

主桥二的配置：

- _SEG 为 1
- _CRS

使用 WordBusNumber() 宏声明 PCI 总线号范围，如表 2-24：

表 2-24 PCI 总线号范围

参数名	值
ResourceUsage	ResourceProducer
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Decode	PosDecode
AddressGranularity	0x0
AddressMinimum	0x0
AddressMaximum	0x00FF
AddressTranslation	0x0000
RangeLength	0x0100
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空

使用 QWordIO() 宏声明 PCI I/O 地址范围，如表 2-25：

表 2-25 PCI I/O 地址范围

参数名	值
ResourceUsage	ResourceProducer
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Decode	PosDecode
ISARanges	EntireRange
AddressGranularity	0x0000000000000000
AddressMinimum	0x0000000000000000
AddressMaximum	0x000000000000FFFF
AddressTranslation	0x00005EFDFC000000
RangeLength	0x0000000000010000
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
TranslationType	值为空

TranslationDensity	值为空
--------------------	-----

使用 QWordMemory() 宏声明 32 位 PCI MEM 地址范围，如表 2-26：

表 2-26 32 位 PCI MEM 地址范围

参数名	值
ResourceUsage	ResourceProducer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	Cacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x0000000000000000
AddressMinimum	0x0000000020000000
AddressMaximum	0x000000007FFFFFFF
AddressTranslation	0x0000YE0000000000，Y 代表当前 PCI 主桥连接的处理器节点的节点号
RangeLength	0x0000000060000000
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	值为空
TranslationType	值为空

使用 QWordMemory() 宏声明 64 位 PCI MEM 地址范围，如表 2-27：

表 2-27 64 位 PCI MEM 地址范围

参数名	值
ResourceUsage	ResourceProducer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	Cacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x0000000000000000
AddressMinimum	0x0000000080000000
AddressMaximum	0x000000EFCFFFFFFF
AddressTranslation	0x0000YE0000000000，Y 代表当前 PCI 主桥连接的处理器节点的节点号
RangeLength	0x000000EF50000000
ResourceSourceIndex	值为空
ResourceSource	值为空

DescriptorName	值为空
MemoryRangeType	值为空
TranslationType	值为空

2.3.2 设备电源管理

7A1000 系统支持 USB2.0 和 GMAC 唤醒系统，需要配置相应的_PRW。

2.3.2.1 USB

- _PRW (Power Resources for Wake)

表 2-28 package 对象参数表

参数名	值
EventInfo	设备号为 D4:F1 的 USB 控制器：值为 0xa 设备号为 D5:F1 的 USB 控制器：值为 0xd
DeepestSleepState	0x3

2.3.2.2 GMAC

- _PRW (Power Resources for Wake)

表 2-29 package 对象参数表

参数名	值
EventInfo	设备号为 D3:F0 的 GMAC 控制器：值为 0x5 设备号为 D3:F1 的 GMAC 控制器：值为 0x6
DeepestSleepState	0x3

2.3.3 系统休眠唤醒

表 2-30 SLP_TYP 规定

芯片组	休眠状态	SLP_TYP
7A1000	S0	0
	S3	5
	S4	6
	S5	7

2.3.4 串口配置

- _CRS

表 2-31 串口参数表

参数名	值
-----	---

ResourceUsage	ResourceConsumer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	NonCacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x0
AddressMinimum	龙芯 3A5000 处理器串口 0: 0x000000001FE01E0 龙芯 7A1000 芯片组串口 0: 0x0000000010080000
AddressMaximum	龙芯 3A5000 处理器串口 0: 0x000000001FE01E7 龙芯 7A1000 芯片组串口 0: 0x00000000100800FF
AddressTranslation	0x0
RangeLength	龙芯 3A5000 处理器串口 0: 0x0000000000000008 龙芯 7A1000 芯片组串口 0: 0x0000000000000100
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	AddressRangeMemory
TranslationType	TypeStatic

中断号资源使用 Interrupt() 宏声明，各个参数的规定如表 2-32:

表 2-32 Interrupt() 宏参数表

参数名	值
ResourceUsage	ResourceConsumer
EdgeLevel	Level
ActiveLevel	ActiveHigh
Shared	Shared
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
InterruptList	龙芯 3A5000 处理器串口 0: 26 龙芯 7A1000 芯片组串口: 72

● _DSD

表 2-33 支持属性表

属性名	值	说明
clock-frequency	3A5000 处理器串口: 10000000 7A1000 串口: 50000000	表示实际外接的串口时钟频率，单位为 Hz

2.3.5 GPIO 配置

- `_HID`
 - (1) 芯片组 GPIO 为 LOON0002, 处理器 GPIO 为 LOON0007。
- `_CRS`

表 2-34 QWordMemory() 宏参数表

参数名	值
ResourceUsage	ResourceConsumer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	NonCacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x0
AddressMinimum	芯片组 GPIO 值为: 0x00000000100E0000 处理器 GPIO 值为: 0x000000001FE00500
AddressMaximum	芯片组 GPIO 值为: 0x00000000100E0BFF 处理器 GPIO 值为: 0x000000001FE00517
AddressTranslation	0x0
RangeLength	芯片组 GPIO 值为: 0x0000000000000C00 处理器 GPIO 值为: 0x0000000000000018
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	AddressRangeMemory
TranslationType	TypeStatic

中断号资源使用 Interrupt() 宏声明, 各个参数的规定如表 2-35:

表 2-35 Interrupt() 宏参数表

参数名	值
ResourceUsage	ResourceConsumer
EdgeLevel	Level
ActiveLevel	ActiveHigh
Shared	Shared
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
InterruptList	芯片组 GPIO: 123、124、125、126、127

处理器 GPIO: 16、17、18、19、20、21、22、23

● `_DSD`

表 2-36 支持属性如表

属性名	值	说明
<code>conf_offset</code>	芯片组 GPIO 值为: 0x800 处理器 GPIO 值为: 0x0	寄存器起始地址相对基地址偏移
<code>out_offset</code>	芯片组 GPIO 值为: 0x900 处理器 GPIO 值为: 0x8	输出寄存器相对基地址偏移
<code>in_offset</code>	芯片组 GPIO 值为: 0xA00 处理器 GPIO 值为: 0xC	输入寄存器相对基地址偏移
<code>int_ctrl_offset</code>	芯片组 GPIO 值为: 0xB00 处理器 GPIO 值为: 0x10	中断控制寄存器相对基地址偏移
<code>gpio_base</code>	芯片组 GPIO 值为: 0x20 处理器 GPIO 值为: 0x0	GPIO 在内核中的起始编号
<code>ngpios</code>	芯片组 GPIO 值为: 57 处理器 GPIO 值为: 32	当前注册的 gpio 设备包含的 gpio pin 总数
<code>gsi_idx_map</code>	芯片组各 GPIO 与中断对应关系如下: GPIO[0]: 124 GPIO[1]: 125 GPIO[2]: 126 GPIO[3]: 127 GPIO[4-56]: 123 处理器各 GPIO 与中断对应关系如下: GPIO[24/16/8/0]: 16 GPIO[25/17/9/1]: 17 GPIO[26/18/10/2]: 18 GPIO[27/19/11/3]: 19 GPIO[28/20/12/4]: 20 GPIO[29/21/13/5]: 21 GPIO[30/22/14/6]: 22 GPIO[31/23/15/7]: 23	各 GPIO 与 InterruptList 对象中的中断号对应关系

2.3.6 I2C 配置

● `_HID`

(1) LOON0004。

● _UID

各 I2C 控制器与_UID 对应关系规定如表 2-37:

表 2-37 I2C 控制器与_UID 对应表

控制器	<u>_UID</u>
I2C 控制器 0	0
I2C 控制器 1	1
I2C 控制器 2	2
I2C 控制器 3	3
I2C 控制器 4	4
I2C 控制器 5	5

● _CRS

表 2-38 QWordMemory () 宏参数表

参数名	值
ResourceUsage	ResourceConsumer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	NonCacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x0
AddressMinimum	I2C 控制器值为: I2C 0: 0x0000000010090000 I2C 1: 0x0000000010090100 I2C 2: 0x0000000010090200 I2C 3: 0x0000000010090300 I2C 4: 0x0000000010090400 I2C 5: 0x0000000010090500
AddressMaximum	I2C 控制器值为: I2C 0: 0x0000000010090007 I2C 1: 0x0000000010090107 I2C 2: 0x0000000010090207 I2C 3: 0x0000000010090307 I2C 4: 0x0000000010090407 I2C 5: 0x0000000010090507
AddressTranslation	0x0
RangeLength	I2C 控制器值为: I2C 0: 0x0000000000000008 I2C 1: 0x0000000000000008

	I2C 2: 0x0000000000000008 I2C 3: 0x0000000000000008 I2C 4: 0x0000000000000008 I2C 5: 0x0000000000000008
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	AddressRangeMemory
TranslationType	TypeStatic

2.3.7 RTC 配置

- `_HID`
LOON0001。
- `_CRS`

表 2-39 QWordMemory() 宏参数表

参数名	值
ResourceUsage	ResourceConsumer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	NonCacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x0
AddressMinimum	0x00000000100d0100
AddressMaximum	0x00000000100d01FF
AddressTranslation	0x0
RangeLength	0x0000000000000100
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	AddressRangeMemory
TranslationType	TypeStatic

中断号资源使用 `Interrupt()` 宏声明，各个参数的规定如表 2-40:

表 2-40 Interrupt() 宏参数表

参数名	值
-----	---

ResourceUsage	ResourceConsumer
EdgeLevel	Level
ActiveLevel	ActiveHigh
Shared	Exclusive
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
InterruptList	116

2.3.8 PWM 配置

- `_HID`
(1) L00N0006。
- `_CRS`

表 2-41 QWordMemory() 宏参数表

参数名	值
ResourceUsage	ResourceConsumer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	NonCacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x0
AddressMinimum	PWM 0: 0x00000000100A0000 PWM 1: 0x00000000100A0100 PWM 2: 0x00000000100A0200 PWM 3: 0x00000000100A0300
AddressMaximum	PWM 0: 0x00000000100A000F PWM 1: 0x00000000100A010F PWM 2: 0x00000000100A020F PWM 3: 0x00000000100A030F
AddressTranslation	0x0
RangeLength	PWM 0: 0x0000000000000010 PWM 1: 0x0000000000000010 PWM 2: 0x0000000000000010 PWM 3: 0x0000000000000010
ResourceSourceIndex	值为空

ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	AddressRangeMemory
TranslationType	TypeStatic

中断号资源使用 Interrupt() 宏声明，各个参数的规定如表 2-42:

表 2-42 Interrupt() 宏参数表

参数名	值
ResourceUsage	ResourceConsumer
EdgeLevel	Level
ActiveLevel	ActiveHigh
Shared	Shared
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
InterruptList	PWM 0: 88 PWM 1: 89 PWM 2: 90 PWM 3: 91

2.3.9 温度传感器配置

- _HID

LOON0008。

- _CRS

表 2-43 QWordMemory() 宏参数表

参数名	值
ResourceUsage	ResourceConsumer
Decode	PosDecode
IsMinFixed	MinFixed
IsMaxFixed	MaxFixed
Cacheable	NonCacheable
ReadAndWrite	ReadWrite
AddressGranularity	0x0
AddressMinimum	0x000000001FE01460
AddressMaximum	0x000000001FE0147F
AddressTranslation	0x0
RangeLength	0x0000000000000020

ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
MemoryRangeType	AddressRangeMemory
TranslationType	TypeStatic

中断号资源使用 Interrupt() 宏声明, 各个参数的规定如表 2-44:

表 2-44 Interrupt() 宏参数表

参数名	值
ResourceUsage	ResourceConsumer
EdgeLevel	Level
ActiveLevel	ActiveHigh
Shared	Exclusive
ResourceSourceIndex	值为空
ResourceSource	值为空
DescriptorName	值为空
InterruptList	30

- _DSD

表 2-45 支持属性表

属性名	值	说明
adjust-frequency	对于笔记本平台配置 1, 其他为 0	0: 温度不影响处理器频率 1: 温度影响处理器频率

2.3.10 SE 设备

- _HID

(1) LOON0003。

- _CRS

中断号资源使用 Interrupt() 宏声明, 各个参数的规定如表 2-46:

表 2-46 Interrupt() 宏参数表

参数名	值
ResourceUsage	ResourceConsumer
EdgeLevel	Level
ActiveLevel	ActiveHigh
Shared	Exclusive
ResourceSourceIndex	值为空

ResourceSource	值为空
DescriptorName	值为空
InterruptList	33、36

2.4 FACS 配置

表 2-47 FACS 表约束

域	大小 (字节)	偏移 (字节)	描述
Signature	4	0	‘FACS’
Firmware Waking Vector	4	12	0
Global Lock	4	16	0
Flags	4	20	0
X Firmware Waking Vector	8	24	0
Version	1	32	1

2.5 S3 休眠地址

SADR，在 UEFI 固件中，对象数值为 0x800000001C062494，在 PMON 固件中，对象数值为 0x800000001C000500。

2.6 SRAT 配置

表 2-48 SRAT 表约束

域	大小 (字节)	偏移 (字节)	描述
Header			
Signature	4	0	‘SRAT’
Revision	1	8	2

表 2-49 Processor Local APIC/SAPIC Affinity 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	0，代表结构为 Processor Local APIC/SAPIC Affinity Structure。
Length	1	1	16
Proximity Domain [7:0]	1	2	处理器节点号的 0-7 位

APIC ID	1	3	处理器 Local APIC ID, 见 MADT 表
Flags	4	4	标志。 0 位: 0 表示该 Processor Local APIC/SAPIC Affinity Structure 不可用; 1 表示该 Processor Local APIC/SAPIC Affinity Structure 可用。 [31:1]位: 必须为 0
Local SAPIC EID	1	8	0
Proximity Domain [31:8]	3	9	处理器节点号的 8-31 位
Clock Domain	4	12	0

表 2-50 Memory Affinity 结构

域	大小 (字节)	偏移 (字节)	描述
Type	1	0	1, 代表结构为 Memory Affinity Structure
Length	1	1	40
Proximity Domain	4	2	内存范围所属的节点号
Reserved	2	6	保留
Base Address Low	4	8	内存范围地址的低 32 位
Base Address High	4	12	内存范围地址的高 32 位
Length Low	4	16	内存范围大小的低 32 位
Length High	4	20	内存范围大小的高 32 位
Reserved	4	24	保留
Flags	4	28	标志, 指示内存区域是否已启用并可以热插拔, 见表 8-24
Reserved	8	32	保留

表 2-51 内存热插拔标志

域	大小 (比特)	偏移 (比特)	描述
Enabled	1	0	0: 该 Memory Affinity Structure 不可用 1: 该 Memory Affinity Structure 可用
Hot Pluggable	1	1	0
NonVolatile	1	2	0
Reserved	29	3	0

2.7 MCFG 配置

如为双桥服务器设备（以桥 0 连接到 0 节点，桥 1 连接到 5 节点为例），必须提供下列 MCFG 表的配置。如表 2-52、2-53、2-54 所示。

表 2-52 MCFG 表约束

域	大小 (字节)	偏移 (字节)	描述
Header			
Signature	4	0	‘MCFG’
Revision	1	8	1
OEMID	6	10	‘LOONGS’
OEM Table ID	8	16	‘LOONGSON’
OEM Revision	4	24	1

表 2-53 Memory Mapped Enhanced Configuration Space Base Address Allocation
Structure[0]结构

域	大小 (字节)	偏移 (字节)	描述
Base Address	8	0	0x00000efe00000000
PCI Segment Group Number	2	8	0
Start Bus Number	1	10	0x00
End Bus Number	1	11	0xFF
Reserved	4	12	0

表 2-54 Memory Mapped Enhanced Configuration Space Base Address Allocation
Structure[1]结构

域	大小 (字节)	偏移 (字节)	描述
Base Address	8	0	0x00005efe00000000
PCI Segment Group Number	2	8	1
Start Bus Number	1	10	0x00
End Bus Number	1	11	0xFF
Reserved	4	12	0

2.8 SLIT 配置

表 2-55 SLIT 表约束

域	大小 (字节)	偏移 (字节)	描述
Header			
Signature	4	0	‘SLIT’
Number of System Localities	8	36	节点数。 单路：0x1； 双路：0x2； 四路：0x4； 八路：0x8； 十六路：0x10
Entry[Number of System Localities-1][Number of System Localities-1]	1		根据龙芯参考代码实现

2.9 SPCR 配置

表 2-56 SPCR 表约束

域	大小 (字节)	偏移 (字节)	描述
Signature	4	0	‘SPCR’
Interface Type	1	36	0
Reserved	3	37	0
Space ID	1	40	0
Bit Width	1	41	0
Bit Offset	1	42	0
Encoded Access Width	1	43	1
Address	8	44	0x000000001FE001E0
Interrupt Type	1	52	0
PCAT-compatible IRQ	1	53	0
Interrupt	4	54	0
Baud Rate	1	58	0
Parity	1	59	0
Stop Bits	1	60	0

Flow Control	1	61	0
Terminal Type	1	62	0
Language	1	63	0
PCI Device ID	2	64	0xFFFF
PCI Vendor ID	2	66	0xFFFF
PCI Bus	1	68	0
PCI Device	1	69	0
PCI Function	1	70	0
PCI Flags	4	71	0
PCI Segment	1	75	0
Reserved	4	76	0

龙芯中科技术股份有限公司企业标准

龙芯 CPU 内核开发规范

V1.2

龙芯中科技术股份有限公司

版本信息

版本信息	文档名	龙芯 CPU 内核开发规范
	版本号	V1.2
	创建人	系统研发部
版本历史		
序号	版本号	更新内容
1	V1.0	发布文档初始版本 V1.0 版。
2	V1.1	<ol style="list-style-type: none"> 1 增加对 ACPI 的相关功能支持。 2 修改 SMBIOS 表中字段的使用方法。 3 增加对扩展参数链表的使用。 4 修改了串口默认频率的设置方法。 5 删除了通过设备树配置 LPC 中断极性的支持。 6 中断系统增加对 GSI 及 irqdomain 的支持
3	V1.2	<ol style="list-style-type: none"> 1 增加了 ACPI 和固件两种复位方式的支持 2 更新了中断模型 3 增加了 MCFG 和 SLIT 支持 4 修改了多桥的支持方式 5 增加了独显+EC 的背光支持方法 6 新增了 GPIO 多中断配置约束 7 添加了 SE 设备支持 8 新添了 Thermal 设备支持 9 新添了 SPCR 支持

目 录

一、概述.....	1
1 适用范围.....	1
2 术语解释.....	1
二、固件参数入口获取规范.....	1
三、固件兼容性设计规范.....	1
四、ACPI 表使用规范	1
1.ACPI 表的获取	1
2.固件必须实现的 ACPI 表	2
3.固件可选择性支持的 ACPI 表	10
五、SMBIOS 表使用规范.....	11
1.SMBIOS 表的获取.....	11
2.SMBIOS 信息的获取.....	11
六、扩展参数使用规范.....	11
1.扩展参数地址的获取.....	11
2.扩展参数信息的获取.....	12
七、中断系统设计规范.....	13
1.中断域.....	13
2.中断域级联.....	13
3.GSI 中断映射	14
4.LPC 中断.....	14
5.ACPI 中断控制器枚举	14
八、DMA 配置	14
九、PCI 配置空间	15
十、其他约定.....	16
1.串口.....	16
2.集成网卡.....	16
3.RTC	16
4.复位.....	16
5.EC 调节背光.....	16
6.GPIO 多中断解析	17
7.SE 设备支持.....	17
8.Thermal 设备支持	17
9. 关闭背光.....	17

一、概述

1 适用范围

本文档是对龙芯平台 Linux 内核的固件接口、中断系统配置、DMA 管理、外设支持等的设计规范，适用于龙芯 LoongArch 架构的 3 号系列 CPU。

2 术语解释

ACPI: Advanced Configuration Power Interface, 高级配置及电源管理接口, 是一种计算机系统电源管理和配置的接口规范。

SMBIOS: System Management BIOS, 是主板或系统制造者以标准格式显示产品管理信息所需遵循的统一规范。

CPU: central processing unit, 中央处理器。本文中出现的“处理器”与“CPU”含义相同, 在特指单个核的场合, 描述为“CPU 核”或“处理器核”。

二、固件参数入口获取规范

按照《龙芯 CPU 固件与内核接口规范》V3.0 (以下简称传参规范 V3.0) 要求, 固件通过启动 cpu 核的 a2 寄存器向内核传递参数入口的 64 位虚拟地址, 内核通过 a2 寄存器获取参数入口地址, 并按照传参规范 V3.0 规定的数据结构格式获取具体的参数。

三、固件兼容性设计规范

内核根据固件传入参数中的标签 (signature), 区分固件版本信息。遵循传参规范 V3.0 的固件, 标签均带有“BPI”标识及版本号信息, 内核在解析传入参数前检测此标识及版本号信息, 并依据 BPI 版本号兼容不同版本的固件。

四、ACPI 表使用规范

1.ACPI 表的获取

按照传参规范 V3.0, 内核从传参数据结构中获取 UEFI 系统表。根据 UEFI 规范中描述的 ACPI 表的 GUID, 从 UEFI 的系统表中获取 RSDP, 并通过 RSDP, 按照 ACPI 规范获取所有依赖的 ACPI 表。

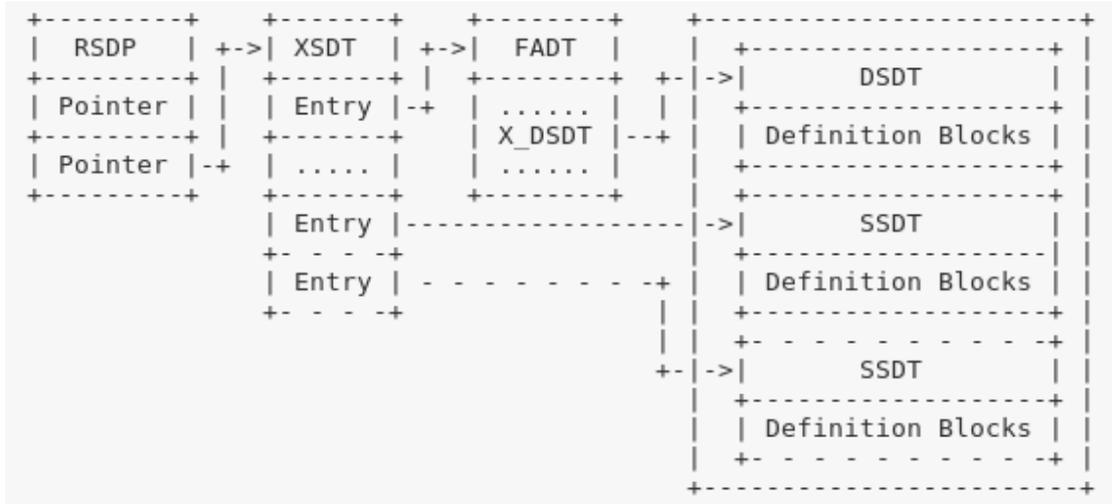


图 4-1 ACPI 表层级结构

2. 固件必须实现的 ACPI 表

本章节列出了内核强制要求固件实现的 ACPI 表，表项配置参见传参规范 V3.0。

2.1 RSDP

RSDP (Root System Description Pointer) 描述了 ACPI 表的根入口，内核通过 RSDP 获取 ACPI 表的 64 位物理地址数组入口(XSDT 表地址)。

RSDP 表说明如下：

表 4-1 RSDP 表结构

字段	描述
Signature	“RSD PTR”，7 个字符，包含一个空格符，用作内核 ACPI 模块寻址 RSDP 表的标识
Checksum	忽略
OEMID	OEM 标识，6 个字符
Revision	RSDP 结构版本号，为 2
RsdAddress	忽略
Length	表的总长度
XsdtAddress	XSDT 表的 64 位物理地址
Extended Checksum	忽略
Reserved	忽略

2.2 XSDT

XSDT (Extended System Description Table) 描述了 ACPI 表的 64 位物理地址数组入口，内核通过 XSDT 获取其他 ACPI 表的 64 位物理地址 (MADT、SRAT 地址)。

XSDT 表说明如下：

表 4-2 XSDT 表结构

字段	描述
Signature	“XSDT”，4 个字符，用作内核 ACPI 模块寻址 XSDT 表的标识

Length	表的总长度
Revision	1
Checksum	表的校验和，整表字节和为 0
OEMID	OEM 标识，6 个字符
OEM Table ID	OEM XSDT 表 ID
OEM Revision	OEM XSDT 表版本
Creator ID	忽略
Creator Revision	忽略
Entry	指向其他 ACPI 表数组的 64 位物理地址

2.3 MADT

MADT (Multiple APIC Description Table) 描述了多核启动信息，内核通过描述的信息，建立物理 CPU 和逻辑 CPU 的映射关系。

MADT 表说明如下：

表 4-3 MADT 表结构

字段	描述
Signature	“APIC”，4 个字符，用作内核 ACPI 模块寻址 MADT 表的标识
Length	表的总长度
Revision	1
Checksum	表的校验和，整表字节和为 0
OEMID	OEM 标识，6 个字符
OEM Table ID	OEM MADT 表 ID
OEM Revision	OEM MADT 表版本
Creator ID	忽略
Creator Revision	忽略
Local Interrupt Controller Address	处理器中断控制器寄存器基地址（物理地址）
Flags	忽略
Interrupt Controller Structure[n]	包含中断控制器结构列表，当 BPI 小于 1001 时，每一个 CPU 核需要一个 LAPIC 结构描述，LAPIC 结构包含了 CPU 核信息，IO APIC 描述了芯片组中断控制器信息。当 BPI 大于等于 1001 时，每一个 CPU 核需要一个 CORE PIC 结构描述，CORE PIC 结构包含了 CPU 核信息，LIO PIC 描述了处理器中断控制器信息，HT PIC 描述了 CPU 节点 HT 总线中断控制器信息，EIO PIC 描述了扩展 I/O 中断控制器信息，MSI PIC 描述了 PCI/PCIE 设备 MSI 中断控制器，BIO PIC 描述了桥片中断控制器信息，LPC PIC 描述了 LPC 低速设备中断控制器信息

LAPIC 结构说明如下：

表 4-4 LAPIC 结构

字段	描述
Type	0，表示 LAPIC 结构
Length	8

ACPI Processor UID	处理器核 UID，与 DSDT 处理器对象中的 _UID 值相同
APIC ID	LAPIC id，内核用作 CPU 核的物理 ID
Flags	1 表示使能 CPU 核，0 禁用 CPU 核，内核根据此标记建立 CPU 核物理 ID 与逻辑 ID 之间的对应关系。举例： 一个单处理器（包含 4 核）的系统：假设描述物理 ID 为 2 的 CPU 核 LAPIC 结构的 Flags 为 0，则当前 CPU 核不可用，无相应的逻辑 ID，CPU 核的物理 ID 与逻辑 ID 对应关系如下： 逻辑 ID 物理 ID 0 0 1 1 2 3

域	描述
Type	1，I/O APIC 结构
Length	12
I/O APIC ID	龙芯平台为 0
Reserved	0
I/O APIC Address	芯片组中断控制器的寄存器基地址
Global System Interrupt Base	GSI 起始值

CORE PIC 结构说明如下：

表 4-5 CORE PIC 结构

字段	描述
Type	0x11，表示 CORE PIC 结构
Length	15
ACPI Processor ID	处理器核 UID，与 DSDT 处理器对象中的 _UID 值相同
Physical Processor ID	CPU 物理核 ID，0xFFFFFFFF 表示无效值
Flags	1 表示使能 CPU 核，0 禁用 CPU 核，内核根据此标记建立 CPU 核物理 ID 与逻辑 ID 之间的对应关系。举例： 一个单处理器（包含 4 核）的系统：假设描述物理 ID 为 2 的 CPU 核 CORE PIC 结构的 Flags 为 0，则当前 CPU 核不可用，无相应的逻辑 ID，CPU 核的物理 ID 与逻辑 ID 对应关系如下： 逻辑 ID 物理 ID 0 0 1 1 2 3
Version	0 表示无效值，1 表示为 CORE PIC v1，其它值为保留

LIO PIC 结构说明如下：

表 4-6 LIO PIC 表结构

字段	描述
Type	0x12, 表示 LIO PIC 结构
Length	23
Base Address	LIO PIC 寄存器基地址
Size	LIO PIC 寄存器空间大小
Cascade Vector	[7:0]表示 Cascade Vector Mapping 中低 32 位向量所代表的中断向量路由到的 CORE PIC 中断向量 [15:8]表示 Cascade Vector Mapping 中高 32 位向量所代表的中断向量路由到的 CORE PIC 中断向量
Cascade Vector Mapping	表示 LIO PIC 中断向量, 结合 Cascade Vector 使用, 详见本表 Cascade Vector 字段描述
Version	0 表示无效值, 1 表示为 LIO PIC v1, 其它值为保留

HT PIC 结构说明如下:

表 4-7 HT PIC 表结构

字段	描述
Type	0x13, 表示 HT PIC 结构
Length	21
Base Address	表示 HT PIC 寄存器基地址
Size	HT PIC 寄存器空间大小
Cascade Vector	第 n 字节表示 $32*n \sim 31*(n+1)$ 的 HT PIC 中断向量路由到 LIO PIC 的中断向量
Version	0 表示无效值, 1 表示为 HT PIC v1, 其它值为保留

EIO PIC 结构说明如下:

表 4-8 EIO PIC 表结构

字段	描述
Type	0x14, 表示 EIO PIC 结构
Length	4
Cascade Vector	表示 EIO 中断向量路由到的 CORE PIC 的中断向量
Version	0 表示无效值, 1 表示为 EIO PIC v1, 其它值为保留

MSI PIC 结构说明如下:

表 4-9 MSI PIC 表结构

字段	描述
Type	0x15, MSI PIC 结构
Length	19
Message Address	表示 MSI 消息的目标物理地址
Start	表示 MSI 在 HT PIC 或 EIO PIC 的起始向量
Count	MSI 向量的个数
Version	0 表示无效值, 1 表示为 MSI PIC v1, 其它值为保留

BIO PIC 结构说明如下：

表 4-10 BIO PIC 表结构

字段	描述
Type	0x16, 表示 BIO PIC 结构
Length	17
Base Address	表示 BIO PIC 寄存器基地址
Size	BIO PIC 寄存器空间大小
Hardware ID	表示桥片连接的处理器节点号
GSI Base	表示 GSI 起始值
Version	0 表示无效值, 1 表示为 BIO PIC v1, 其它值为保留

LPC PIC 结构说明如下：

表 4-11 LPC PIC 表结构

域	描述
Type	0x17, 表示 LPC PIC 结构
Length	15
Base Address	表示 LPC PIC 寄存器基地址
Size	LPC PIC 寄存器空间大小
Cascade Vector	表示 LPC PIC 路由到 BIO PIC 的向量
Version	0 表示无效值, 1 表示为 LPC PIC v1, 其它值为保留

2.4 SRAT

SRAT (System Resource Affinity Table) 描述了 CPU、MEMORY 的亲和信息，内核通过亲和信息以及扩展配置中的系统内存映射信息，建立 NUMA 拓扑关系。

SRAT 表说明如下：

表 4-12 SRAT 表结构

字段	描述
Signature	“SRAT”，4 个字符，用作内核 ACPI 模块寻址 MADT 表的标识
Length	表的总长度
Revision	2
Checksum	表的校验和，使得整表字节和为 0
OEMID	OEM 标识，6 个字符
OEM Table ID	OEM MADT 表 ID
OEM Revision	OEM MADT 表版本
Creator ID	忽略
Creator Revision	忽略
Reserved1	1
Reserved2	忽略
Static Resource Allocation Structure[n]	亲和信息结构列表，包含了处理器与内存的亲和信息，内核根据这两种信息的 Proximity Domain，建立内存信息和处理器信息在同一节点的亲和关系，并据此初始化 NUMA 系统中相应表示亲和关系的数据结构

处理器亲和信息说明如下：

表 4-13 处理器亲和性结构

字段	描述
Type	0,表示处理器亲和信息
Length	16 字节
Proximity Domain [7:0]	处理器所属节点号的 0-7 位，内核根据 Proximity Domain 建立内存信息和处理器信息在同一节点的亲和关系
APIC ID	处理器的 APIC ID，与 MADT 表 LAPIC 结构中 APIC ID 一致
Flags	0 表示无效，1 表示有效
Local SAPIC EID	忽略
Proximity Domain [31:8]	处理器所属节点号的 8-31 位，内核根据 Proximity Domain 建立内存信息和处理器信息在同一节点的亲和关系
Clock Domain	忽略

内存亲和信息说明如下：

表 4-14 内存亲和性结构

字段	描述
Type	1,表示内存亲和信息
Length	40 字节
Proximity Domain	内存所属节点号，内核根据 Proximity Domain 建立内存信息和处理器信息在同一节点的亲和关系
Reserved	忽略
Base Address Low	内存范围基地址低 32 位
Base Address High	内存范围基地址高 32 位
Length Low	内存范围长度低 32 位
Length High	内存范围长度高 32 位
Reserved	忽略
Flags	0 表示无效，1 表示有效
Reserved	忽略

2.5 DSDT

DSDT (Differentiated System Description Table) 用来描述主板设计差异化信息，内核中 ACPI 框架对于标准的 DSDT，均有相应的处理，本章节仅描述龙芯平台特别规定部分。

(1) 处理器配置和控制

龙芯平台支持睿频和普频两种调频模式，内核需要支持_PSS 的睿频和普频频率表解析处理，频率表的定义详见传参规范 V3.0 第 8.6.7 章节。

(2) PCI 中断路由

对于 7A1000 多功能设备，均有独立的中断号，根据 ACPI 表中_PRT 的规定，每个功能使用独立中断号时应具有不同的 pin，内核在查找_PRT 表前，需要对多功能设备的 pin 进行修正，修正公式：

$$\text{pin} = 1 + (\text{功能号} \& 3);$$

(3) 笔记本热键处理

龙芯平台通过在 DSDT 中配置热键映射表及相应的通知方法，实现不同厂商对热键的差

异化设计，内核需要解析 DSDT 中的热键映射表，并处理相应的热键事件，热键映射及通知处理详见传参规范 V3.0 第 8.6.9 章节。

(4) 串口配置

内核支持解析串口的 _HID、_CRS、_DSD 相关对象及方法，并完成资源注册，具体规定详见传参规范 V3.0 第 8.6.11 章节。

支持 _DSD 属性：

表 4-15 串口 DSD 属性

属性名	说明
clock-frequency	串口时钟频率

(5) GPIO 配置

内核支持解析 GPIO 的 _HID、_CRS、_DSD 相关对象及方法，并完成资源注册，具体规定详见传参规范 V3.0 第 8.6.12 章节。

表 4-16 GPIO DSD 属性

支持 _DSD 属性：属性名	说明
conf_offset	寄存器基地址偏移
out_offset	输出寄存器偏移
in_offset	输入寄存器偏移
gpio_base	GPIO 起始编号
ngpios	当前注册的 gpio 设备包含的 gpio pin 总数

(6) I2C 配置

内核支持解析 I2C 的 _HID、_CRS、_DSD 相关对象及方法，并完成资源注册，具体规定详见传参规范 V3.0 第 8.6.13 章节。

支持通过 _UID 注册 I2C 总线号。

(7) GPIO 模拟 I2C 配置

内核支持解析 GPIO 模拟 I2C 的 _HID、_CRS、_DSD 相关对象及方法，并完成资源注册，具体规定详见传参规范 V3.0 第 8.6.14 章节。

支持通过 _UID 注册 I2C 总线号。

支持 _DSD 属性：

表 4-17 GPIO 模拟 I2C DSD 属性

属性名	说明
sda-gpio	SDA 信号线使用的 GPIO 管脚
scl-gpio	SCL 信号线使用的 GPIO 管脚
delay-us	总线传输时钟周期
timeout-ms	一次总线数据传输允许最大超时时间

(8) PWM 配置

内核支持解析 PWM 的 _HID、_UID、_CRS 相关对象及方法，并完成资源注册，具体规定详见传参规范 V3.0 第 8.6.16 章节。

(9) 热区管理

龙芯平台支持通过热区温度变化调节热量等级，用于改变处理器频率的可调节范围，内核对热量等级初始化不应依赖调频驱动的加载。

(10) PCI 总线枚举

内核需要获取固件传入的主桥总线号、IO、memory 等资源，检测合理性，并分配给桥下设备。相关对象及 PCI 资源定义详见传参规范 V3.0 第 8.6.1 章节。

2.6 MCFG

MCFG (PCI Express Memory-mapped Configuration Space base address description table) 描述了每个 PCI 域对应的配置空间的基地址。在硬件中仅存在单个 PCI 域时，该表在固件中可选择性支持，内核在检测不到 MCFG 表的情况下会选择使用默认值作为 PCI 配置空间基地址。当硬件中存在多个 PCI 域时，固件必须支持该表。

MCFG 表说明如下：

表 4-18 MCFG 表结构

字段	描述
Signature	“MCFG”，4 个字符，用作内核 ACPI 模块寻址 MCFG 表的标识
Length	表的总长度
Revision	1
Checksum	表的校验和，整表字节和为 0
OEMID	OEM 标识，6 个字符
OEM Table ID	忽略
OEM Revision	OEM MCFG 表版本
Reserved	忽略

MCFG 表中对每个 PCI 域的描述说明如下：

表 4-19 MCFG PCI 域描述结构

字段	描述
Base Address	PCI 域的配置空间基地址
Segment Group Number	PCI 域的域号
Start Bus Number	该 PCI 域的起始 Bus 号
End Bus Number	该 PCI 域支持的最大的 Bus 号
Reserved	忽略

2.7 SPCR

SPCR (Serial Port Console Redirection Table) 描述了 earlycon 使用的串口配置。

SPCR 表部分说明如下：

表 4-20 SPCR 表部分结构

字段	描述
Signature	“SPCR”，4 个字符，用作内核 ACPI 模块寻址 SPCR 表的标识
Length	表的总长度
Revision	1
Checksum	表的校验和，整表字节和为 0
OEMID	OEM 标识，6 个字符
OEM Table ID	忽略
OEM Revision	OEM SPCR 表版本

Reserved	忽略
Interface Type	接口类型
Space ID	地址空间类型
Encoded Access Width	访问带宽编码
Address	基地址
Baud Rate	波特率

3.固件可选择性支持的 ACPI 表

本章节列出了内核非强制要求固件实现的 ACPI 表，固件可选择性的进行支持。表项配置参见传参规范 V3.1。

3.1 SLIT

SLIT 是一个向内核提供系统中不同节点之间相对距离信息的可选表。当固件没有实现该表时，内核使用默认的节点间距离。

SLIT 内容定义如下：

表 4-21 SLIT 表结构

字段	描述
Signature	“SLIT”，4 个字符，用作内核 ACPI 模块寻址 SLIT 表的标识
Length	表的长度
Revision	1
Checksum	表的校验和，使得整表字节和为 0
OEMID	OEM 标识，6 个字符
OEM Table ID	OEM SLIT 表 ID
OEM Revision	OEM SLIT 表版本
Creator ID	忽略
Creator Revision	忽略
Reserved1	1
Reserved2	忽略
Number of System Localities	系统内节点数量
Entry[i][j]	节点间距离的具体值。i、j 为访问索引取值区间为[0, Number of System Localities -1]。i、j 代表的索引具体值对应于 SRAT 表内 Proximity Domain，可通过_PXM 方法在 NameSpace 内返回该值。Entry[i][j]排列与 C 语言中二维数组一致，从 Number of System Localities 项之下按先行后列排列，如 [0][0],[0][1],[0][2]....[0,max-1],[1][0],[1][1]....[1][max-1]..[max-1][max-1]。

五、SMBIOS 表使用规范

1.SMBIOS 表的获取

按照传参规范 V3.0，内核从传参数据结构中获取 UEFI 系统表。根据 UEFI 规范中描述的 SMBIOS 表 GUID，从 UEFI 的系统表中获取 SMBIOS 表。

2.SMBIOS 信息的获取

SMBIOS (System Management BIOS) 描述了主板管理信息。内核通过 SMBIOS 获取主板信息，包括主板名称、产品名称、CPU 运行频率以及单个物理 CPU 包含的核心数等。

主要参数说明如下：

表 5-21 内核依赖的 SMBIOS 参数

字段	描述
主板名称	对应 SMBIOS 规范的 Baseboard (or Module) Information (Type 2) structure 表的 Product 字段，内核用作主板名称
产品名称	对应 SMBIOS 规范的 System Information (Type 1) structure 表的 Product Name 字段，内核用于标识使用 7A1000 芯片组的产品
CPU 运行频率	对应 SMBIOS 规范的 Processor Information (Type 4) structure 表的 Current Speed 字段，内核用于记录 CPU 的运行频率
单个物理 CPU 包含的核心数	对应 SMBIOS 规范的 Processor Information (Type 4) structure 表的 Core Count 字段，内核用于记录单个物理 CPU 封装包含的 CPU 核数

六、扩展参数使用规范

1.扩展参数地址的获取

按照传参规范 V3.0，扩展参数信息以链表形式组织，内核从传参数据结构 bootparamsinterface 中获取扩展参数链表地址 extlist。

bootparamsinterface 定义如下：

```
struct bootparamsinterface {
    u64      signature;      /*{"B", "P", "I", "_", "0", "_", "1"}*/
    void     *systemtable;
```

```
        struct _extention_list_hdr    *extlist;  
    }__attribute__((packed));
```

extlist 定义如下:

```
struct _extention_list_hdr {  
    u64    signature;  
    u32    length;  
    u8     revision;  
    u8     checksum;  
    struct _extention_list_hdr *next;  
}__attribute__((packed));
```

2.扩展参数信息的获取

扩展参数信息包括系统必须的系统内存映射信息、芯片组集显固件信息、显卡的 framebuffer 信息。

内存映射信息定义如下:

```
struct loongsonlist_mem_map {  
    struct _extention_list_hdr header;    /*{"M", "E", "M"}*/  
    u8    map_count;  
    struct _loongson_mem_map {  
        u32 mem_type;  
        u64 mem_start;  
        u64 mem_size;  
    }__attribute__((packed))map[LOONGSON3_BOOT_MEM_MAP_MAX];  
}__attribute__((packed));
```

内核遍历扩展参数链表, 根据 header 中的“MEM”标签, 匹配内存映射信息, 并获取内存映射数组, 用于系统内存的初始化。

桥片集显固件信息定义如下:

```
struct loongsonlist_vbios {  
    struct _extention_list_hdr header;    /* {VBIOS} */  
    u64    vbios_addr;  
}__attribute__((packed));
```

内核遍历扩展参数链表, 根据 header 中的“VBIOS”标签, 匹配桥片集显固件信息, 并获取固件信息虚拟地址, 传递给集显驱动。

显卡的 framebuffer 信息, 包括显存基地址和显存分辨率等, 定义如下:

```
typedef struct {  
    EXT_LIST Header;  
    UINT64 SinfoAddr;  
}SINFO;
```

内核遍历扩展参数链表，根据 header 中的“SINFO”标签，获取并解析 SINFO 结构。

OEM 厂商可根据需求在扩展参数链表中增加自定义信息，并在内核中实现相应的解析功能。

七、中断系统设计规范

龙芯平台中断系统采用了基于中断域（irqdomain）的中断管理方案，路由及中断分配规定参见相应处理器、芯片组固件开发规范，内核启动过程中根据处理器对中断支持情况，采用相应的级联路径。

1. 中断域

3A/B+7A1000 中断系统需要实现以下 7 种中断域，各中断域描述如下：

irq-loongarch-cpu: 处理器核中断域，管理 IPx 中断向量

irq-loongson-liointc: 处理器 I/O 中断控制器中断域，管理处理器 I/O 控制器中断向量

irq-loongson-extioi: 处理器扩展 I/O 中断控制器中断域，管理处理器扩展 I/O 中断向量

irq-loongson-pch-pic: 芯片组 I/O 中断控制器中断域，管理芯片组 I/O 中断控制器的中断向量

irq-loongson-pch-lpc: LPC/ISA 中断控制器中断域，管理外扩 LPC 设备中断

irq-loongson-pch-msi: MSI 中断域，管理 PCI/PCIE 的 MSI/MSIX 中断

2. 中断域级联

内核需要支持以下级联路径，在中断域初始化过程中，根据 CPU 支持情况和配置确定相应的级联关系。

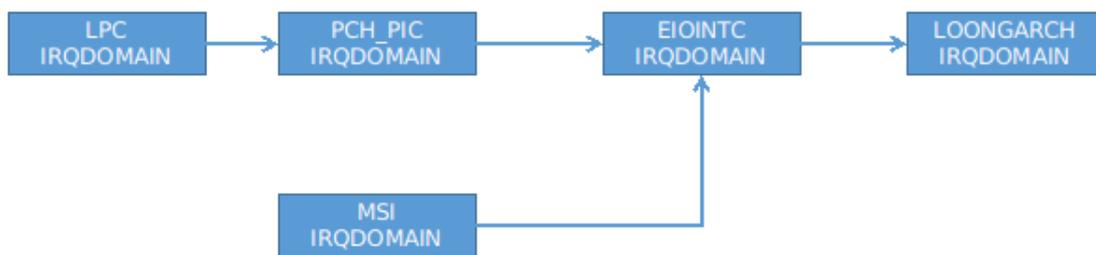


图 7-2 中断级联

(1) MSI 中断级联

处理器支持 HT 转发，支持扩展 I/O 中断

irq-loongson-pch-msi ->irq-loongson-extioi ->irq-loongarch-cpu

(2) pch 中断级联

处理器支持 HT 转发，支持扩展 I/O 中断

irq-loongson-pch-pic ->irq-loongson-extioi ->irq-loongarch-cpu

第三种级联路径：内核通过配置使用中断线转发

irq-loongson-pch-pic ->irq-loongson-liointc ->irq-loongarch-cpu

(3) lpc 中断级联

处理器支持 HT 转发，支持扩展 I/O 中断

```
irq-loongson-pch-lpc->irq-loongson-pch-pic                ->irq-loongson-extioi  
->irq-loongarch-cpu
```

3.GSI 中断映射

内核需要根据固件传入的 GSI 中断以及 GSI 中断分配规定（参见芯片组固件开发规范），在相应的中断域中完成 GSI 中断与内核虚拟中断的映射，GSI 中断号与中断域的对应关系如下：

```
0-15: irq-loongson-pch-lpc  
16-47: irq-loongson-liointc  
50-63: irq-loongarch-cpu  
64-127: irq-loongson-pch-pic  
128-319: irq-loongson-pch-msi
```

4.LPC 中断

4.1 固件配置 LPC 中断电平极性

内核不对中断触发电平（高/低电平）进行配置，交由固件根据外接不同的 LPC 设备配置成高电平或低电平有效并设置 LPC 控制器中断使能。

4.2 休眠唤醒处理

系统执行休眠唤醒操作时，LPC 控制器的状态保存和恢复需要在内核中执行。

5.ACPI 中断控制器枚举

当 BPI 大于等于 1001 时，内核通过 IRQCHIP_ACPI_DECLARE 定义中断控制器的初始化函数枚举中断控制器，解析 MADT 表中相应中断控制器描述，并完成相应中断域的初始化，否则，内核执行默认的中断控制器初始化流程。

八、DMA 配置

对于 7A1000 芯片组，内核中 DMA 地址和物理地址一般情况下采用 1: 1 的转换关系，考虑到有些设备不支持超过 44 位的 DMA 地址，固件需要调整芯片组的 DMA 路由配置以适应此类设备。内核需要读取“HT 时钟使能与 DMA 路由配置”寄存器，获取 dma_node_id_offse(bit12~bit8)位的值。根据此值计算节点号存放的位置。示例代码如下：

```
static dma_addr_t loongson_ls7a_phys_to_dma(struct device *dev, phys_addr_t  
paddr)  
{
```

```
#ifdef CONFIG_PHYS48_TO_HT40
    long nid;
    /* We extract 2bit node id (bit 44~47, only bit 44~45 used now) from
     * Loongson3's 48bit address space and embed it into 40bit */
    nid = (paddr >> 44) & 0x3;
    paddr = ((nid << 44) ^ paddr) | (nid << (36 + node_id_offset));
#endif
    return paddr;
}

static phys_addr_t loongson_ls7a_dma_to_phys(struct device *dev, dma_addr_t
daddr)
{
#ifdef CONFIG_PHYS48_TO_HT40
    long nid;
    nid = (daddr >> (36 + node_id_offset)) & 0x3;
    daddr = ((nid << (36 + node_id_offset)) ^ daddr) | (nid << 44);
#endif
    return daddr;
}

node_id_offset = (*(volatile u32 *)NODE_ID_OFFSET_ADDR >> 8) & 0x1F;
NODE_ID_OFFSET_ADDR 为“HT 时钟使能与 DMA 路由配置”寄存器地址。
```

九、PCI 配置空间

内核根据固件传递的 PCI 主桥资源，按照标准流程进行 PCI 设备枚举，并分配资源，通过标准的分配机制，为支持 32 位地址和 64 位地址的设备分别分配 32 位 PCI MEM 空间和 64 位 PCI MEM 空间（关于 PCI I/O 和 PCI EXT I/O 空间的定义，参见相应处理器、芯片组固件开发规范）。通过标准的 PCI quirk 机制，在枚举的 pci_fixup_early 阶段，对描述主桥资源范围的地址（struct pci_bus 的 resources 结构）进行修正，将地址中包含的 PCI 主桥连接的处理器节点的节点号信息清除，为不同 PCI 域中的设备分配相同资源范围内的资源；在枚举的 pci_fixup_final 阶段，对描述 PCI 设备结构中的资源地址（struct pci_dev 的 resource 结构）进行修正，增加 0xYE 00 0000 0000 的偏移，Y 表示 PCI 主桥连接的处理器节点的节点号，从相应 PCI 域的配置空间基地址中获取到。

十、其他约定

1.串口

当适配芯片组为 7A1000 时,除了 CPU 的 UART0 作为调试串口外,内核默认支持 7A1000 芯片组上集成的 UART0 作为全功能串口。

2.集成网卡

2.1 集成网卡 MAC 地址获取

内核运行前,固件将 MAC 地址存储在“MAC Address0 High Register”和“MAC Address0 Low Register”寄存器中。内核驱动获取这两个寄存器中的值作为 MAC 地址,如果值非法,则从 7A1000 外接的 SPIFLASH 读取。如果 SPIFLASH 中存储 MAC 地址也为非法值,则使用软件生成的随机值作为 MAC 地址。

3.RTC

3.1 RTC 设计规范

当芯片组为 7A1000 时,内核只支持 7A1000 集成 RTC 控制器,不支持外接 RTC 控制器。

4.复位

复位时,内核优先选择 ACPI 的复位方式。如果 FADT 中 Flags 域的 Reset Register Supported 位置 0 时,内核执行 ACPI 复位失败,通过固件方式复位。

5.EC 调节背光

为了解决龙芯笔记本电脑适配独立显卡时的背光调节问题,在内核中添加了对通过 EC 控制背光功能的支持。

该功能由内核注册背光设备 loongson_laptop。系统初始化时,内核会尝试从固件传入的 DSDT 表中查找 ECLL 方法,如果找到并可以正确返回,既注册背光设备 loongson_laptop,并最终借助固件传入的 DSDT 表中 EC 设备下 HOTKEY 节点中的 ECBS、ECBG、ECSL、ECLL 方法,实现了对 EC 上控制背光的寄存器读写,从而实现对背光亮度的调节。

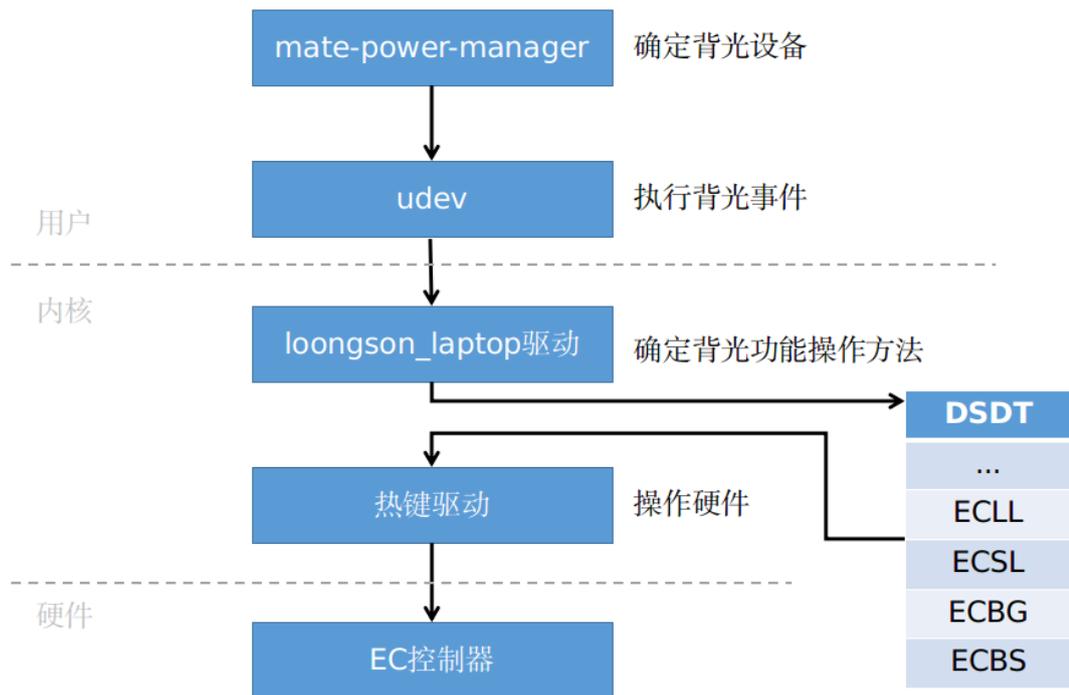


图 10-3 EC 控制背光流程示意图

6.GPIO 多中断解析

内核通过 ACPI 标准流程解析 DSDT 表中 GPIO 设备描述，并注册该设备。解析得到该设备所有的 GSI 资源以及 `gsi_idx_map` 设备属性，并为所有的 GSI 申请中断号。内核将 `gsi_idx_map` 中的 GPIO 和 GSI 的映射关系，转化为 GPIO 和中断号的映射关系。如果获取 `gsi_idx_map` 失败，内核执行原有单中断解析流程。

7.SE 设备支持

内核优先通过 ACPI 的标准流程解析 DSDT 表中 SE 设备描述，并注册该设备。如果 DSDT 表中未添加该设备的描述，内核将以 Platform 形式注册该设备。SE 设备驱动支持 ACPI 和 Platform 两种加载方式。

8.Thermal 设备支持

内核通过 ACPI 的标准流程解析 DSDT 表中 Thermal 设备描述，并注册该设备。Thermal 设备驱动通过 ACPI 方式加载。

9. 关闭背光

为了解决龙芯笔记本电脑适配独立显卡时的背光调节问题，在内核中添加了开启/关闭

背光功能的支持。

当系统下发开关背光事件后，内核尝试将从固件传入的 DSDT 表中寻找全局方法 BLSW，如果发现即由该方法定义的实际操作完成背光开关动作，且不论是否执行成功，内核总是会将该次请求继续发送至标准流程。如需使用该功能，需要在 DSDT 中传入 BLSW 相关实现。

龙芯中科技术股份有限公司企业标准

龙芯 7A1000 内置显卡软硬件设计规范
V1.0

龙芯中科技术股份有限公司

版本信息

版本信息	文档名	龙芯 7A1000 内置显卡软硬件设计规范
	版本号	V1.0
	创建人	系统研发部
版本历史		
序号	版本号	更新内容
1	V0.1	发布文档初始版本 V0.1 版。
2	V0.2	1. 调整编码器连接方案； 2. 增加关于热插拔方案的说明。
3	V1.0	1. 更改显示设备名称为“内置显卡”； 2. 本规范适用于龙芯 7A1000 桥片，更改文档名称； 3. 第 4 节改为“显示类型和模式”，并完善信号转换、多分辨率支持情况的描述； 4. 完善热插拔的轮询和中断相关描述； 5. 删除 4.1 节单显示器方案相关描述； 6. 更正并完善 DDC 和 EDID 获取相关描述； 7. 更新第 5 节 vbios 存储约定的说明； 8. 删除第六节，编码器芯片的选型。

目 录

1. 范围	1
2. 术语与定义	1
3. 架构关系	1
4. 显示类型和模式	2
4.1 多屏显示方案	2
4.2 DDC 通道硬件连接方案	4
4.3 获取 EDID	4
4.4 热插拔探测	4
4.5 背光控制	5
5. VBIOS 存储约定	5

前 言

本规范是龙芯中科技术股份有限公司制定的企业规范，暂无国家相关行业通用规范可参考。

本规范涉及到龙芯 7A1000 桥片内置显卡，主要介绍龙芯板卡内置显卡固件与硬件之间，固件和内核接口之间的功能划分及相关硬件布线约定。

龙芯 7A1000 内置显卡软硬件设计规范

1. 范围

本规范规定龙芯 7A1000 内置显卡的硬件设计要求，VBIOS 固件的存放位置等。本规范适用于龙芯 7A1000 桥片主板。建议其它系统厂商遵循此规范开发相关产品。

2. 术语与定义

本规范所用术语定义如下：

- a. 固件：Firmware，写入 ROM、EPROM 等非易失存储器中的程序，负责控制和协调集成电路。
- b. BIOS：基本输入输出系统，Basic Input Output System，一组固化到主板上一个 ROM 芯片上的程序，它保存着计算机基本输入输出程序、系统设置信息、开机后自检程序和系统自启动程序。BIOS 与硬件系统集成在一起，也被称为固件，本规范中固件和 BIOS 不做区分。
- c. UEFI：统一的可扩展固定接口，Unified Extensible Firmware Interface，是 Intel 为全新类型的 PC 固件的体系结构、接口和服务提出的建议标准。主要目的是提供在 OS 加载之前在所有平台上一致、正确指定的启动服务，被看做是有近 20 多年历史的 PC BIOS 的继任者。
- d. PMON：MIPS 架构机器上使用的一种兼有 BIOS 和 boot loader 部分功能的开放源码软件。
- e. VBIOS (Video BIOS)：VBIOS 是显卡的 BIOS，VBIOS 提供一些和显示相关的功能，并存放显示芯片与驱动程序之间的控制程序，另外还存放有显示卡型号、规格、生产厂家、出厂时间等信息。
- f. PCI (Peripheral Component Interconnect)：是连接电子计算机主板和外部设备的总线标准，用于定义局部总线的标准。此标准允许在计算机内安装多达 10 个遵从 PCI 标准的扩展卡。
- g. Encoder：信号编码器，用于将 DVO 信号转换为其他的显示信号，如模拟信号、LVTM 或 TMDS 等显示信号。
- h. Crtc：显示控制器，显示控制器把数据从显存中将要显示数据取出来，然后对这些数据做一定的处理送到显示屏。
- i. Connector：显示接口连接器，指显示接口硬件，例如 VGA 连接器，HDMI 连接器等。

3. 架构关系

龙芯 7A1000 桥片中集成显示控制器和 GPU，龙芯 7A1000 显示驱动包括内核驱动和 VBIOS 固件，由内核驱动和 VBIOS 固件共同控制龙芯显示控制器和 GPU，实现显示，背光调节，渲染等功能。VBIOS 固件需要使用 VBIOS 生成工具生成，并存放固定位置(详见第 5 章)，VBIOS 生成工具的使用详见《龙芯 VBIOS1.0 生成工具使用手册》，龙芯 7A1000 内置显卡驱动初始化设备时，从 VBIOS 固件中解析硬件信息，配置，代码等内容。内置显卡内核驱动与 VBIOS 固件层次关系如图 3-1 所示：

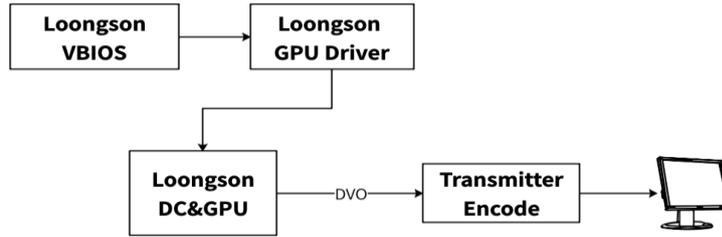


图 3-1 显示驱动，固件与显示硬件的关系

4. 显示类型和模式

龙芯 7A1000 桥片中集成的显示控制器包含两路 DVO 端口，通过连接外置的编码芯片(Encoder)可实现模拟或者数字信号输出。当前操作系统内核中已集成 LT8618、IT66121、MS7210 三款 HDMI 转换芯片的驱动，正常使用时需由 VBIOS 配合，实现点亮显示器和待机唤醒等功能。

龙芯 7A1000 桥片内置显卡支持的显示模式，如表 4-1 所示。

表 4-1 显示模式支持情况

显示类型	描述
CRT	支持模拟信号显示器(VGA)，通过 DVO 端口连接额外的转换芯片来支持。
显示面板	支持 TMDS(DVI,HDMI)和 LVDS 兼容显示面板，通过 DVO 端口连接额外的转换芯片来支持。

龙芯 7A1000 显示控制器支持多种分辨率，每路显示最大支持 1920x1080@60Hz，支持 RGB565，ARGB8888 两种色深，龙芯显示控制器要求水平分辨满足 256 字节对齐，对齐计算方法：水平宽度×色深/8，计算后得到整数则表示对齐，否则表示不对齐，以 1152x864 分辨率 16 位色深为例， $1152*16/8/256=9$ ，1152x864 分辨率是可以正常显示的，在 RGB565 色深模式下，由于多种分辨率无法满足对齐要求，多屏模式下可能出现显示异常，常用分辨率支持情况见表 4-2。

表 4-2 分辨率支持表

分辨率	RGB565	ARGB8888
800x600	不支持	不支持
1024x768	支持	支持
1152x864	支持	支持
1680x1050	不支持	不支持
1280x1024	支持	支持
1600x1200	不支持	支持
1920x1080	支持	支持

4.1 多屏显示方案

龙芯 7A1000 显示驱动支持单路和两路同时显示，其中两路显示支持几种不同的模式，支持的情况如表 4-3 所示。

表 4-3 多屏支持情况

显示配置模式	描述	支持情况
Single	支持单独一个显示器	支持
Twin	支持两个显示器，以相同分辨率和时序，显示相同画面，	支持
Clone	支持两个显示器，以不同分辨率和时序，显示相同的画面	不支持
Extended	支持两个显示器，以左右或上下扩展的形式显示完整画面	支持

龙芯 7A1000 显示驱动支持多种硬件链接方案。

方案 A: 硬件上选用一款多通道输出视频编解码转换芯片 (Encoder) 来实现多屏镜像 (Twin) 显示, 如图 4-1 所示。注意: 该方案只能支持镜像模式的双屏显示。

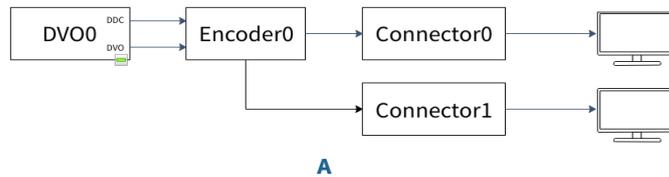


图 4-1 镜像双屏显示硬件链接方案

方案 B: 实现两路独立的双屏显示, 需要同时使用两路显示控制器分别连接相应的视频编解码转换芯片 (Encoder) 芯片。如图 4-2, 实现多屏扩展 (Extended) 和多屏镜像 (Twin) 功能。支持单屏-多屏切换, 多屏-单屏切换和多屏不同模式间的切换。

方案 C: 两路独立的双屏显示, 支持显示控制器 (Crtc) 和视频编解码转换芯片 (Encoder) 之间支持交叉连接, 如图 4-2 中, 采用这种方案时 7A1000 显示控制器在硬件设计时需要注意, 同一个显示控制器的 DVO 显示通道和 DDC 通道必须同时连接到一个视频编解码转换芯片 (Encoder)。

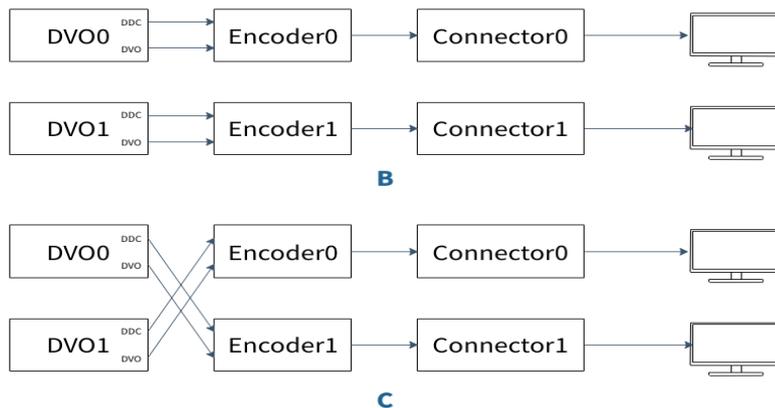


图 4-2 独立双屏显示硬件连接方案

针对方案 B 和方案 C, 显示控制器 (Crtc) 和视频编解码转换芯片 (Encoder) 之间的连接关系, 需要通过 VBIOS 生成工具进行相应的配置, 仅在硬件布线正确连接, 并且在 VBIOS 中正确配置连接关系后才能正常显示, 同时显示接口能获取正确的 EDID 信息, 才能实现正常的显示器的拔插检测功能。

4.2 DDC 通道硬件连接方案

龙芯 7A1000 桥片对每个显示通路的 DDC 连接方案做了具体规定。龙芯 7A1000 内置显卡支持三种 DDC 通道的连接方案。

方案 A: 使用不需要配置的 Encoder 芯片, 则 DV00_SCL 和 DV00_SDA 经过电平转换后直接连接显示接口, 硬件连接方案如图 4-3 所示;

方案 B: 使用需要配置(非透明)的 Encoder 芯片, 则 DV00_SCL 和 DV00_SDA 需要同时作为 Encoder 芯片的配置通道和 EDID 读取通道使用, 硬件连接方案如图 4-4 所示;

方案 C: 使用需要配置(非透明)的视频编解码转换芯片(Encoder), 且视频编解码转换芯片(Encoder)支持 EDID 的读取功能, 则只需要将 DV00_SCL 和 DV00_SDA 作为视频编解码转换芯片(Encoder)的配置通道, 通过向视频编解码转换芯片(Encoder)发送命令来读取 EDID 信息, 如图 4-5 所示。

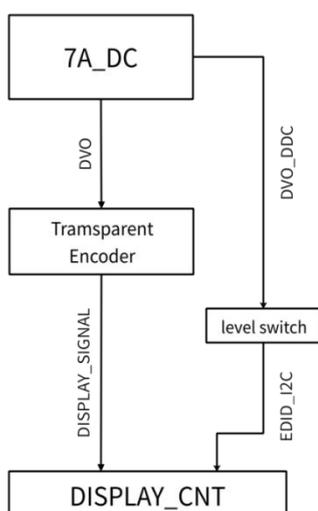


图 4-3 方案 A

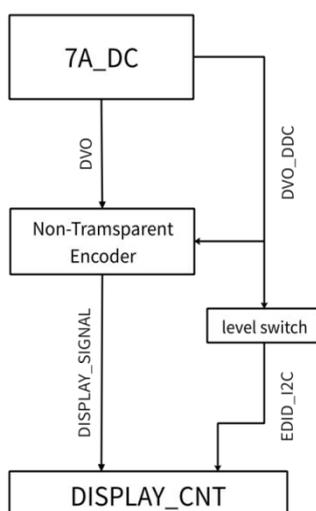


图 4-4 方案 B

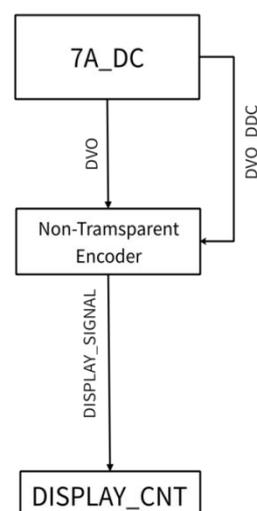


图 4-5 方案 C

4.3 获取 EDID

龙芯 7A1000 内置显卡提供两种 EDID 获取方案。

方案 A: 使用显示控制器的 DDC 通道读取外部 EDID 信息, 驱动根据不同显示设备, 读取不同的 EDID 信息;

方案 B: 在 VBIOS 中预存需要的 EDID 信息, 适用于以下三种情况:

1. 外部显示设备无法提供 EDID 信息;
2. 外部显示设备仅能提供一个 EDID 信息, 而实际需要使用多组分辨率。
3. 无法采用标准的获取方式获取 EDID。例如, 无法通过 i2c 从设备 0x50 地址中读取到 EDID。

4.4 热插拔探测

龙芯 7A1000 内置显卡通过软件轮询是否能够获取 EDID 信息来判定是否正常连接显示器, 实现热插拔探测, 如果能正常读取 EDID 信息则表示显示器连接, 否则表示显示器断开。

如需支持热插拔功能，需要按照 4.2 节所述设计硬件，保证驱动能够正确读取到 EDID。如需不支持热插拔功能，需要在 VBIOS 中关闭热插拔探测，关闭热插拔探测情况下，显示接口一直输出显示信号，在这种模式下，如获取不到外部显示设备的 EDID 信息，仅能支持预存储在 VBIOS 或者系统中分辨率。

4.5 背光控制

使用 7A1000 内置显卡方案时，硬件设计约束为：显示屏背光开关控制必须使用 7A 桥片上的 GPIO46 和 GPIO47，显示屏背光的亮度控制必须使用 7A 桥片上的 PWM3(GPIO07)，如表 4-4 所示，否则背光功能可能无法正常工作。

表 4-4 背光控制硬件链接关系

LCD_EN(LCD backlight enable)	CLKSEL0(GPIO46)默认下拉
LCD_VDD_EN(LCD power enable)	CLKSEL1(GPIO47)默认下拉
LCD_PWM(LCD backlight PWM)	PWM3(GPIO07)

5. VBIOS 存储约定

使用制作工具生成的 VBIOS 固件二进制文件存储在 BIOS 同一个 ROM 中。

龙芯中科技术股份有限公司企业标准

龙芯 3A5000_7A1000 通用类板卡
硬件设计规范

V1.1

龙芯中科技术股份有限公司

版本信息

版本信息	文档名	龙芯 3A5000_7A1000 通用类板卡硬件设计规范
	版本号	V1.1
	创建人	通用事业部
版本历史		
序号	版本号	更新内容
1	V1.0	内部版本
2	V1.1	初版发布

目 录

概 述.....	1
第一章 主板架构.....	2
1.1 单路主板典型应用方案.....	2
第二章 原理图设计检查.....	3
2.1 3A5000 checklist.....	3
2.1.1 SPI.....	3
2.1.2 I2C.....	4
2.1.3 UART.....	4
2.1.4 HT.....	5
2.1.5 DDR (DDR4).....	14
2.1.6 GPIO.....	23
2.1.7 Strap&Control.....	24
2.1.8 JTAG/LA464 JTAG.....	25
2.1.9 POWER.....	28
2.1.10 芯片分级.....	29
2.2 7A1000 checklist.....	30
2.2.1 HT.....	30
2.2.2 PCIE.....	33
2.2.3 USB.....	39
2.2.4 DDR3.....	40
2.2.5 SATA.....	42
2.2.6 SPI.....	43
2.2.7 LPC.....	43
2.2.8 I2C.....	44
2.2.9 UART.....	44
2.2.10 GMAC.....	45
2.2.11 PWM.....	47
2.2.12 HDA.....	47
2.2.13 GPIO.....	48
2.2.14 RTC.....	48

2.2.16 Strap&Control	52
2.2.17 JTAG	52
2.2.18 ACPI	53
2.2.19 Interrupt	55
2.2.20 POWER.....	55
2.3 其他设计注意事项	56
2.3.1 时钟	56
2.3.2 时序要求	58
2.3.3 7A1000 显示单元的设计.....	59
2.3.4 桥片 SPI 存储 rom	59
2.3.5 笔记本、一体机方案注意事项	59
2.3.6 接口外设支持列表	59
2.3.7 SE 模块最小设计	60
2.3.8 S3 设计细节	64
第三章 PCB 设计指导.....	65

概 述

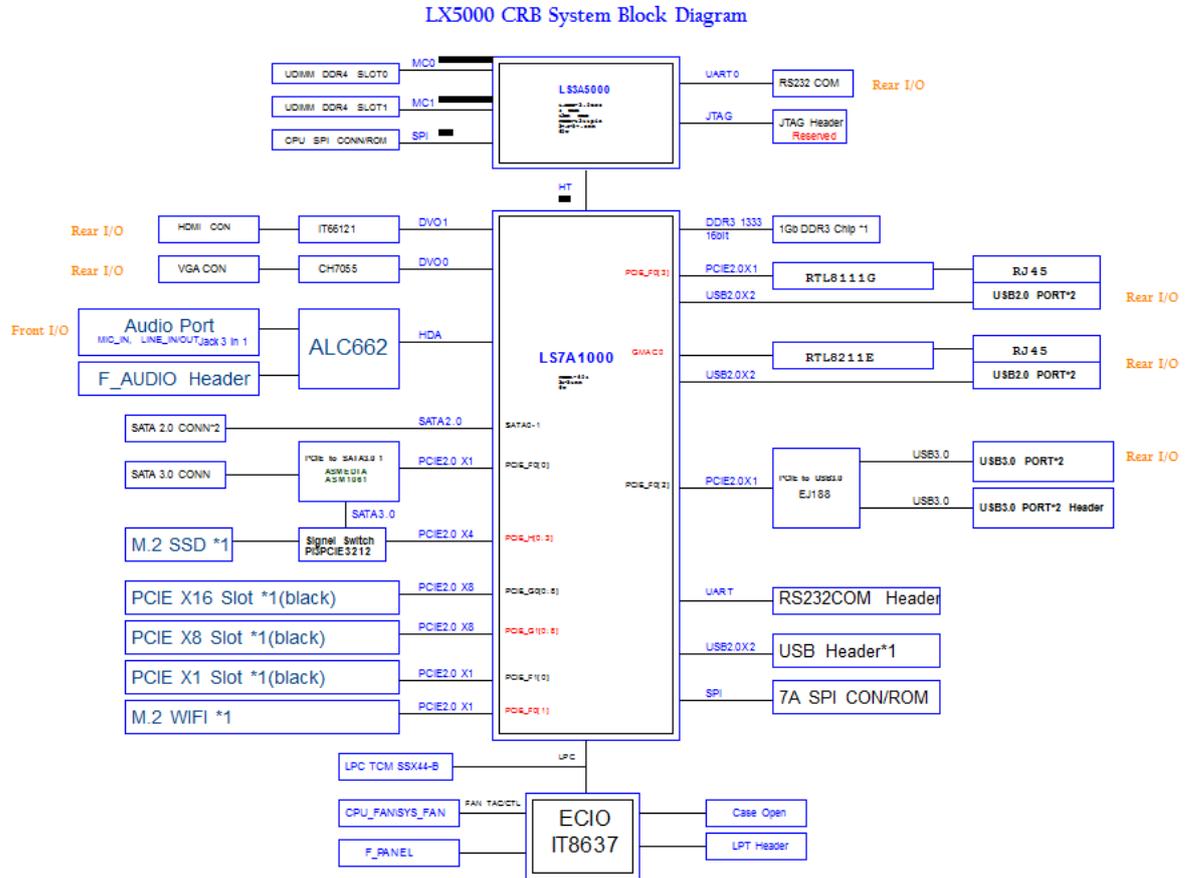
本文档作为龙芯 3A5000 的单路主板硬件设计规范,内含处理器和桥片的硬件 checklist、特殊注意事项以及 layoutguide。设计者请按规范文档认真核对硬件线路和 PCB 设计。

原理图、PCB 设计,推荐使用龙芯官方参考设计的原理图 symbol、PCB Footprint。如果自己新建原理图 symbol、PCB Footprint 进行设计,建议多次对照数据手册检查正确性。龙芯平台 3A5000 面向单路终端方案。

如遇内容错误,欢迎批评指正。

第一章 主板架构

1.1 单路主板典型应用方案



第二章 原理图设计检查

2.1 3A5000 checklist

2.1.1 SPI

Signal Name	Balls	Signal Type	Checked	Recommendations
SPI_SCK	L02	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	SPI 总线时钟输出。 不用时可悬空
SPI_SDO	L03	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	SPI 总线数据输出。 不用时可悬空
SPI_SDI	L06	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	SPI 总线数据输入。 不用时可悬空
SPI_CSN	L01	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	SPI 总线片选输出，低电平有效。 不使用时可悬空
SPI_HOLDN	L07	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	SPI 总线保持。 不使用时可悬空
SPI_WPN	M06	IO	Yes <input type="checkbox"/> No <input type="checkbox"/>	SPI 总线写保护。 不使用时可悬空

注：

1. 此 SPI 通路必须连接 BIOS ROM，作为 3A5000_7A1000 的启动 ROM，容量建议不低于 8MB。
2. SPI 总线可直接连接 FLASH 芯片。建议根据实际情况预留上拉电阻到 VDDE_1V8，一般推荐 4.7K 上拉电阻。

2.1.2 I2C

Signal Name	Balls	Signal Type	Checked	Recommendations
I2C0_SCL	K37	IO	Yes <input type="checkbox"/> No <input type="checkbox"/>	固定配置为 master, 用于本地内存槽 SPD 信息读取, 同时用于处理器 VRM 控制。 使用时外部需通过 4.7K 电阻上拉到 VDDE_1V8。
I2C0_SDA	L37	IO	Yes <input type="checkbox"/> No <input type="checkbox"/>	固定配置为 master, 用于本地内存槽 SPD 信息读取, 同时用于处理器 VRM 控制。 使用时外部需通过 4.7K 电阻上拉到 VDDE_1V8。
I2C1_SCL	Y02	IO	Yes <input type="checkbox"/> No <input type="checkbox"/>	固定配置为 slave, 可用于 EC、BMC 等外部控制端读取处理器温度等信息。 不用时可悬空 VDDE_1V8 电压域
I2C1_SDA	Y01	IO	Yes <input type="checkbox"/> No <input type="checkbox"/>	固定配置为 slave, 可用于 EC、BMC 等外部控制端读取处理器温度等信息。 不用时可悬空 VDDE_1V8 电压域

2.1.3 UART

Signal Name	Balls	Signal Type	Checked	Recommendations
UART0_TXD	M04	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	串口数据发送信号。 不用时可悬空 VDDE_1V8 电压域
UART0_RXD	M05	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	串口数据接收信号。 不用时可悬空 VDDE_1V8 电压域

注: 3A5000_7A1000 平台调试串口基本固定为 0 号处理器的 UART0。无特殊情况, 请不要随意更换。该串口亦可用作系统下普通串口功能。

2.1.4 HT

Signal Name	Balls	Signal Type	Checked	Recommendations
HT0_8x2	J36	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	为高, 将 HT0 分成 HT0_Lo 与 HT0_Hi 两个 8 位数据总线使用 为低, 将 HT0 作为 16 位总线使用 单路主板可悬空; 双路主板建议外部下拉; 四路以上主板外部上拉到 VDDE_1V8;
HT0_Lo_Hostmode	M31	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	为高, 将 HT0_Lo 控制器作为主模式, 控制复位等信号 为低, 将 HT0_Lo 控制器作为从模式, 复位等信号仅为输入模式 不用时建议下拉到地。 VDDE_1V8 电压域
HT0_Hi_Hostmode	J35	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	为高, 将 HT0_Hi 控制器作为主模式, 控制复位等信号 为低, 将 HT0_Hi 控制器作为从模式, 复位等信号仅为输入模式 不用时建议下拉到地 VDDE_1V8 电压域
HT0_Lo_PowerOK	L35	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时为 HT0 总线 PowerOK 信号, 当 HT0_8x2 有效时为 HT0_Lo 总线 PowerOK 信号。 当 HT0_Lo_Hostmode 有效时为双向信号, 作为主设备。 当 HT0_Lo_Hostmode 无效时为输入信号。 不用时建议下拉到地 VDDE_1V8 电压域
HT0_Lo_Reset	M30	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时为 HT0 总线 Resetn 信号, 当 HT0_8x2 有效时为 HT0_Lo 总线 Resetn 信号。 当 HT0_Lo_Hostmode 有效时为双向信号, 作为主设备。 当 HT0_Lo_Hostmode 无效时为输入信号。

				不用时下拉到地 VDDE_1V8 电压域
HT0_Lo_Ldt_Stopn	L34	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时为 HT0 总线 Ldt_Stopn 信号， 当 HT0_8x2 有效时为 HT0_Lo 总线 Ldt_Stopn 信号。 当 HT0_Lo_Hostmode 有效时为双向信号，作为主设备。 当 HT0_Lo_Hostmode 无效时为输入信号。 不用时必须下拉到地 VDDE_1V8 电压域
HT0_Lo_Ldt_reqn	L36	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时为 HT0 总线 Ldt_Reqn 信号， 当 HT0_8x2 有效时为 HT0_Lo 总线 Ldt_Reqn 信号。 不用时建议下拉到地 VDDE_1V8 电压域
HT0_Hi_PowerOK	K30	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时该信号无效， 当 HT0_8x2 有效时为 HT0_Hi 总线 PowerOK 信号。 当 HT0_Hi_Hostmode 有效时为双向信号，作为主设备。 当 HT0_Hi_Hostmode 无效时为输入信号。 不用时建议下拉到地 VDDE_1V8 电压域
HT0_Hi_Reset	J34	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时该信号无效， 当 HT0_8x2 有效时为 HT0_Hi 总线 Resetn 信号。 当 HT0_Hi_Hostmode 有效时为双向信号，作为主设备。 当 HT0_Hi_Hostmode 无效时为输入信号。 不用时下拉到地 VDDE_1V8 电压域
HT0_Hi_Ldt_Stopn	K31	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时该信号无效， 当 HT0_8x2 有效时为 HT0_Hi 总线 Ldt_Stopn 信号。 当 HT0_Hi_Hostmode 有效时为双向信号，作为主设备。 当 HT0_Hi_Hostmode 无效时为输

				入信号 不用时必须下拉到地
HT0_Hi_Ldt_reqn	J37	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时该信号无效， 当 HT0_8x2 有效时为 HT0_Hi 总线 Ldt_Reqn 信号。 不用时建议下拉到地 VDDE_1V8 电压域
HT0_Tx_C ADp[15:0]	E19 C20 F20 A20 A22 A23 A25 F22 C24 A27 D22 D25 G24 G23 F26 F27	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时，该总线为 HT0 总线发送数据命令总线， 当 HT0_8x2 有效时， [7:0]位为 HT0_Lo 总线发送数据命令总线， [15:8]位为 HT0_Hi 总线发送数据命令总线。 不用时可悬空
HT0_Tx_C ADn[15:0]	D19 B20 G20 A21 B22 B23 A24 G22 B24 B27 D23 E25 F24 H23 G26 G27	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时，该总线为 HT0 总线发送数据命令总线， 当 HT0_8x2 有效时， [7:0]位为 HT0_Lo 总线发送数据命令总线， [15:8]位为 HT0_Hi 总线发送数据命令总线。 不用时可悬空
HT0_Tx_C TLp[1:0]	B30 B34	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT0_8x2 无效时，该总线为 HT0 总线发送控制总线 当 HT0_8x2 有效时，

				[0]位为 HTO_Lo 总线发送控制信号， [1]位为 HTO_Hi 总线发送控制信号。 不用时可悬空
HTO_Tx_C TLn[1:0]	A30 A34	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HTO_8x2 无效时，该总线为 HTO 总线发送控制总线 当 HTO_8x2 有效时， [0]位为 HTO_Lo 总线发送控制信号， [1]位为 HTO_Hi 总线发送控制信号。 不用时可悬空
HTO_Tx_C LKp[1:0]	D37 F30	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HTO_8x2 无效时，该总线为 HTO 总线发送时钟总线， 当 HTO_8x2 有效时， [0]位为 HTO_Lo 总线发送时钟信号。 [1]位为 HTO_Hi 总线发送时钟信号。 不用时可悬空
HTO_Tx_C LKn[1:0]	D36 F30	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HTO_8x2 无效时，该总线为 HTO 总线发送时钟总线， 当 HTO_8x2 有效时， [0]位为 HTO_Lo 总线发送时钟信号， [1]位为 HTO_Hi 总线发送时钟信号。 不用时可悬空
HTO_Rx_C ADp[15:0]	G36 F37 E37 C37 G34 D35 B35 G32 E33 C32 F31 A33 D30 D29 A31 G28	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HTO_8x2 无效时，该总线为 HTO 总线接收数据命令总线， 当 HTO_8x2 有效时， [7:0]位为 HTO_Lo 总线接收数据命 令总线， [15:8]位为 HTO_Hi 总线接收数据命 令总线。 不用时可悬空
HTO_Rx_C ADn[15:0]	G37 F36 E36 C36 F34 D34	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HTO_8x2 无效时，该总线为 HTO 总线接收数据命令总线， 当 HTO_8x2 有效时， [7:0]位为 HTO_Lo 总线接收数据命令 总线， [15:8]位为 HTO_Hi 总线接收数据命令

	A35 F32 D33 B32 E31 A32 D31 E29 B31 F28			总线。 不用时可悬空
HTO_Rx_C TLp[1:0]	A26 A28	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HTO_8x2 无效时，该总线为 HTO 总线接收控制总线， 当 HTO_8x2 有效时， [0]位为 HTO_Lo 总线接收控制信号， [1]位为 HTO_Hi 总线接收控制信号。 不用时可悬空
HTO_Rx_C TLn[1:0]	B26 B28	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HTO_8x2 无效时，该总线为 HTO 总线接收控制总线， 当 HTO_8x2 有效时， [0]位为 HTO_Lo 总线接收控制信号， [1]位为 HTO_Hi 总线接收控制信号。 不用时可悬空
HTO_Rx_C LKp[1:0]	D21 D27	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HTO_8x2 无效时，该总线为 HTO 总线接收时钟总线， 当 HTO_8x2 有效时， [0]位为 HTO_Lo 总线接收时钟信号， [1]位为 HTO_Hi 总线接收时钟信号。 不用时可悬空
HTO_Rx_C LKn[1:0]	E21 D26	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HTO_8x2 无效时，该总线为 HTO 总线接收时钟信号， 当 HTO_8x2 有效时， [0]位为 HTO_Lo 总线接收时钟信号， [1]位为 HTO_Hi 总线接收时钟信号。 不用时可悬空
HTOCLKP/ N	A28 A29	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	200MHz LVDS 差分输入时钟，可通过 CLKSEL 进行选择是否用此差分时钟作为 HT 部分时钟源。默认可不接，使用 SYSCLK 作为时钟源 不接时，推荐 HTOCLKP 上拉到 HT_VDDE,HTOCLKN 下拉到地。

Signal	Balls	Signal	Checked	Recommendations
--------	-------	--------	---------	-----------------

Name		Type		
HT1_8x2	H37	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	为高, 将 HT1 分成 HT1_Lo 与 HT1_Hi 两个 8 位数据总线使用(多路三角模式互联) 为低, 将 HT1 作为 16 位总线使用(单路或双路 16 位模式)
HT1_Lo_Hostmode	H35	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	为高, 表示将 HT1_Lo 控制器作为主模式, 控制复位等信号 为低, 表示将 HT1_Lo 控制器作为从模式, 复位等信号仅为输入模式
HT1_Hi_Hostmode	K35	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	为高, 表示将 HT1_Hi 控制器作为主模式, 控制复位等信号 为低, 表示将 HT1_Hi 控制器作为从模式, 复位等信号仅为输入模式 不用时建议下拉到地
HT1_Lo_PowerOK	H36	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时为 HT1 总线 PowerOK 信号, 当 HT1_8x2 有效时为 HT1_Lo 总线 PowerOK 信号。 当 HT1_Lo_Hostmode 有效时为双向信号, 当 HT1_Lo_Hostmode 无效时为输入信号。 不用时建议下拉到地
HT1_Lo_Resetn	H32	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时为 HT1 总线 Resetn 信号, 当 HT1_8x2 有效时为 HT1_Lo 总线 Resetn 信号。 当 HT1_Lo_Hostmode 有效时为双向信号, 当 HT1_Lo_Hostmode 无效时为输入信号。 不用时下拉到地
HT1_Lo_Ldt_Stopn	H34	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时为 HT1 总线 Ldt_Stopn 信号, 当 HT1_8x2 有效时为 HT1_Lo 总线 Ldt_Stopn 信号。 当 HT1_Lo_Hostmode 有效时为双向信号, 当 HT1_Lo_Hostmode 无效时为输入信号。 不用时必须下拉到地

HT1_Lo_Ldt_reqn	H33	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时为 HT1 总线 Ldt_Reqn 信号， 当 HT1_8x2 有效时为 HT1_Lo 总线 Ldt_Reqn 信号。 不用时建议下拉到地
HT1_Hi_PowerOK	K36	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时该信号无效， 当 HT1_8x2 有效时为 HT1_Hi 总线 PowerOK 信号。 当 HT1_Hi_Hostmode 有效时为双向信号， 当 HT1_Hi_Hostmode 无效时为输入信号。 不用时建议下拉到地
HT1_Hi_Resetn	K32	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时该信号无效， 当 HT1_8x2 有效时为 HT1_Hi 总线 Resetn 信号。 当 HT1_Hi_Hostmode 有效时为双向信号， 当 HT1_Hi_Hostmode 无效时为输入信号。 不用时下拉到地
HT1_Hi_Ldt_Stopn	K34	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时该信号无效， 当 HT1_8x2 有效时为 HT0_Hi 总线 Ldt_Stopn 信号。 当 HT1_Hi_Hostmode 有效时为双向信号， 当 HT1_Hi_Hostmode 无效时为输入信号 不用时必须下拉到地
HT1_Hi_Ldt_reqn	K33	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时该信号无效， 当 HT1_8x2 有效时为 HT1_Hi 总线 Ldt_Reqn 信号。 不用时建议下拉到地
HT1_Tx_CADp[15:0]	G02 F01 E01 C01 G04 D03 B03 G06 E05 C06 F07	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时，该总线为 HT1 总线发送数据命令总线， 当 HT1_8x2 有效时， [7:0]位为 HT1_Lo 总线发送数据命令总线， [15:8]位为 HT1_Hi 总线发送数据命令总线。 不用时可悬空

	A05 D08 D09 A07 G10			
HT1_Tx_C ADn[15:0]	G01 F02 E02 C02 F04 D04 A03 F06 D05 B06 E07 A06 D07 E09 B07 F10	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时，该总线为 HT1 总线发送数据命令总线， 当 HT1_8x2 有效时， [7:0]位为 HT1_Lo 总线发送数据命令总线， [15:8]位为 HT1_Hi 总线发送数据命令总线。 不用时可悬空
HT1_Tx_C TLp[1:0]	B04 B08	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时，该总线为 HT1 总线发送控制总线， 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线发送控制信号， [1]位为 HT1_Hi 总线发送控制信号。 不用时可悬空
HT1_Tx_C TLn[1:0]	A04 B08	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时，该总线为 HT1 总线发送控制总线， 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线发送控制信号， [1]位为 HT1_Hi 总线发送控制信号。 不用时可悬空
HT1_Tx_C LKp[1:0]	D01 F08	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时，该总线为 HT1 总线发送时钟总线， 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线发送时钟信号， [1]位为 HT1_Hi 总线发送时钟信号。 不用时可悬空
HT1_Tx_C LKn[1:0]	D02 G08	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时，该总线为 HT1 总线发送时钟总线， 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线发送时钟信号， [1]位为 HT1_Hi 总线发送时钟信号。

				不用时可悬空
HT1_Rx_C ADp[15:0]	B19 C18 F18 A18 A16 A15 A13 F16 C14 A11 D16 D13 G14 G15 F12 F11	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时，该总线为 HT1 总线接收数据命令总线， 当 HT1_8x2 有效时， [7:0]位为 HT1_Lo 总线接收数据命令总线， [15:8]位为 HT1_Hi 总线接收数据命令总线。 不用时可悬空
HT1_Rx_C ADn[15:0]	A19 B18 G18 A17 B16 B15 A14 G16 B14 B11 D15 E13 F14 H15 G12 G11	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时，该总线为 HT1 总线接收数据命令总线， 当 HT1_8x2 有效时， [7:0]位为 HT1_Lo 总线接收数据命令总线， [15:8]位为 HT1_Hi 总线接收数据命令总线。 不用时可悬空
HT1_Rx_C TLp[1:0]	A12 C10	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时，该总线为 HT1 总线接收控制总线， 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线接收控制信号， [1]位为 HT1_Hi 总线接收控制信号。 不用时可悬空

HT1_Rx_C TLn[1:0]	B12 B10	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时，该总线为 HT1 总线接收控制总线， 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线接收控制信号， [1]位为 HT1_Hi 总线接收控制信号。 不用时可悬空
HT1_Rx_C LKp[1:0]	D17 D11	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时，该总线为 HT1 总线接收时钟总线， 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线发送时钟信号， [1]位为 HT1_Hi 总线发送时钟信号。 不用时可悬空
HT1_Rx_C LKn[1:0]	E17 D12	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT1_8x2 无效时，该总线为 HT1 总线接收时钟总线， 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线接收时钟信号， [1]位为 HT1_Hi 总线接收时钟信号。 不用时可悬空
HT1CLKP/ N	A10 A09	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	200MHz LVDS 差分输入时钟，可通过 CLKSEL 进行选择是否用此差分时钟作为 HT 部分时钟源。默认可不接，使用 SYSCLK 作为时钟源 不接时，推荐 HT1CLKP 上拉到 HT_VDDE,HT1CLKN 下拉到地。

注：1.仅 HT1 可用于与桥片互联。

2.HyperTransport 总线不使用时可以悬空。需要注意的是：不使用的 HT 通道，对应通道的 Ldt_Stopn 必须拉低。

2.1.5 DDR (DDR4)

Signal Name	Balls	Signal Type	Checked	Recommendations
MC0_DQ[0:63]	AH01 AH04 AL02 AL01 AH03 AH02 AK01	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的数据总线信号

	AL03			
	AM01			
	AM03			
	AP02			
	AR01			
	AL04			
	AM02			
	AP01			
	AM04			
	AP04			
	AT02			
	AU04			
	AR05			
	AR02			
	AP03			
	AP05			
	AT04			
	AP07			
	AR07			
	AU08			
	AR08			
	AT05			
	AU05			
	AP09			
	AT08			
	AR30			
	AP30			
	AU33			
	AR33			
	AU30			
	AT30			
	AP32			
	AT33			
	AT34			
	AR34			
	AR35			
	AR37			
	AP33			
	AU34			
	AT36			
	AR36			
	AP37			
	AN34			
	AL36			

	AL37 AN35 AP36 AM37 AM36 AK37 AJ34 AG36 AG37 AK35 AK36 AH37 AH36			
MC0_CB[0:7]	AP11 AR11 AU12 AR14 AT09 AU09 AP12 AT12	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的数据总线 ECC 信号 做 PC 设计时不接
MC0_DQSp[0:17]	AK02 AN04 AU03 AU07 AU32 AP35 AM34 AH35 AU11 AJ02 AN02 AR03 AU06 AU31 AU35 AN36 AJ36 AU10	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的数据选通差分信号 (包括 ECC)，正沿 其中 DQSp[9:17]复用为 DQM[0:8],即 数据屏蔽信号 DM0-8 (包括 ECC) 其中 DQSp8、DQSp17 在做 PC 设计时 可不接
MC0_DQSn[0:17]	AK03 AN03 AT03 AT07 AT32	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的数据选通差分信号 (包括 ECC)，负沿 其中 DQSn[8:17] PC 设计时可不接

	AP34 AM35 AJ35 AT11 AJ01 AN01 AR04 AT06 AT31 AT35 AN37 AJ37 AT10			
MC0_A[0:13] MC0_A17	AR23 AP20 AR20 AU18 AT18 AR18 AU17 AR17 AT17 AT16 AR24 AU16 AP18 AU27 AP27	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的地址总线信号
MC0_WEn/A14	AT25	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的写使能信号, 复用地址总线 A14
MC0_CASn/A15	AU26	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的列地址选择信号, 复用地址总线 A15
MC0_RASn/A16	AP24	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的行地址选择信号, 复用地址总线 A16
MC0_BA[0:1]	AU24 AT24	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的逻辑 Bank 地址信号

MC0_BG[0:1]	AP17 AT15	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的逻辑 Bank 组地址信号
MC0_CSn[0:7]	AT26 AT27 AR29 AU29 AU25 AT23 AU22 AT29	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的片选信号
MC0_CKE[0:3]	AU13 AP15 AT14 AT13	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的时钟使能信号
MC0_ODT[0:3]	AP26 AT28 AR27 AP23	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的 ODT 输出信号
MC0_CLKP[0:3]	AU20 AU19 AU21 AR21	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的差分时钟输出信号，正沿
MC0_CLKN[0:3]	AT20 AT19 AT21 AP21	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的差分时钟输出信号，负沿
MC0_Resetn	AT22	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的复位输出信号
MC0_ACTN	AU14	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的激活命令信号
MC0_ALE RTN	AU15	IO	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的 CRC 错或命令奇偶校验错标志
MC0_CID	AU28	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的 CHIP ID bit2, 3DS 内存使用

MC0_PAR	AU23	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的命令与地址的奇偶校验值
MC0_REXT	AP14	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 0 的参考输入电阻, 通过一个 240ohm(1%)的电阻连接至地。
MC1_DQ[0: 63]	Y32 Y33 AB36 AB37 Y30 Y31 AA37 AA36 AB31 AB32 AC36 AC35 AB34 AB33 AC33 AC34 AD36 AD37 AF33 AF30 AC37 AD35 AE37 AE36 AF34 AF35 AJ32 AJ33 AF32 AF31 AH30 AH31 AN09	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的数据总线信号

	AL09 AL06 AM05 AK09 AM09 AN06 AM06 AH08 AJ08 AG02 AG01 AN05 AL05 AJ07 AH07 AF05 AF06 AE05 AE04 AF07 AF08 AE01 AE02 AD03 AE08 AC07 AC06 AE07 AE06 AC05 AC08			
MC1_CB[0:7]	AL33 AL32 AN30 AM30 AJ31 AJ30 AL30 AK30	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的数据总线 ECC 信号 做 PC 设计时可不接
MC1_DQSP[0:17]	Y35 AB30 AE31 AF36 AM08	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的数据选通差分信号 (包括 ECC)，正沿 其中 DQSP[9:17]复用为 DQM[0:8],即 数据屏蔽信号 DM0-8 (包括 ECC) 其中 DQSp8、DQSp17 在做 PC 设计时

	AJ05 AF04 AD02 AM32 Y37 AC31 AE32 AH32 AK08 AH05 AF02 AC01 AN32			可不接
MC1_DQS N[0:17]	Y36 AC32 AE33 AH33 AL08 AH06 AF01 AC02 AN33 Y34 AC30 AE30 AF37 AN08 AJ06 AF03 AD01 AM33	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的数据选通差分信号 (包括 ECC)，负沿 其中 DQSn[8:17] PC 设计时可不接
MC1_A[0: 13] MC1_A17	AK17 AM23 AN23 AK22 AN24 AM24 AL23 AL24 AK23 AM26 AM15 AN26 AL26	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的地址总线信号

	AL12 AK12			
MC1_WEn /A14	AN15	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的写使能信号, 复用地址总线 A14
MC1_CASn/A15	AN14	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的列地址选择信号, 复用地址总线 A15
MC1_RASn/A16	AL15	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的行地址选择信号, 复用地址总线 A16
MC1_BA[0:1]	AL17 AN17	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的逻辑 Bank 地址信号
MC1_BG[1:0]	AL25 AM25	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的逻辑 Bank 地址组信号
MC1_CSn[0;7]	AM14 AM12 AN11 AK11 AK15 AM18 AK18 AL11	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的片选信号
MC1_CKE[0:3]	AN29 AM29 AL27 AL29	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的时钟使能信号
MC1_ODT[0:3]	AL14 AM11 AK14 AN18	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的 ODT 输出信号
MC1_CLKp[3:0]	AL21 AM21 AM20 AL20	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的差分时钟输出信号, 正沿

MC1_CLKn [3:0]	AK21 AN21 AN20 AK20	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的差分时钟输出信号， 负沿
MC1_Rese tn	AL18	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的复位输出信号
MC1_ACT N	AL28	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的激活命令信号
MC1_ALE RTN	AN27	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的 CRC 错或命令奇偶校 验错标志
MC1_CID2	AN12	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的 CHIP ID bit2, 3DS 内 存使用
MC1_PAR	AM17	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的命令与地址的奇偶 校验值
MC1_REX T	AK29	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR 控制器 1 的参考输入电阻, 通过 一个 240ohm(1%)的 电阻连接至地

注:

- 1.DDR 的复位信号 MC_RESETN 需要经过反向器后连接到 DIMM 条，可以参考参
考板使用三极管做反向。
- 2.每个内存控制器有 8 个 CS 信号 MC_SCSN[7:0]，连线时要求 MC_SCSN[3:0]连接
到第一个 DIMM 条，MC_SCSN[7:4]连接到第二个 DIMM 条。具体分组要求如下：

DIMM0	MC_SCSN[0:3], ODT0/1, CKE0/1, CLKn/p[0:1]
DIMM1	MC_SCSN[4:7], ODT2/3, CKE2/3, CLKn/p[2:3]

DIMM 条 SPD 地址需固定，MC0 为 0,1；MC1 为 2,3。多路模式下每个处理器对
应的 DIMM 条连接自己的 I2C 总线。

- 3.在内存条应用中，不支持数据信号组内互换。

2.1.6 GPIO

Signal	Balls	Signal	Checked	Recommendations
--------	-------	--------	---------	-----------------

Name		Type		
GPIO[15:0]	T04 T02 T03 T01 U06 U07 U05 U02 U03 U01 V06 V07 V04 V02 V03 V01	IO	Yes <input type="checkbox"/> No <input type="checkbox"/>	默认为高阻态 不用时可悬空 VDDE_1V8 电压域

注：

- 1.GPIO0 固定复用为外部中断输入，默认预留跟 7A1000 的 INTO 连接。
- 2.通用类产品系统默认不支持 GPIO 复用串口功能。如需使用 UART1 功能，需修改内核进行支持。

2.1.7 Strap & Control

Signal Name	Balls	Signal Type	Checked	Recommendations
SYSRESETn	T05	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	处理器复位输入信号，低电平有效。 VDDE_1V8 电压域
CHIP_CONFIG[5:0]	N06 N03 N01 N02 P07 P05	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	CHIP_CONFIG[5:0] 推荐配置 6'b000010 详细定义见手册 VDDE_1V8 电压域
ICCC_EN	M01	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	多路 cache 一致性使能，芯片内部集成 50KOhm 下拉电阻。 多路 CPU 互联模式下需上拉。 单路 CPU 设计，可悬空，建议外部

				预留下拉电阻。 VDDE_1V8 电压域。
NODE_ID[2:0]	M02, N07,N04	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	处理器节点指示 000,处理器为 0 号节点 001,处理器为 1 号节点 111 处理器为 7 号节点 VDDE_1V8 电压域
NMIIn	M03	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	不可屏蔽中断，芯片内部集成 50KOhm 上拉电阻。可悬空，建议外部上拉处理。 VDDE_1V8 电压域
CLKSEL[9:0]	P06 P03 P01 P02 R06 R04 R05 R03 R01 R02	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	CLKSEL[1:0]推荐配置 2'b10 CLKSEL[3:2]推荐配置 2'b10 CLKSEL[4] 推荐配置 1'b0 CLKSEL[9:5]推荐配置 5'b11010 更详细定义见手册 VDDE_1V8 电压域
SYSCLK	T06	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	处理器时钟输入，100M 时钟。

注:

1. 3A5000 处理器的所有 strap 均上拉到 S0 电，主板复位时状态必须稳定。
2. CLKSEL[4]、CLKSEL[7:6]可选的配置方式：CLKSEL[4]=1'b1 且 CLKSEL[7:6]=2'b00 。此配置模式，SE 模块不可用。

2.1.8 JTAG/LA464 JTAG

Signal Name	Balls	Signal Type	Checked	Recommendations
TDI	W02	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	不用时可悬空 VDDE_1V8 电压域

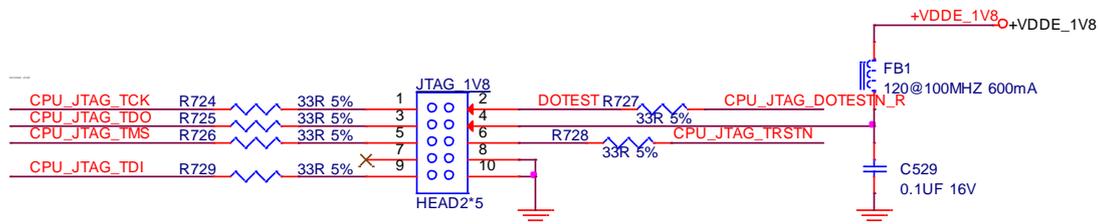
TDO	W03	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	不用时可悬空 VDDE_1V8 电压域
TMS	Y06	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	不用时可悬空 VDDE_1V8 电压域
TRST	Y07	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	不用时可悬空，内部默认下拉 VDDE_1V8 电压域
TCK	W01	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	不用时可悬空，内部默认下拉 VDDE_1V8 电压域
TSEL[1:0]	W06,Y03	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	JTAG 功能选择： 2'b00: LA464 JTAG 2'b01: JTAG 不用时可悬空 VDDE_1V8 电压域
DOTESTn	W05	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	正常模式上拉。 JTAG 模式需要外部拉低。 VDDE_1V8 电压域

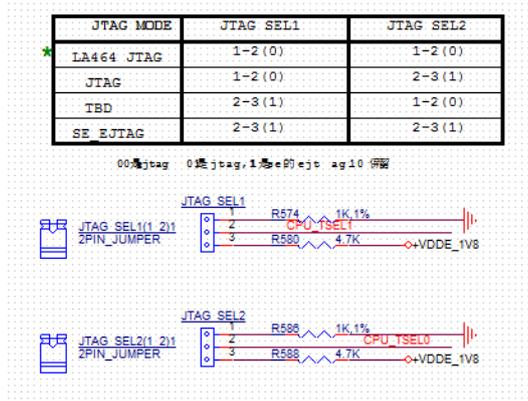
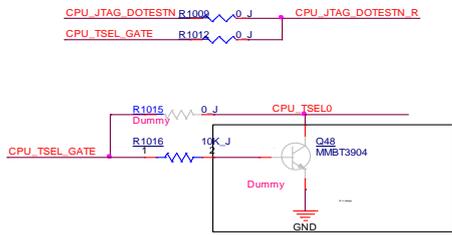
注：LA464 JTAG 与 JTAG 复用调试接口，LA464 JTAG 用于调试底层应用软件；JTAG 调试接口用于芯片测试，通过 TSEL[1:0]设置输出。如无特殊要求，尽量将调试接口引出。为了兼容龙芯现有仿真器，LA464 JTAG 接口按照下图所示，可通过软件或者芯片的 FUSE 禁用。

LA464 JTAG 接口：

方案一：

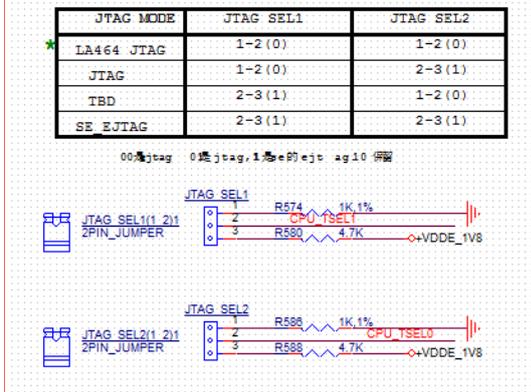
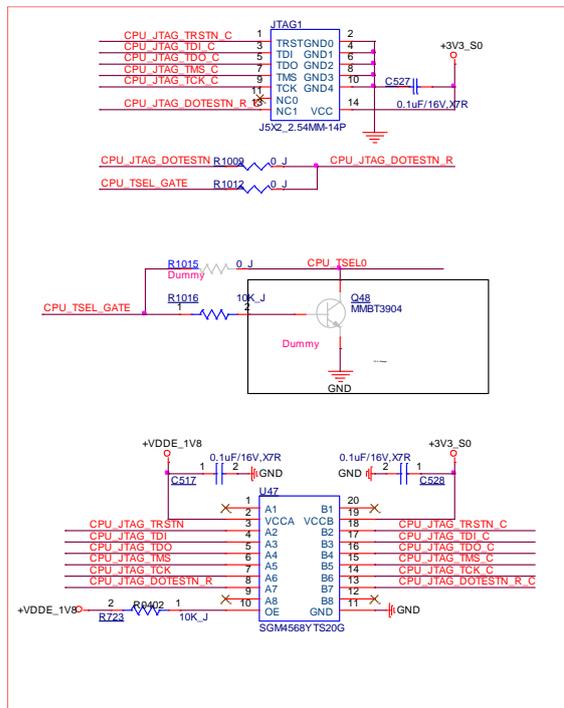
主板上 1.8V IO 电平 JTAG/LA464 JTAG 接线示意图：





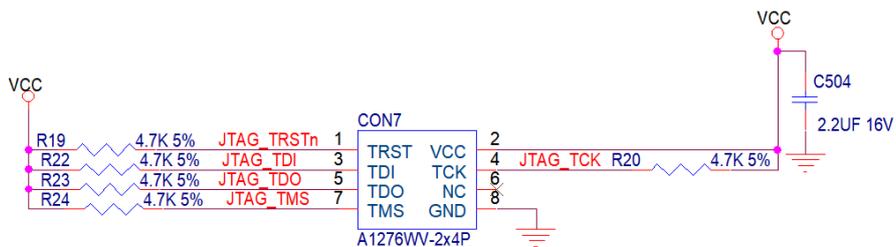
方案二:

主板上 3.3V IO 电平 JTAG/LA464 JTAG 接线示意图:



方案三:

在板卡空间紧张的情况下, JTAG 连接器也可使用以下接口定义, JTAG 连接器使用 1.27mm 间距 2*4pin 排针。VCC (2PIN) 供电可兼容 1.8V 和 3.3V IO。



注: 1) CPU_DOTESTN: CPU PIN.W05, CPU_TSEL: CPU PIN.W06。

- 2) 如果主板上选用方案一接口, 可向龙芯申请 LA464 JTAG 转换板。
- 3) 如果主板上选用方案一接口, 需要增加 ESD 设计。
- 4) 如果主板上选用方案三接口, 需要购买最新的带有接口转接板的龙芯 JTAG 仿真器。

2.1.9 POWER

模块	电源名称	电压值			最大电流	备注
		最小值	典型值	最大值		
Core	VDDN	0.8V	0.9	1.3V	25A	对于商业级芯片, 运行 spec2006 的 465 时, 纹波不能大于典型值 +/-50mV
			1.05		35A	
			1.1		45A	
			1.15		45A	
			1.25		50A	
	VDDP	0.8V	0.95 1.05	1.1V	10A	
DDR	VDDE_DDR0/1	1.14V	1.2V	1.26V	1A	
HT	VDDE_1V2T	1.1V	1.2	1.3V	1A	
	VDDE_1V2R	1.1V	1.2	1.3V		
IO	VDDE_1V8	1.7V	1.8V	1.9V	1A	
PLL	PLL_SYS_AVDD	1.1V	1.25V	1.4V	0.5A	
	PLL_SYS_DVDD	1.1V	1.25V	1.4V		
	PLL_DDR_AVDD	1.1V	1.25V	1.4V		

	PLL_DDR_DVDD	1.1V	1.25V	1.4V		
	PLL_DDRPHY_VDD	1.1V	1.25V	1.4V		
	PLL_SE_VDD	1.1V	1.25V	1.4V		
	PLL_HTO/1_AVDD	1.1V	1.25V	1.4V		
	PLL_HTO/1_DVDD	1.1V	1.25V	1.4V		

注:

- 1.除特殊说明外,所有电源大负载下纹波控制在 $\pm 25\text{mV}$ 以内。
- 2.做 STR 功能时,唤醒时需要 VDDP 早于 MEM_VDDE_0/1 上电,进入 STR 时需要 VDDP 晚于 MEM_VDDE_0/1 掉电。
- 3.VDDN 和 VDDP 设计上建议都支持动态调压。笔记本方案要求 VDDN 必须支持动态调压。

2.1.10 芯片分级

芯片标识	典型电压 ¹ VDDN/VDDP	电源噪声	典型 功耗 ²	壳温范围	说明
LS3A5000-H V	1.25V/1.05V	$\pm 25\text{mV}$	<35W	0 - 70°C	商业级版本工作 频率 2.5GHz
LS3A5000-LL	1.15V/0.95V	$\pm 25\text{mV}$	<30W	0 - 70°C	商业级版本工作 频率 2.3GHz
LS3B5000	1.15V/0.95V	$\pm 25\text{mV}$	<25W	0 - 70°C	商业级服务器版 本工作频率 2.3GHz
LS3A5000M	1.05V/0.95V	$\pm 25\text{mV}$	<18W	0 - 70°C	商业级移动版本 采用超薄封装 工作频率 2.0GHz
LS3A5000-i	1.10V/0.95V	$\pm 25\text{mV}$	<22W	-40 - 85°C	普通工业级版本 工作频率 2.0GHz

	0.90V/0.95V	±25mV	<12W	-40 - 85°C	普通工业级版本 工作频率 1.5GHz
--	-------------	-------	------	------------	------------------------

1. 典型电压为 VDDN 的电压设置。
2. 表中数据为常温典型工作条件下 VDDN 电压域测得的典型值（SPEC CPU 2006 RATE 运行时测得全芯片最大功耗），受运行温度影响，处理器正常工作时很少超过该值。此外，龙芯 3A5000 系列支持动态调频调压，待机或低负载工作功耗远低于典型值。

2.2 7A1000 checklist

2.2.1 HT

Signal Name	Balls	Signal Type	Checked	Recommendations
HT_REXT	H19	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	HT 参考电阻，通过一个 1Kohm(1%) 的电阻接地。
HT_8X2	A11	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	不可悬空 为低，HT 作为 16 位总线使用 为高，HT 作为 HT_Hi 和 HT_Lo 两个 8 位总线使用
HT_LO_PO WEROK	G14	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时为 HT 总线 PowerOK 信号， 当 HT_8X2 有效时为 HT_Lo 总线 PowerOK 信号
HT_LO_RS Tn	G13	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时为 HT 总线 Resetn 信号， 当 HT_8X2 有效时为 HT_Lo 总线 Resetn 信号。
HT_LO_LD T_STOPn	F13	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时为 HT 总线 Ldt_Stopn 信号， 当 HT_8X2 有效时为 HT_Lo 总线 Ldt_Stopn 信号。
HT_LO_LD T_REQn	A12	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时为 HT 总线 Ldt_Reqn 信号， 当 HT_8X2 有效时为 HT_Lo 总线 Ldt_Reqn 信号。

HT_HI_POWEROK	C12	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时该信号无效， 当 HT_8X2 有效时为 HT_Hi 总线 PowerOK 信号。
HT_HI_Resetn	E12	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时该信号无效， 当 HT_8X2 有效时为 HT_Hi 总线 Resetn 信号。
HT_HI_LD_T_STOPn	B12	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时该信号无效， 当 HT_8X2 有效时为 HT_Hi 总线 Ldt_Stopn 信号。 如果使用低 8 位连接，该信号需要下拉到地。
HT_HI_LD_T_REQn	F12	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时该信号无效， 当 HT_8X2 有效时为 HT_Hi 总线 Ldt_Reqn 信号。
HT_TX_CADP[00~15]	E13 B13 E14 B14 E15 G15 B16 E16 E17 B18 E18 G17 E19 B20 E20 G19	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时，该总线为 HT 总线发送数据命令总线， 当 HT_8X2 有效时， [7:0]位为 HT_Lo 总线发送数据命令总线， [15:8]位为 HT_Hi 总线发送数据命令总线。
HT_TX_CADN[00~15]	D13 A13 D14 A14 D15 G16 A16 D16 D17 A18 D18 G18	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时，该总线为 HT 总线发送数据命令总线， 当 HT_8X2 有效时， [7:0]位为 HT_Lo 总线发送数据命令总线， [15:8]位为 HT_Hi 总线发送数据命令总线。

	D18 A20 D20 G20			
HT_TX_CTLP[0~1]	B17 B21	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时，该总线为 HT 总线发送控制总线， 当 HT_8X2 有效时， [0]位为 HT_Lo 总线发送控制信号， [1]位为 HT_Hi 总线发送控制信号。
HT_TX_CTLN[0~1]	A17 A21	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时，该总线为 HT 总线发送控制总线， 当 HT_8X2 有效时， [0]位为 HT_Lo 总线发送控制信号， [1]位为 HT_Hi 总线发送控制信号。
HT_TX_CLKP[0~1]	B15 B19	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时，该总线为 HT 总线发送时钟总线， 当 HT_8X2 有效时， [0]位为 HT_Lo 总线发送时钟信号， [1]位为 HT_Hi 总线发送时钟信号。
HT_TX_CLKN[0~1]	A15 A19	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时，该总线为 HT 总线发送时钟总线， 当 HT_8X2 有效时， [0]位为 HT_Lo 总线发送时钟信号， [1]位为 HT_Hi 总线发送时钟信号
HT_RX_CADP[00~15]	F29 F30 E29 C30 B29 E27 B28 E26 E25 B26 E24 B25 G21 E23 B23 E22	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时，该总线为 HT 总线接收数据命令总线， 当 HT_8X2 有效时， [7:0]位为 HT_Lo 总线接收数据命令总线， [15:8]位为 HT_Hi 总线接收数据命令总线。
HT_RX_CADN[00~15]	F28 E30 D29 B30	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时，该总线为 HT 总线接收数据命令总线， 当 HT_8X2 有效时， [7:0]位为 HT_Lo 总线接收数据命令

	A29 D27 A28 D26 D25 A26 D24 A25 G22 D23 A23 D22			总线， [15:8]位为 HT_Hi 总线接收数据命令总线。
HT_RX_CTLP[0~1]	B27 B22	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时，该总线为 HT 总线接收控制总线， 当 HT_8X2 有效时， [0]位为 HT_Lo 总线接收控制信号， [1]位为 HT_Hi 总线接收控制信号。
HT_RX_CTLN[0~1]	A27 A22	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时，该总线为 HT 总线接收控制信号， 当 HT_8X2 有效时， [0]位为 HT_Lo 总线接收控制信号， [1]位为 HT_Hi 总线接收控制信号。
HT_RX_CLKN[0~1]	D28 A24	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时，该总线为 HT 总线接收时钟总线， 当 HT_8X2 有效时， [0]位为 HT_Lo 总线接收时钟信号， [1]位为 HT_Hi 总线接收时钟信号。
HT_RX_CLKP[0~1]	E28 B24	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	当 HT_8X2 无效时，该总线为 HT 总线接收时钟总线， 当 HT_8X2 有效时， [0]位为 HT_Lo 总线接收时钟信号， [1]位为 HT_Hi 总线接收时钟信号。

2.2.2 PCIE

Signal Name	Balls	Signal Type	Checked	Recommendations
PCIE_GO_TXP[7:0]	AK14 AK13 AK12	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	G0 通路 PCIeEx8 差分数据输出正。 当 PCIE_GO_PRSENTn1 为低时，此通路拆分为 0~3 和 4~7 两个 X4 通路使用。

	AK11 AK10 AK9 AK8 AF8			靠近发送端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_GO_TXN[7:0]	AJ14 AJ13 AJ12 AJ11 AJ10 AJ9 AJ8 AG8	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	G0 通路 PCIe8 差分数据输出负。 当 PCIE_GO_PRSNTn1 为低时,此通路拆分为 0~3 和 4~7 两个 X4 通路使用。 靠近发送端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_GO_RXP[7:0]	AF14 AD16 AF13 AD14 AF11 AF10 AF9 AD12	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	G0 通路 PCIe8 差分数据输入正。 当 PCIE_GO_PRSNTn1 为低时,此通路拆分为 0~3 和 4~7 两个 X4 通路使用。 靠近设备端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_GO_RXN[7:0]	AG14 AD15 AG13 AD13 AG11 AG10 AG9 AD11	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	G0 通路 PCIe8 差分数据输入负。 当 PCIE_GO_PRSNTn1 为低时,此通路拆分为 0~3 和 4~7 两个 X4 通路使用。 靠近发送端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_GO_REFRES	AC15	A	Yes <input type="checkbox"/> No <input type="checkbox"/>	外部参考电阻,通过一个 200ohm(1%)的电阻连接至地
PCIE_GO_PRSNTn[1:0]	AC13 AC12	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	控制器使能信号,默认全高 X8 模式时,PCIE_GO_PRSNTn1 必须置高。PCIE_GO_PRSNTn0 作为控制使能信号,当设备接入时置低。 X4 模式时,PCIE_GO_PRSNTn0 作为数据总线的 0~3 使能信号,当有设备接入时置低。PCIE_GO_PRSNTn1 作为数据总线的 4~7 使能信号,当有设备接入时置低。 不用时建议外部上拉到 3.3VS0。

PCIE_G0_RSTn	AC11	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	G0 通路 PCIE 复位信号,低电平有效。 外部预留 4.7K 电阻上拉到 3.3V _{S0}
PCIE_G1_TXP[7:0]	AF1 AJ1 AK2 AK3 AK5 AK4 AK6 AK7	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	G1 通路 PCIe8 差分数据输出正。 当 PCIE_G1_PRSENTn1 为低时,此通路拆分为 0~3 和 4~7 两个 X4 通路使用。 靠近发送端摆放 0.1uf 电容。 不用时可悬空。
PCIE_G1_TXN[7:0]	AE1 AH1 AJ2 AJ3 AJ5 AJ4 AJ6 AJ7	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	G1 通路 PCIe8 差分数据输出负。 当 PCIE_G1_PRSENTn1 为低时,此通路拆分为 0~3 和 4~7 两个 X4 通路使用。 靠近发送端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_G1_RXP[7:0]	AF2 AF3 AE3 AF4 AF5 AF6 AF7 AE7	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	G1 通路 PCIe8 差分数据输入正。 当 PCIE_G1_PRSENTn1 为低时,此通路拆分为 0~3 和 4~7 两个 X4 通路使用。 靠近设备端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_G1_RXN0	AG2 AG3 AE4 AG4 AG5 AG6 AG7 AE8	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	G1 通路 PCIe8 差分数据输入负。 当 PCIE_G1_PRSENTn1 为低时,此通路拆分为 0~3 和 4~7 两个 X4 通路使用。 靠近发送端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_G1_REFRES	AE10	A	Yes <input type="checkbox"/> No <input type="checkbox"/>	外部参考电阻,通过一个 200ohm(1%)的电阻连接至地
PCIE_G1_PRSENTn[1:0]	AE9 AD10	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	控制器使能信号,默认全高 X8 模式时,PCIE_G1_PRSENTn1 必须置高。PCIE_G1_PRSENTn0 作为控制使能信号,当设备接入时置低。 X4 模式时,PCIE_G1_PRSENTn0 作为数

				据总线的 0~3 使能信号, 当有设备接入时置低。PCIE_G1_PRSENTn1 作为数据总线的 4~7 使能信号, 当有设备接入时置低。 不用时建议外部上拉到 3.3VS0 处理。
PCIE_G1_RSTn	AD9	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	G1 通路 PCIE 复位信号, 低电平有效。外部预留 4.7K 电阻上拉到 3.3VS0。
PCIE_H_T XP[7:0]	AF30 AJ30 AK29 AK28 AK27 AK26 AK25 AK24	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	H 通路 PCIe8 差分数据输出正。 当 PCIE_H_PRSENTn1 为低时, 此通路拆分为 0~3 和 4~7 两个 X4 通路使用。 靠近发送端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_H_T XN[7:0]	AE30 AH30 AJ29 AJ28 AJ27 AJ26 AJ25 AJ24	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	H 通路 PCIe8 差分数据输出负。 当 PCIE_H_PRSENTn1 为低时, 此通路拆分为 0~3 和 4~7 两个 X4 通路使用。 靠近发送端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_H_R XP[7:0]	AE29 AE27 AF29 AF28 AE25 AF26 AF24 AF25	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	H 通路 PCIe8 差分数据输入正。 当 PCIE_H_PRSENTn1 为低时, 此通路拆分为 0~3 和 4~7 两个 X4 通路使用。 靠近设备端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_H_R XNO	AE28 AE26 AG29 AG28 AE24 AG26 AG24 AG25	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	H 通路 PCIe8 差分数据输入负。 当 PCIE_H_PRSENTn1 为低时, 此通路拆分为 0~3 和 4~7 两个 X4 通路使用。 靠近发送端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_H_R EFRES	AC21	A	Yes <input type="checkbox"/> No <input type="checkbox"/>	外部参考电阻, 通过一个 200ohm(1%)的电阻连接至地

PCIE_H_P RSNTn[1:0]	AD22 AD23	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	控制器使能信号，默认全高 X8 模式时，PCIE_H_PRSNTn1 必须置高。PCIE_H_PRSNTn0 作为控制使能信号，当设备接入时置低。 X4 模式时，PCIE_H_PRSNTn0 作为数据总线的 0~3 使能信号，当有设备接入时置低。PCIE_H_PRSNTn1 作为数据总线的 4~7 使能信号，当有设备接入时置低。 不用时建议外部上拉到 3.3VS0 处理。
PCIE_H_RS TN	AE23	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	H 路 PCIE 复位信号，低电平有效。 建议外部预留 4.7K 电阻上拉到 3.3VS0。
PCIE_FO_T XP[3:0]	AK23 AK22 AK21 AK20	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	F0 通路 PCIe4 差分数据输出正。 当 PCIE_FO_PRSNTn[1:3] 其中有一个为低时，此通路拆分为 4 个 X1 通路使用。 靠近发送端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_FO_T XN[3:0]	AJ23 AJ22 AJ21 AJ20	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	F0 通路 PCIe4 差分数据输出负。 当 PCIE_FO_PRSNTn[1:3] 其中有一个为低时，此通路拆分为 4 个 X1 通路使用。 靠近发送端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_FO_R XP[3:0]	AF22 AF23 AF21 AF20	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	F0 通路 PCIe4 差分数据输入正 当 PCIE_FO_PRSNTn[1:3] 其中有一个为低时，此通路拆分为 4 个 X1 通路使用。 靠近设备端放置 0.1uf 的隔直电容。 不用时可悬空。
PCIE_FORX N[3;0]	AG22 AG23 AG21 AG20	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	F0 通路 PCIe4 差分数据输入。 当 PCIE_FO_PRSNTn[1:3] 其中有一个为低时，此通路拆分为 4 个 X1 通路使用。 靠近设备端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_FO_R EFRES	AC20	A	Yes <input type="checkbox"/> No <input type="checkbox"/>	外部参考电阻，通过一个 200ohm(1%) 的电阻连接至地

PCIE_F0_P RSNTN[1:0]	AG19 AF19	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	控制器使能信号，默认全高 X4 模式时，PCIE_F0_PRSNtN[1:3]必须置高。PCIE_F0_PRSNtN0 作为控制使能信号，当设备接入时置低。 X1 模式时，PCIE_F0_PRSNtN[0:3]分别作为数据总线的 0~3 使能信号，当有设备接入时对应的使能信号需要置低。 不用时建议外部上拉到 3.3VS0 处理。
PCIE_F0_R STN	AC20	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	F0 通路 PCIE 复位信号，低电平有效。建议外部预留 4.7K 电阻上拉到 3.3VS0。
PCIE_F1_T XP[3:0]	AK19 AK18 AK16 AK15	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	F1 通路 PCIe4 差分数据输出正。 当 PCIE_F1_PRSNtN1 为低时，此通路拆分为 2 个 X1 通路使用。分别为数据组 0、1。 靠近发送端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_F1_T XN[3:0]	AJ19 AJ18 AJ16 AJ15	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	F1 通路 PCIe4 差分数据输出负。 当 PCIE_F1_PRSNtN1 为低时，此通路拆分为 2 个 X1 通路使用。分别为数据组 0、1。 靠近发送端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_F1_R XP[3:0]	AF18 AF17 AF16 AF15	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	F1 通路 PCIe4 差分数据输入正。 当 PCIE_F1_PRSNtN1 为低时，此通路拆分为 2 个 X1 通路使用。分别为数据组 0、1。 靠近设备端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_F1_R XN[3:0]	AG18 AG17 AG16 AG15	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	F1 通路 PCIe4 差分数据输入负。 当 PCIE_F1_PRSNtN1 为低时，此通路拆分为 2 个 X1 通路使用。分别为数据组 0、1。 靠近设备端摆放 0.1uf 的隔直电容。 不用时可悬空。
PCIE_F1_R EFRES	AC16	A	Yes <input type="checkbox"/> No <input type="checkbox"/>	外部参考电阻，通过一个 200ohm(1%)的电阻连接至地
PCIE_F1_P RSNTN[1:0]	AE17 AD17	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	控制器使能信号，默认全高 X4 模式时，PCIE_F1_PRSNtN1 必须置高。PCIE_F1_PRSNtN0 作为控制使能信号，当设备接入时置低。

				X1 模式时, PCIE_F1_PRSENTn[0:1]分别作为数据总线的 0~1 使能信号, 当有设备接入时对应的使能信号需要置低。 不用时建议外部上拉到 3.3VS0 处理。
PCIE_F1RS TN	AD18	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	F1 通路 PCIE 复位信号, 低电平有效。 建议外部预留 4.7K 电阻上拉到 3.3VS0。

注:

- 1、PCIE 支持信号反转（软件可配，若 X8 通道拆分为两个 X4 使用时，低 4 位不支持 lane reversal，仅高 4 位支持），支持 N/P 互换。
- 2、由于 PCIE 端口内部 buffer 容量差异，如需使用 Realtek 网卡设备，尽量连接到 F0 的 PORT2/3 端口，其他端口不能保证性能最优。

2.2.3 USB

Signal Name	Balls	Signal Type	Checked	Recommendations
USB0TXRT UNE[0:5]	K1 L3 N6 M6 N7 M1	A	Yes <input type="checkbox"/> No <input type="checkbox"/>	参考电阻，通过一个 200ohm(1%)的电阻连接到地
USB0_DP[0:5]	K3 L2 N3 L4 M3 N2	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	USB0~5 数据正 不用时可悬空
USB0_DM [0:5]	K2 L1 N4 M4 M2 N1	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	USB0~5 数据负 不用时可悬空
USB0_OC[0:2]	P4 P3 P2	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	USB 过流检测，高有效； 与数据信号对应关系为 OC0 对应 USB0~1 OC1 对应 USB2~3

				OC2 对应 USB4~5 不使用时下拉到地
--	--	--	--	---------------------------

2.2.4 DDR3

Signal Name	Balls	Signal Type	Checked	Recommendations
DDR_DQ[15:0]	M27 M28 M29 M30 P28 P27 P29 N30 P24 L27 K29 K30 P25 L30 N26 R24	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM 数据信号
DDR_DQS P[1,0]	N28 L28	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM 数据选通差分信号, 正沿
DDR_DQS N[1:0]	N29 L29	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM 数据选通差分信号, 负沿
DDR_DQ M[1:0]	N27 N25	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM 数据屏蔽信号
DDR_A[15:0]	H29 J27 H27 H28 G29	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM 地址总线信号

	J26 G30 F27 K25 G26 M25 M24 F26 J29 G25 F25			
DDR_BA[2:0]	H30 L25 K24	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM 逻辑 bank 地址信号
DDR_WEN	L26	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM 写使能信号
DDR_CAS N	J30	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM 列地址选择信号
DDR_RAS N	J28	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM 行地址选择信号
DDR_CSN	K27	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM 片选信号
DDR_CKE	H24	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM 时钟使能信号
DDR_CKPO	G27	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM 差分时钟输出信号, 正沿
DDR_CKN0	G28	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM 差分时钟输出信号, 负沿
DDR_ODT	K28	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM ODT 输出信号

DDR_RESE TN	H25	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 SDRAM 复位信号
DDR_REXT	J25	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DDR3 外部参考电阻， 通过一个 240ohm(1%)的电阻连接至地

注:

- 1.显存颗粒推荐优先选用公版型号。
- 2.DDR3 颗粒如果只使用单颗颗粒， 外部可不保留终端电阻。
- 3.如不使用 7A1000 的 DVO 功能，可不保留 DDR3 颗粒设计，但是 7A1000 桥片显示相关电源设计仍要保留。

2.2.5 SATA

Signal Name	Balls	Signal Type	Checked	Recommendations
SATA_REF RES	V25	A	Yes <input type="checkbox"/> No <input type="checkbox"/>	外部参考电阻，通过一个 200 Ω 电阻 接地
SATA_TXP[2:0]	T26 U27 V30	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	SATA 差分数据输出信号，正沿 不用时可悬空
SATA0_TX N[2:0]	T27 U26 V29	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	SATA 差分数据输出信号，负沿 不用时可悬空
SATA0_RX P[2:0]	R27 R29 U29	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	SATA 差分数据输入信号，正沿 不用时可悬空
SATA0_RX N[2:0]	R26 R30 U30	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	SATA 差分数据输入信号，负沿 不用时可悬空
SATA0_LE DN[2:0]	P30 U24 U28	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	SATA 工作状态指示输出信号，低表 示有数据传输 使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空

2.2.6 SPI

Signal Name	Balls	Signal Type	Checked	Recommendations
SPI_SCK	W25	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	SPI 时钟输出 使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空
SPI_SDO	Y30	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	SPI 数据 命令输出 使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空
SPI_SDI	W26	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	SPI 数据输入 使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空
SPI_CSN[0 :1]	W30 W29	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	SPI 片选输出 使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空
SPI_CSN[2 :3]	W28 W27	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	默认通用操作系统用作 DVO 对应的 HP 检测信号，外部上拉，须通过外部线路默认将该信号拉低。 显示器接入时拉高。 显示器拔出是拉低。

2.2.7 LPC

Signal Name	Balls	Signal Type	Checked	Recommendations
LPC_AD[3:0]	B7 F10 A6 E9	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	LPC 地址/数据输入输出 使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空

LPC_FRA MEN	D9	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	LPC 帧同步信号，低电平有效 使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空
LPC_SERIR Q	C7	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	LPC 总线中断输入 使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空
LPC_RESE TN	E10	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	LPC 总线复位输出 使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空

注：LPC 设备和控制器要求时钟同源

2.2.8 I2C

Signal Name	Balls	Signal Type	Checked	Recommendations
I2C0_SCL	AC26	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空
I2C0_SDA	AD26	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空
I2C1_SCL	AC24	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空
I2C1_SDA	AC25	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空

2.2.9 UART

Signal Name	Balls	Signal Type	Checked	Recommendations
----------------	-------	----------------	---------	-----------------

UART_TXD	D11	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	Uart0 数据发送 不用时可悬空
UART_RXD	B10	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	Uart0 数据接收 不用时可悬空
UART_RTS	A9	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	Uart0 请求发送/Uart1 数据发送 不用时可悬空
UART_CTS	B11	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	Uart0 清除发送/Uart1 数据接收 不用时可悬空
UART_DTR	C11	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	Uart0 数据终端准备好/Uart2 数据发送 不用时可悬空
UART_DSR	C10	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	Uart0 数据装置准备好/Uart2 数据接收 不用时可悬空
UART_RI	E11	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	Uart0 振铃指示/Uart3 数据发送 不用时可悬空
UART_DC D	A10	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	Uart0 数据载波检查/Uart3 数据接收 不用时可悬空

注：通用类产品系统默认将 UART0 端口配置串口功能，不可用与 GPIO 或者 I2C 复用使用。如需其他复用功能需修改内核进行支持。

2.2.10 GMAC

Signal Name	Balls	Signal Type	Checked	Recommendations
GMAC0_T XCK	T2	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 0 的 RGMII 发送时钟信号 不用时可悬空

GMAC0_T CTL	R3	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 0 的 RGMII 发送控制信号 不用时可悬空
GMAC0_T XD[3:0]	P1 T4 T6 R4	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 0 的 RGMII 发送数据总线 不用时可悬空
GMAC0_R XCK	R1	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 0 的 RGMII 接收时钟信号 不用时可悬空
GMAC0_R CTL	T1	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 0 的 RGMII 接收控制信号 不用时可悬空
GMAC0_R XD[3:0]	U2 U3 U4 T3	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 0 的 RGMII 接收数据总线 不用时可悬空
GMAC0_ MDCK	R2	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 0 的 SMA 接口时钟信号 不用时可悬空
GMAC0_ MDIO	T7	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 0 的 SMA 接口数据信号 外部需通过 4.7K 电阻上拉到 3.3V。
GMAC1_T XCK	V5	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 1 的 RGMII 发送时钟信号 不用时可悬空
GMAC1_T CTL	U1	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 1 的 RGMII 发送控制信号 不用时可悬空
GMAC1_T XD[3:0]	V6 V7 U8 V1	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 1 的 RGMII 发送数据总线 不用时可悬空
GMAC1_R XCK	V3	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 1 的 RGMII 接收时钟信号 不用时可悬空
GMAC1_R CTL	W4	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 1 的 RGMII 接收控制信号 不用时可悬空

GMAC1_RXD[3:0]	W7 W5 V2 W3	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 1 的 RGMII 接收数据总线 不用时可悬空
GMAC1_MDCK	U5	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 1 的 SMA 接口时钟信号 不用时可悬空
GMAC1_MDIO	U6	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	GMAC 控制器 1 的 SMA 接口数据信号 外部需通过 4.7K 电阻上拉到 3.3V。

2.2.11 PWM

Signal Name	Balls	Signal Type	Checked	Recommendations
PWM[3:0]	Y29 Y28 Y27 Y26	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	与 GPIO[7:4]复用 如果用作风扇控制功能, 默认 PWM0 为 CPU_FAN PWM1 为 SYS_FAN

2.2.12 HDA

Signal Name	Balls	Signal Type	Checked	Recommendations
HDA_BITCLK	B9	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	HDA_BITCLK 输出、AC97_BITCLK 输入 不用时可悬空
HDA_SDI[0:2]	A7 F11 G12	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	HDA/AC97 数据输入, 连接第一个 codec; HDA 数据输入, 连接第二个 codec; HDA 数据输入, 连接第二个 codec; 不使用时外部需通过 4.7K 电阻下拉至地

HDA_SDO	B8	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	数据输出 不用时可悬空
HDA_SYNC	C9	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	同步信号 不用时可悬空
HDA_RESENTN	A8	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	复位信号 不用时可悬空

2.2.13 GPIO

Signal Name	Balls	Signal Type	Checked	Recommendations
GPIO0	P6	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	通用输入输出引脚 默认为输出高 不用时可悬空

GPIO 复用功能详见手册

2.2.14 RTC

Signal Name	Balls	Signal Type	Checked	Recommendations
RTC_XI	AB4	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	RTC 时钟输入引脚 32.768KHz 时钟输入
RTC_XO	AB5	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	RTC 时钟输出引脚 32.768KHz 时钟输出
RTC_DOTESTN	AB6	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	默认通过 4.7K 上拉至 RTC_3V

RTC_RSM RSTN	AB3	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	RSM 域复位信号，在 RSM 电源稳定后外部拉起。
RTC_RSTN	AB2	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	RTC 域寄存器复位信号，在 RTC 电源稳定后外部拉起。

注：

1. 默认通用操作系统使用内部 RTC 功能模块。
2. RTC 相关引脚禁止悬空。
3. 对于工业级芯片(包括专用工业级和普通工业级)，RTC_3V 通过 300K 欧电阻上拉到 RTC 电源(3.0~3.3V)；对于商业级芯片，RTC_3V 通过 158K 欧电阻上拉到 RTC 电源(3.0~3.3V)。
4. RTC_RSTN 信号抬高时，RTC 晶体必须已经起振稳定。

2.2.15 DVO

Signal Name	Balls	Signal Type	Checked	Recommendations
DVO0_CKP	A4	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO0 的时钟输出信号，正沿（单端全摆幅信号） 不用时可悬空
DVO0_CKN	B4	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO0 的时钟输出信号，负沿（单端全摆幅信号），一般不使用。 不用时可悬空
DVO0_HSY NC	F9	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO0 的水平同步信号 不用时可悬空
DVO0_VSY NC	G10	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO0 的垂直同步信号 不用时可悬空
DVO0_DE	D7	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO0 的数据有效信号 不用时可悬空
DVO0_D[0: 23]	E8 C6 B5 F8 D6	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO0 的显示数据信号 不用时可悬空

	C5 A3 B3 C4 D5 E6 F7 G8 B2 A2 C3 D4 B1 C2 C1 D3 D1 D2 E5			
DVO0_SCL	B6	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO0 的 I2C 串行时钟信号 不用时可悬空
DVO0_SDA	A5	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO0 的 I2C 串行数据信号 不用时可悬空
DVO1_CKP	F3	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO1 的时钟输出信号，正沿（单端全摆幅信号） 不用时可悬空
DVO1_CKN	F4	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO1 的时钟输出信号，负沿（单端全摆幅信号），一般不使用。 不用时可悬空
DVO1_HSY NC	F5	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO1 的水平同步信号 不用时可悬空
DVO1_VSY NC	E4	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO1 的垂直同步信号 不用时可悬空
DVO1_DE	G6	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO1 的数据有效信号 不用时可悬空

DVO1_D[0:23]	F6 E2 E3 H6 J7 G5 F2 E1 F1 G4 G3 G2 G1 H4 H5 J6 H3 H2 H1 J4 J3 J2 J1 K6	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO1 的显示数据信号 不用时可悬空
DVO1_SCL	K5	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO1 的 I2C 串行时钟信号 不用时可悬空
DVO1_SDA	K4	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	DVO1 的 I2C 串行数据信号 不用时可悬空

注：

1. DVO 接口的数据位 DVO_D[23:0]分别对应 RGB888，即：DVO_D[23:16]对应 RGB 信号的 R[7:0]，DVO_D[15:8]对应 RGB 信号的 G[7:0]，DVO_D[7:0]对应 RGB 信号的 B[7:0]。

当使用的转换芯片的 RGB 信号宽度小于 8 位时，必须使用桥片输出信号的高位数据。比如转换芯片的格式为 RGB565，则需要使用桥片的 DVO_D[23:19]连接 R，使用 DVO_D[15:10]连接 G，使用 DVO_D[7:3]连接 B。

2. 板卡必须使用 DVO_SCL/SDA 引脚连接 PHY 转换芯片和显示器接口。

桥片的每个 DVO 接口都自带了一组 I2C 信号,用于连接 DVO 接口的转换 PHY 芯

片和显示器。板卡设计时，必须使用该组 I2C 信号连接 PHY 芯片（如果 PHY 芯片存在 I2C 配置接口的话）和显示器接口，而不使用 PHY 芯片输出的 I2C 引脚。

3.如果板卡需要支持显示器热插拔功能，使用 SPI_CSn2 和 SPI_CSn3（复用为 GPIO 功能）分别作为 DVO0 和 DVO1 通道的显示器热插拔检测引脚使用。

2.2.16 Strap & Control

Signal Name	Balls	Signal Type	Checked	Recommendations
PCIEBRGM ODE	AC30	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	默认通过 4.7k 下拉至地
CLKSEL[8:0]	Y25 AA29 AA30 AA28 AB30 AB29 AA26 AA25 AB28	I/O	Yes <input type="checkbox"/> No <input type="checkbox"/>	CLKSEL[5:0]: 悬空 CLKSEL6: HT PHY 参考时钟选择 0: 使用 200MHz 差分输入时钟 1: 使用 100MHz 单端系统输入时钟 (推荐使用) CLKSEL7: HT 频率配置模式选择, 默认通过 4.7k 下拉至地 CLKSEL8: 悬空

2.2.17 JTAG

Signal Name	Balls	Signal Type	Checked	Recommendations
JTAG_TCK	AC28	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	JTAG 时钟信号 使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空

JTAG_TDI	AD30	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	JTAG 数据输入信号 使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空
JTAG_TMS	AD28	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	JTAG 模式 使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空
JTAG_TRST	AD27	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	JTAG 复位信号 内部默认上拉 推荐板卡设计时外接 100k 下拉到地，预留上拉电阻位置。 不用时通过 4.7K 下拉至地
JTAG_TDO	AD29	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	JTAG 数据输出 使用时外部需通过 4.7K 电阻上拉到 3.3V。 不用时可悬空

2.2.18 ACPI

Signal Name	Balls	Signal Type	Checked	Recommendations
ACPI_EN	Y1	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	正常模式需要上拉到 3.3VSB，使能 ACPI 信号；该信号为低时，所有 ACPI 信号不起作用（可用于开机自动上电）。
ACPI_SYSR STN	AB1	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	桥片复位输入，上升沿有效。当桥片接收到该信号后，内部除 ACPI 以外模块寄存器均被复位，并触发后续 PLTRST、PCIE_RST、LPC_RST 和 MEM_RST 等外设复位信号输出。
ACPI_RINGN	AA2	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	输入信号，外部振铃唤醒，低电平有效，需与软件配合使用。外部上拉到 3.3VSB。
ACPI_WAKEN	AA1	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	输入信号，外部 PCIE 唤醒信号，低电平有效，需与软件配合使用。外部上拉到 3.3VSB。
ACPI_LID	W2	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	输入信号，软件使能后，该信号跳变会触发系统中断。 台式机连接方法： 外部上到 3.3VSB。

				笔记本-使用 7A1000 内部独立显示单元连接方法：连接到 7A1000 桥片的 ACPI_LID 管脚，要求低电平有效，持续时间大于 15ms
ACPI_PWR TYPE	Y2	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	输入信号，可用于笔记本方案外部供电类型监测，软件使能后，该信号跳变会触发系统中断。建议外部上到 3.3VSB。
ACPI_BATL OWN	Y3	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	输入信号，可用于笔记本方案电池低电量保护功能，在开机状态，配合软件使能，该信号可触发系统中断，当关机状态该信号为低时，ACPI_POWERBTN 不能正常唤醒机器。建议外部上到 3.3VSB。
ACPI_S3N	Y7	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	S3 状态输出信号，当系统在 S0 时为高，当在 G3、S5、S4 和 S3 状态下为低。需外部上拉 3.3V SB 电。可用作 S0 电源开启控制。在待机 STR 功能中，可作为 3A 端处理器 MEM_VDDE 和内存条 VTT 电源的使能控制。
ACPI_S4N	AA6	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	S4 状态输出信号，当系统在 S0/3 时为高，当在 G3、S5 和 S4 状态下为低。需外部上拉 3.3VSB 电。
ACPI_S5N	AA5	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	S5 状态输出信号，当系统在 S0/3/4 时为高，当在 G3 和 S5 状态下为低。需外部上拉 3.3VSB 电。可用作待机功能时的 3A 端的内存颗粒 MEM_VDDE 和 MEM_VDDP 电源使能。
ACPI_PLTR STN	W1	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	平台复位输出，可用于复位 IO 外设和 3A 处理器。低电平有效。
ACPI_SLPL ANN	AA4	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	输出信号，可用于网络电源控制，该信号根据 ACPI_PWRTYPE 的不同，由 ACPI 寄存器中 PMCON_RTC 的 8/7 位决定低功耗时的输出状态。建议外部上到 3.3VSB。
ACPI_PWR BTNN	Y6	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	ACPI 使能时，作为开机唤醒信号，需要在 RSM_RST 拉高稳定后触发。启动信号为大于 20ms 低于 3S 的低脉冲（上升沿触发），桥片接收到该唤醒信号后，会拉起相应的 ACPI_S3/4/5 信号。4S 以上低脉冲为

				强制关机信号。该信号在系统启动后可作为中断触发输入功能，配合软件可实现待机等功能。需上拉 3.3VSB。
ACPI_PWR OK	Y4	I	Yes <input type="checkbox"/> No <input type="checkbox"/>	ACPI 使能时，外部电源正常状态指示输入。当外部所有电源启动正常后，拉高该信号，桥片进行内部逻辑的复位；并可触发后续 PLTRST、PCIE_RST、LPC_RST 和 MEM_RST 等外设复位信号输出。
VSB_GATE N	P5	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	S3 功能时，控制 dual 电转换。此信号使能后，会早于 ACPI_S3N 被拉低，按下唤醒键后，晚于 ACPI_S3N 被拉高。

2.2.19 Interrupt

Signal Name	Balls	Signal Type	Checked	Recommendations
SYS_INT0	AB25	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	默认不接，可预留连接到处理器 GPIO0
SYS_INT1	AA24	O	Yes <input type="checkbox"/> No <input type="checkbox"/>	

2.2.20 POWER

信号名称	标准电源 (V)	实测最大电流 (A)	备注
VDD	1.1V	2.002	
VDD_RSM	1.1V	0.106	
DDR_VDDE	1.5V	0.357	
DDR_VREF	0.75V	<1mA	
HT_1V2	1.2V	0.498	纹波不能高于 10mV
HT_1V8	1.8V	0.072	
PEST_1V1	1.1V	1.302	
PEST_3V3	3.3V	0.444	

GMAC_VDDE (见注 1)	3.3V/2.5V	0.023	
USB_A3V3	3.3V	0.174	
IO_3V3	3.3V	0.069	
ACPI_3V3	3.3V	0.045	
RTC_3V	2.5V~2.8V	N/A	
PLL_VDD (见注 3)	1.25V	<80mA	建议使用单独的 LDO 电源供电

注:

- 1.工作在 3.3V 供电电压下。
2. RTC_3V 在 G3 (物理断电) 状态下的电流小于 5 μ A.
- 3.PLL_VDD 包括: PLL_HT_VDD、PLL_VDDA/VDDD_CORE、PLL_VDDA/VDDD_PER、PLL_VDDA/VDDD_GRAPH。
4. 主板上电时序参见 7A1000 数据手册。
5. 除特殊说明外, 所有电源大负载下纹波控制在 \pm 25mv 以内。

2.3 其他设计注意事项

2.3.1 时钟

2.3.1.1 3A5000 时钟设计要求

信号名称	类型	描述	电源域
SYCLK	I	100M LVCMOS 单端时钟, 是内部处理器核时钟、内存控制器及总线时钟、串口波特率等的时钟源。 设计建议: 处理器 SYCLK 需要预留展频设计, 建议展频幅度为正负 0.25%。 时钟 RMS jitter 要求: 不大于 0.5ps	VDDE_1V8

HT_CLKP/N	I	<p>200M LVDS 差分时钟，是可选的 HT 部分的 PLL 时钟源。</p> <p>设计建议：推荐预留，不接。不接时 HTCLKp 接上拉到 HT_VDDE, HTCLKn 下拉接地。</p> <p>时钟 RMS jitter 要求：不大于 0.5ps</p> <p>注：HT 部分可通过 CLKSEL[8] 进行选择用 SYSCLK 产生还是用 HT_CLKP/N 时钟产生，推荐使用 SYSCLK 产生。</p>	HT_VDDE
-----------	---	--	---------

2.3.1.2 7A1000 时钟设计要求

信号名称	类型	描述	电源域
CLKIN	I	桥片 100 MHz 主参考时钟，除 LPC 以外的所有模块均可由内部锁相环产生。 如果 PCIE 控制器使用内部时钟，PCIE 的设备时钟需要与该时钟同源。 该时钟不能加展频。	IO_3V3
TESTCLK	I	测试时钟输入，保留，通过 10Kohm 电阻接地	IO_3V3
LPC_CLKIN	I	LPC 33MHz 参考时钟，不使用 LPC 接口时，可不接。 设计建议： 推荐使用晶振加 buffer 的方式提供主板上 LPC 主控及设备的 33M 时钟。	IO_3V3
CLKOUT33M	O	33.3 MHz 单端时钟输出。	IO_3V3
CLKOUT100M	O	100 MHz 单端时钟输出。可用作处理器 SYSCLK。	IO_3V3
CLKOUT25M	O	25 MHz 单端时钟输出，在 S0 状态下输出 25MHz 时钟，其他状态下输出为低电平。	ACPI_3V3
CLKOUTFLEX	O	频率可变单端时钟输出，在 S0 状态下输出可变频率时钟，其他状态下输出为低电平。 默认为 33.3 MHz。	ACPI_3V3
HTCLKp/n	I	HT 200 MHz 差分参考时钟，HT 部分的 PLL 时钟源。 设计建议： 可不接。不接时 HTCLKp 接上拉电阻到 HT_VDDE, HTCLKn 接下拉电阻到地。	HT_VDDE
PCIE_F0_CLKINp/n	I	PCIE_F0 100 MHz 差分参考时钟，使用内部时钟时可不接	-
PCIE_F1_CLKINp/n	I	PCIE_F1 100 MHz 差分参考时钟，使用内部时钟时可不接	-

PCIE_H_CLK INp/n	I	PCIE_H 100 MHz 差分参考时钟, 使用内部时钟时可不接	-
PCIE_G0_CL KINp/n	I	PCIE_G0 100 MHz 差分参考时钟, 使用内部时钟时可不接	-
PCIE_G1_CL KINp/n	I	PCIE_G1 100 MHz 差分参考时钟, 使用内部时钟时可不接	-
SATA0_CLKI Np/n	I	SATA0 100 MHz 差分参考时钟, 建议不接	-
SATA1_CLKI Np/n	I	SATA1 100 MHz 差分参考时钟, 建议不接	-
SATA2_CLKI Np/n	I	SATA2 100 MHz 差分参考时钟, 建议不接	-
USB_XI	I	保留, 通过 10Kohm 电阻接地。	-
USB_CLKIN	I	USB 12 MHz 单端时钟输入	-

注:

- 1.不使用的输入参考时钟可以不提供, 但需通过 10Kohm 的电阻接地。
- 2.对于 USB 模块的参考时钟 USB_CLKIN, 当不使用 USB 接口唤醒功能时, 可不接, 此时需将引脚通过 10Kohm 的电阻接地; 否则必须提供一个 12MHz 的板上时钟, 注意板上时钟的电压幅值应为 2.5V。
- 3.无论 PCIE 控制器使用内部时钟还是外部时钟, PCIE 控制器和外设要求时钟同源。PCIE 控制器使用外部时钟时, 用到的控制器对应时钟输入端口都需要接入。

2.3.2 时序要求

2.3.2.1 主板复位时序

此部分请详细参照 7A1000 数据手册相关部分。

2.3.2.2 ACPI 下特殊复位信号设计建议

- 1.目前 7A1000 桥片的 ACPI_SYSRSTN 为上升沿有效, 在某些特定应用场景作为系统硬复位不太适合, 所以目前推荐使用 ACPI_POWEROK 信号作为系统硬件复位输入源。7A1000 桥片 BA 版及后续版本的 ACPI_SYSRSTN 为电平有效, 可作为系统硬件复位输入源, 预留 ACPI_POWEROK 信号作为系统硬件复位输入源。
- 2.建议用 7A1000 桥片的 PLT_RST 信号通过延迟 200ms 后作为处理器 SYSRESET 使用。
- 3.主板系统复位必须预留外部看门狗方案。

2.3.3 7A1000 显示单元的设计

参见《龙芯 CPU 统一系统架构规范》中龙芯显示软硬件设计规范相关章节。

2.3.4 桥片 SPI 存储 rom

7A1000 平台主板硬件设计时,7A1000 桥片的 SPI 总线建议连接一个 SPI flash,片选固定为 CS0,读写方式必须完全兼容 SST25VF010,容量不低于 512KB。该 flash 用于存储桥片集成 GMAC 的 MAC 地址、7A1000 的 GPU 显示相关参数信息、主板串号等。

2.3.5 笔记本、一体机方案注意事项

平台规范笔记本、一体机方案几个特殊功能引脚定义。

独显方案中 EC 的 SCI 的引脚必须连接到 7A1000 对应管脚,三个背光控制端口由 EC 控制(预留显卡端控制端口做为备份),一体机中 OSD 链接 EC,由 EC 上报系统。SMARTFAN 功能由 EC 控制。

7A1000 的显示单元方案中 EC 的 SCI 的引脚必须连接到 7A1000 对应管脚,三个背光控制端口由 7A1000 相应管脚控制,一体机中 OSD 链接 EC,由 EC 上报系统。SMARTFAN 功能由 EC 控制。

笔记本、一体机方案中 7A1000 现规定几个特殊管脚定义与之对应:

SCI(System Control Interrupt)	连接到 7A1000 桥片的 ACPI_LID 管脚,要求低电平有效,持续时间大于 15ms
LCD_EN(LCD backlight enable)	CLKSEL0(GPIO46)默认下拉
LCD_VDD_EN(LCD power enable)	CLKSEL1(GPIO47)默认下拉
LCD_PWM(LCD backlight PWM)	PWM3(GPIO07)

2.3.6 接口外设支持列表

详见《龙芯 3A5000_7A1000 平台外围功能芯片适配列表》《龙芯 3A5000 平台内存模组适配列表》《龙芯 3A5000 平台 BIOS 支持列表》

2.3.7 SE 模块最小设计

2.3.7.1 概述

本节为龙芯 3A5000 安全处理器 SE 模块硬件最小电路设计参考。

2.3.7.2 硬件参考设计

1) 系统组成

龙芯 3A5000 安全处理器 SE 模块最小接口电路由配置电路、状态指示、UART、QSPI 组成，模块外围电路框图如下图所示。

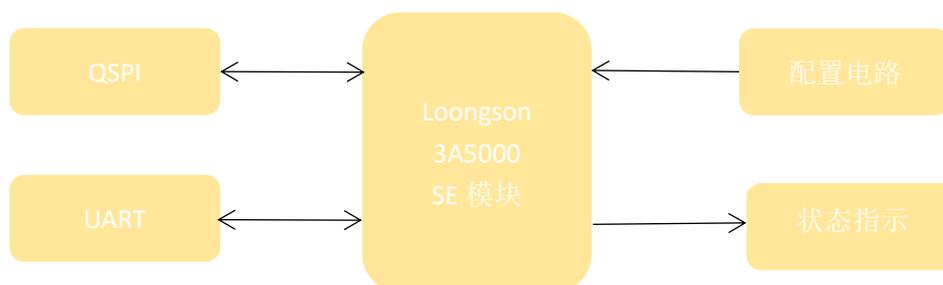


图 2.3.7-1 SE 模块外围电路框图

2) 接口详细参考设计

SE 外围电路参考设计详细描述如下所示。

配置电路：将配置信号管脚（CHIP_CONFIG[0]）接拨码开关，（SE_CLK_SEL）接上拉电阻、（SE_GPIO8、SE_GPIO9）管脚接下拉电阻。参考设计如下图所示。



图 2.3.7-2 配置电路参考设计

状态指示：状态指示信号引脚（SE_GPIO4~7）外接 LED 灯，SE_GPIO4 接绿色 LED 灯，其他 GPIO 接黄色 LED 灯，信号引脚（SE_GPIO4~7）与 LED 灯之间串接阻值 1K 的电阻，状态指示电路图如下图所示。（IO 口驱动能力）

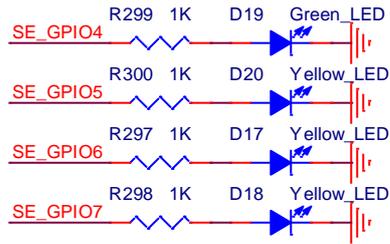


图 2.3.7-3 状态指示参考设计

UART 接口外接 3 芯 2.54mm 单排插针，串口 RX 引脚接 4.7K 上拉电阻，插针引脚定义如下图所示。

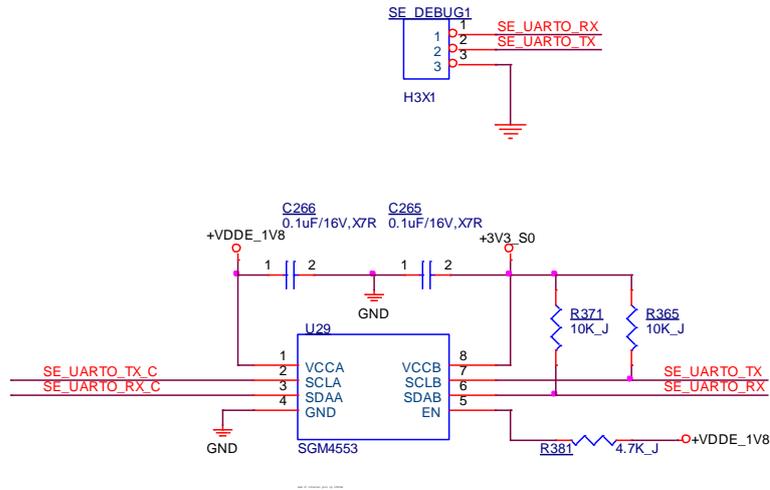


图 2.3.7-4 配置电路参考设计

QSPI 接口外扩兆易创新 SPI FLASH，工作电压 1.8V，封装 SOP8，参考电路如下图所示。

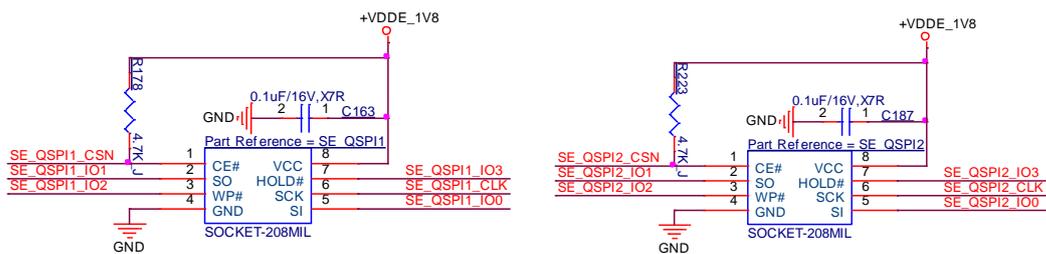


图 2.3.7-5 QSPI 接口参考设计

3) 芯片接口管脚列表

芯片具体管脚设计列表如下表所示。

分类	信号名称	输入输出	管脚	描述	默认处理方式	电压域
Clock	SYS_CLK	I	T06	系统输入时钟，	外接 100MHz 时钟	VDDE_1V8
	CLKSEL[4]	I	R06	CPU 参考时钟分频	0: 需外部 1K 下拉	VDDE_1V8

				选择： 1: 不分频；0: 4 分频		
Config	SE_CLK_SEL	I	W36	SE 功能时钟选择	1: 需外部 4.7K 上拉	VDDE_1V8
	CHIP_CONFIG[0]	I	N06	SE Boot 使能： 1: SE 启动；0: 龙芯启动	1: 使能 SE 可信功能，需外部 4.7K 上拉	VDDE_1V8
JTAG	TSEL0	I	W06	JTAG 功能选择： 00: LA464 JTAG 11: SE JTAG	00: 需外部 1K 下拉	VDDE_1V8
	TSEL1	I	Y03			VDDE_1V8
GPIO	SE_GPIO0	IO	V34	保留		VDDE_1V8
	SE_GPIO1	IO	V33	保留		VDDE_1V8
	SE_GPIO2	IO	V35	保留		VDDE_1V8
	SE_GPIO3	IO	V37	保留		VDDE_1V8
	SE_GPIO4	IO	W34	保留		VDDE_1V8
	SE_GPIO5	IO	V36	SE 系统状态显示 1	外接指示灯，高有效	VDDE_1V8
	SE_GPIO6	IO	W32	SE 系统状态显示 2	外接指示灯，高有效	VDDE_1V8
	SE_GPIO7	IO	W33	保留		VDDE_1V8
	SE_GPIO8	IO	W35	已使用	需外部 1K 下拉	VDDE_1V8
	SE_GPIO9	IO	W37	已使用	需外部 1K 下拉	VDDE_1V8
UART	SE_UART0_TX	O	M33	SE 串口 0 数据输出	UART0 可引出用于调试 UART1 保留	VDDE_1V8
	SE_UART0_RX	I	M32	SE 串口 0 数据输入		VDDE_1V8
	SE_UART1_TX	O	M34	SE 串口 1 数据输出		VDDE_1V8
	SE_UART1_RX	I	M36	SE 串口 1 数据输入		VDDE_1V8
QSPI	SE_QSPI1_FLASH_CLK	O	P37	SE QSPI 1 时钟信号	外部需连接兆易创新 GD25L64ESIG 芯片。使用叠封 LS3A5000 芯片时，此 Flash 芯片不能焊接	VDDE_1V8
	SE_QSPI1_FLASH_CSN	O	R33	SE QSPI 1 片选信号		VDDE_1V8
	SE_QSPI1_FLASH_IO0	IO	R34	SE QSPI 1 Flash 数据 0		VDDE_1V8
	SE_QSPI1_FLASH_IO1	IO	R36	SE QSPI 1 Flash 数据 1		VDDE_1V8
	SE_QSPI1_FLASH_IO2	IO	R37	SE QSPI 1 Flash 数据 2		VDDE_1V8

	SE_QSPI1_FL ASH_IO3	IO	R35	SE QSPI 1 Flash 数据 3		VDDE_1V8
	SE_QSPI2_FL ASH_CLK	O	P34	SE QSPI 2 时钟信号	使用可信存储时， 外部可选配 SPI FLASH 芯片，容量 128Mb	VDDE_1V8
	SE_QSPI2_FL ASH_CSN	O	P33	SE QSPI 2 片选信号		VDDE_1V8
	SE_QSPI2_FL ASH_IO0	IO	P32	SE QSPI 2 Flash 数据 0		VDDE_1V8
	SE_QSPI2_FL ASH_IO1	IO	N35	SE QSPI 2 Flash 数据 1		VDDE_1V8
	SE_QSPI2_FL ASH_IO2	IO	N37	SE QSPI 2 Flash 数据 2		VDDE_1V8
	SE_QSPI2_FL ASH_IO3	IO	N36	SE QSPI 2 Flash 数据 3		VDDE_1V8
	SE_QSPI2_FL ASH_IO3	IO	N36	SE QSPI 2 Flash 数据 3		VDDE_1V8
SPI	SE_SPI_MOS I	O	M37	SE SPI 总线输出	不用时，无需处理	VDDE_1V8
	SE_SPI_MIS O	I	N33	SE SPI 总线输入		VDDE_1V8
	SE_SPI_CSN	O	M35	SE SPI 片选信号		VDDE_1V8
	SE_SPI_CLK	O	N34	SE SPI 总线时钟		VDDE_1V8
SCI	SE_SCI_RSTN	O	T36	SE SCI 总线复位信 号	不用时，无需处理	VDDE_1V8
	SE_SCI_DETE CT	I	T32	SE SCI 总线检测信 号输入		VDDE_1V8
	SE_SCI_DATA	IO	T34	SE SCI 总线数据收 发信号		VDDE_1V8
	SE_SCI_CLK	O	T33	SE SCI 总线时钟输 出		VDDE_1V8
I2C	SE_I2C_SCL	O	P36	SE I2C 时钟信号	不用时，无需处理	VDDE_1V8
	SE_I2C_SDA	IO	P35	SE I2C 数据		VDDE_1V8
RSVD	RSVD1	IO	U34	保留信号	不用时，无需处理	VDDE_1V8
	RSVD2	IO	T37			VDDE_1V8
	RSVD3	IO	U33			VDDE_1V8
	RSVD4	IO	T35			VDDE_1V8
	RSVD5	IO	V32			VDDE_1V8
	RSVD6	IO	U36			VDDE_1V8
	RSVD7	IO	U37			VDDE_1V8
	RSVD8	IO	U35			VDDE_1V8

2.3.8 S3 设计细节

本节是针对笔记本、台式机等需要支持 S3 睡眠唤醒功能需要特别注意的设计指导。

1) CKE 部分设计 详细方案

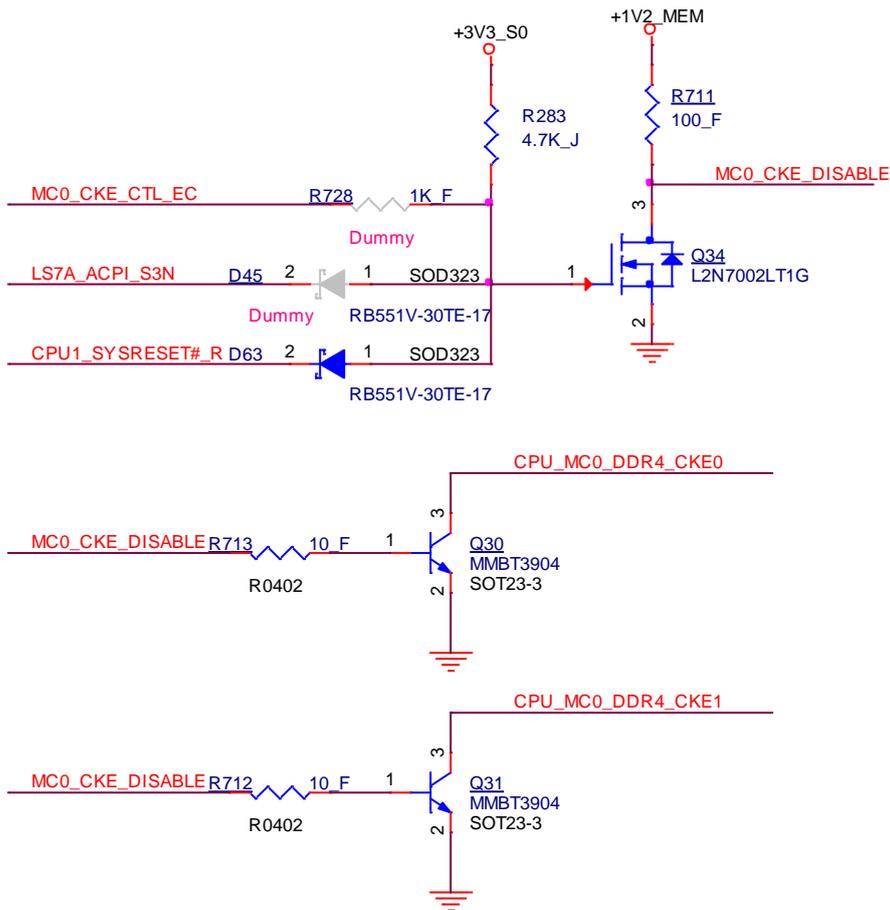
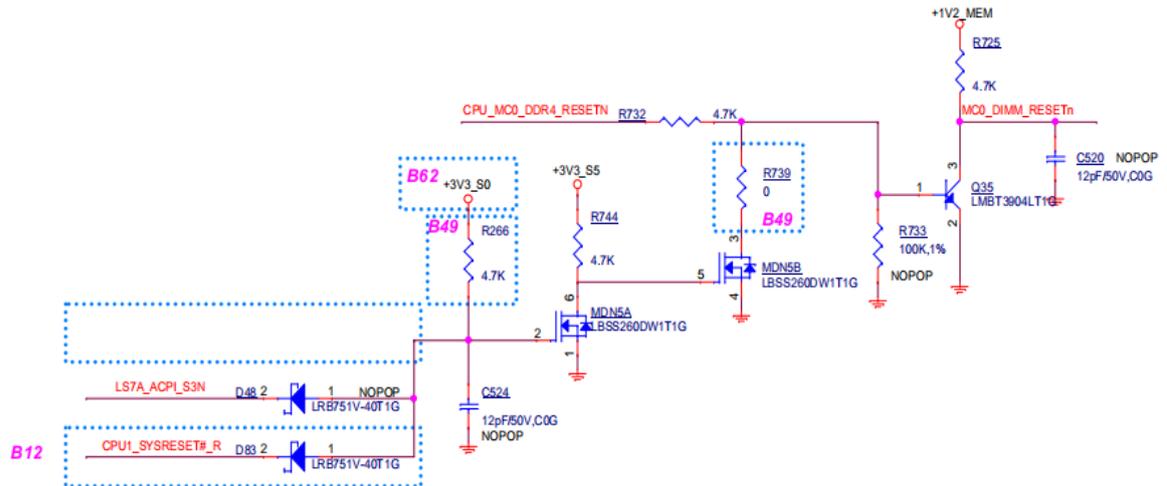


图 2.3.8-1 CKE 部分线路设计原理图

注：图示中 CPU1_SYSRESET#_R 为经过电平转换后的信号。

2) RESET 部分设计 详细方案



或者保证时序上，处理器的 sysclk 时钟早于 VDDE_DDR。

注：

1. 图示中 CPU1_SYSRESET#_R 为经过电平转换后的信号。
2. 若需要将 CPU1_SYSRESET#_R 连接 IT66121 的 RESET 信号，建议将 CPU1_SYSRESET#_R 改成用 EC 的引脚控制。

第三章 PCB 设计指导

详见《3A5000_7A1000 PCB 设计指导》

龙芯 3A5000_7A1000 外围功能芯片 支持列表

V1.0

龙芯中科技术股份有限公司

版本信息

版本信息	文档名	龙芯 3A5000_7A1000 外围功能芯片支持列表
	版本号	V1.0
	创建人	通用事业部
版本历史		
序号	版本号	更新内容
1	V1.0	初版发行

《龙芯 3A5000_7A1000 外围功能芯片支持列表》

类型	厂商	型号	备注
千兆网卡	Intel	82574	
		I210/I211	
		I350	
		82580	HT 电平转换芯片
	Realtek	RTL8111F/G/H	
	网迅	WX1860AL-W	
万兆网卡	网迅	WX1820AL	
千兆 PHY	Mavell	88E1510	
	Mavell	88E1111-BAB1I000	
	普维特电子	RPC101	无法关闭 EEE 模式
	Marvell	88E1512	
	Realtek	RTL8211E	
	Microchip	KSZ9031	
	合肥睿普康	RPC101T	
	裕太	YT8511	
USB3.0	瑞萨	UDP720201	四口
	钰创	EJ188H	四口
	祥硕	ASM1042	双口
USB3.1	祥硕	ASM3142	双口
SATA3.0	Mavell	9215	
	祥硕	ASM1061	
	祥硕	ASM1064	
SIO	Winbond	W83527	LPC
		W83795	I2C 接口
	Fintek	F81866AD	LPC
	Nuvoton	NCT6106D	LPC
DVO 编码器	Chrontel	CH7055A	DVO 转 VGA
	Analog device	ADV7125KSTZ140	DVO 转 VGA
	深圳晶格微电子	SDA7123	DVO 转 VGA
	Analog device	ADV7513	DVO 转 HDMI
	ITE	IT66121	DVO 转 HDMI
	Silicon image	Sii9022ACNU	DVO 转 HDMI
	龙迅	LT8618SXB	DVO 转 HDMI
	TI	TFP410PAP	DVO 转 DVI
	振芯科技	GM7510	DVO 转 DVI
	NewCoSemi	ncs8805	DVO 转 EDP
	振芯科技	GM8285C	DVO 转 LVDS

GPU	景嘉微	JM7201	PCIE x8
Codec	Realtek	ALC662	EOL
		ALC269	
		ALC897	
Rpid io	IDT	TSI721	PCIE 转 Rpid io
Clock gen	IDT	6P41505	
	Aura	Au5329	
	微禽半导体	MSC1421	
	IDT	9FG108EFILFT	
Clock buff	Aura	Au5411	
	IDT	5PB1104PGGI	
	ON	NB3V1104CDTR2G	
UART	江苏沁恒	CH384L	PCIE 转 UART
		CH382	PCIE 转 UART
		CH340/CH341/CH342/ CH343/CH344	Usb 转 UART
		CH9101/CH9102/CH91 03	Usb 转 UART
		CH9344	Usb 转 UART
7A1000-DDR3 颗粒	三星	K4B2G1646F-BYMA	
		K4B2G1646Q-BCK0	
		K4B1G1646G-BCK0	
		K4B1G1646I-BCNB	
	ESMT	M15T1G1664A	
紫光国芯	HXI15H4G160AF-13K	EOL	
3A5000-DDR4 颗粒	紫光国芯	SCB12Q4G160AF-07Q	
	合肥长鑫	CXDQ3BFAM-CG	
板载 SSD	安信物联	AXH-US064MTW	
	三顿电子	SCUD128GMTWT	
	鸿秦科技	HTUSMU064G-WM	64GB
测温芯片	申矽凌	CT75MR	
	圣邦微	SGM452	
232 串口芯片	南京国博电子	WS3232ECN	
7A SPI Flash	兆易创新	GD25Q16ESIGR	
HT 电平转换 芯片	国微	SM0104E	
	润石科技	RS0104YQ	
	圣邦微	SGM4578YTQG20G/TR	
	英联	UM3208UK	